



ZEN2061P/F

カウンタトレイン™

カウンタトレインはプログラマブル・ユニバーサル・カウンタICで、最大6チャンネルのカウントが可能です。カウンタ長は8ビット単位で可変で、合計96ビット内蔵しています。

カウンタトレインは、8ビット長のカウンタが列車の様に12個連続した構成で、カウンタを貨車の様に編成して、最大6個のカウンタ(列車)に構成することができます。

カウンタに送るアップダウン信号を生成する位相弁別回路を6個内蔵し、その2つを組み合わせると偏差カウンタを構成することもできます。

1、特 徴

カウンタ分解能

96ビット(8ビット×12)

位相弁別部回路

6個

カウンタ応答速度

5 Mcps (システムクロック周波数
10 MHz時)

入力形式

アップダウン 6組
符号+パルス 6組
インクリメンタル 6組
偏差入力 3組

CPUインターフェース

80系、68系選択可能

データバス

8ビット

システムクロック

Max 10 MHz

機能設定

内部レジスタ

外部コントロール

プログラマブルデータラッチ

プログラマブルデータロード

クリア選択

カウンタのクリア条件がプログラマブル

異常入力検出機能

異常入力検出時割り込み出力発生

プロセス

CMOS

+5V 単一電源

パッケージ

DIP 40ピン(ZEN2061P)

QFP 64ピン(ZEN2061F)

・主な用途

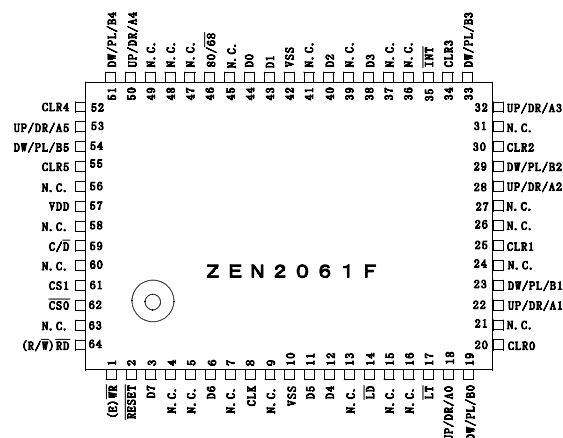
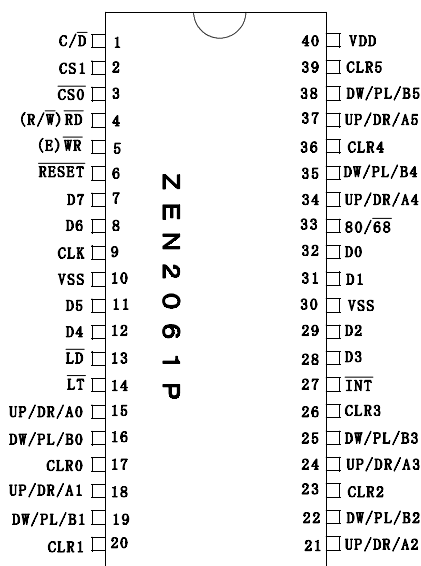
多軸NC/ロボット制御

リニアスケール

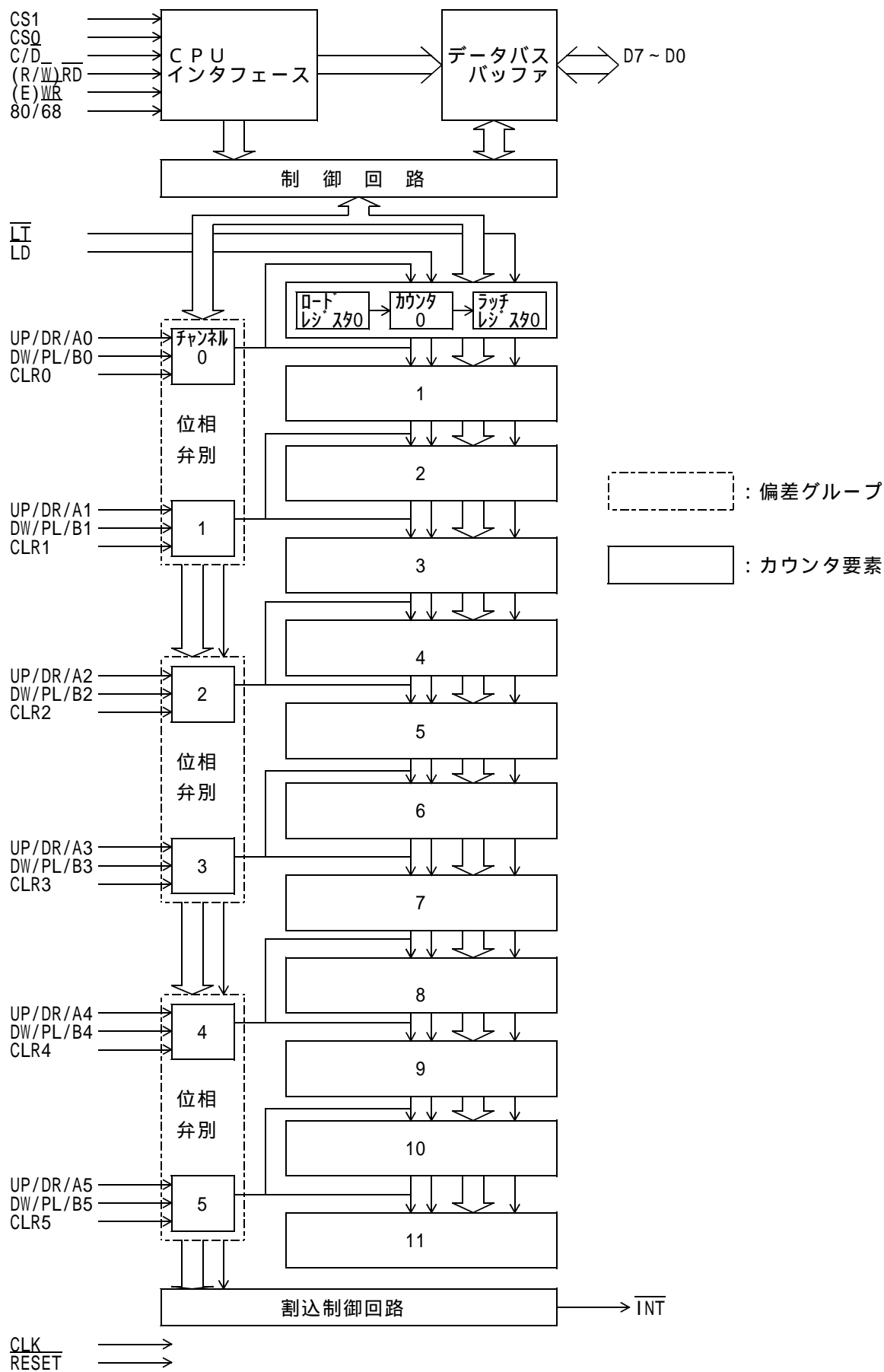
多チャンネルDCサーボ

多チャンネル周波数タイマー

端子配置図
(Top View)



2、ブロック図



3、端子機能

DIP	QFP	端子記号	端子名称	I/O	端子説明
1	59	C/\overline{D}	コマンド /データ	I	カウンタトレインの内部レジスタの切り替えに使用します。"H"でコマンド・レジスタが、"L"でデータ・レジスタが選択されます。
2 3	61 62	$CS1$ $CS0$	チップセレクト 1、0	I	CPUがカウンタトレインを選択するための入力です。CPUが本LSIを選択するにはCS1を"H"にし、かつCS0を"L"にしなければなりません。
4	64	\overline{RD}	リード	I	CPU80モード(80/68="H") CPUからのRD信号を入力します。この信号を"L"にすることによりCPUはカウンタトレインに対して読みだし動作を行えます。
		R/\overline{W}	リード/ライト		CPU68モード(80/68="L") CPUからのR/W信号を入力します。この信号のレベルによりCPUはカウンタトレインに対して読みだし、書き込み動作を行えます。 ・"H":読みだし ・"L":書き込み
5	1	\overline{WR}	ライト	I	CPU80モード(80/68="H") CPUからのWR信号を入力します。この信号を"L"にすることによりCPUはカウンタトレインに対して書き込み動作を行えます。
		E	イネーブル		CPU68モード(80/68="L") この端子はCPUとカウンタトレインのデータ転送の同期信号を入力します。この信号は通常CPUの2クロックを入力します。
6	2	\overline{RESET}	リセット	I	カウンタトレインのレジスタの内容がリセットされます。
7 8 11 12 28 29 31 32	3 6 11 12 38 40 43 44	D7 D6 D5 D4 D3 D2 D1 D0	データバス	I/O	CPUとの間でデータ転送を行うための入出力信号です。
9	8	CLK	システム クロック	I	カウンタトレイン内部の信号の同期に使用します。
13	14	\overline{LD}	データロード	I	この信号の立ち下がり検出時、ロードレジスタの内容がカウンタに書き込まれます。 カウンタグループ ¹⁾ 毎に、この書き込み動作を許可、禁止することができます。
14	17	\overline{LT}	データラッチ	I	この信号の立ち下がり検出時、カウンタの内容がラッチレジスタにラッチされます。 カウンタグループ ¹⁾ 毎に、この書き込み動作を許可、禁止することができます。
		UP0 ~UP5	アップパルス		アップダウン方式を選択した場合、この信号の立ち上がり検出時にカウンタが1増加します。
15 18 21 24 34 37	18 22 28 32 50 53	DR0 ~DR5 A0 ~A5	符号 A相	I	符号+パルス方式を選択した場合、この信号入力によりカウンタのアップ、ダウンが決まります。 ・"H":増加符号 ・"L":減少符号 インクリメンタル方式を選択した場合、インクリメンタル方式2相信号のA相を入力します。

DIP	QFP	端子記号	端子名称	I/O	端子説明
16	19	DW0 ~ DW5	ダウパルス	I	アップダウン方式を選択した場合、この信号の立ち上がり検出時にカウンタが1減少します。
19	23	PL0 ~ PL5	パルス		符号+パルス方式を選択した場合、この信号の立ち上がり検出時にカウンタが1増加または減少します。増加するか減少するかは、符号入力により決まります。
22	29				B0 ~ B5
25	33	CLR0 ~ CLR5	クリア	I	
35	51				・"H"検出時
38	54				・同期クリア(インクリメンタル方式のみ)
					・立ち上がり検出時
27	35	INT	割り込み要求	0	各A B相に異常入力が発生した場合、この信号を"L"にします。
33	46	80 / 68	CPU選択	I	この信号のレベルにより接続されているCPUが80系か68系かを判断します。
40	57	V _{CC}	電源	-	+5V
10	10	V _{SS}	電源	-	0V
30	42				

¹⁾ 4、(1)を参照願います。

- 4、コマンド・レジスタ(書き込みのみ) $C/\bar{D} = 1$
 コマンドには、コマンドが即時実行されるものと、レジスタ選択後、データポート($C/\bar{D} = 0$)を通してコマンドが実行されるものがあります。

(1)コマンド

即時実行されるコマンドです。

データ・ロード

各カウンタグループ¹⁾に対するロード命令です。ここで指定したカウンタグループにデータがロードされます。単発動作のため再度設定する必要はありません。

D7	D6	D5	D4	D3	D2	D1	D0
0	1	GP5	GP4	GP3	GP2	GP1	GP0

GPn	機能
1	ロード実行
0	ノー・オペレーション

データ・ラッチ

各カウンタグループ¹⁾に対するラッチ命令です。ここで指定したカウンタグループのデータがラッチされます。単発動作のため再度設定する必要はありません。

D7	D6	D5	D4	D3	D2	D1	D0
1	0	GP5	GP4	GP3	GP2	GP1	GP0

GPn	機能
1	ラッチ実行
0	ノー・オペレーション

1) カウンタグループ GP_n は入力チャンネル CH_n または CH_n の偏差を入力とするカウンタグループのことです。

INTリセット

異常入力による INT 信号およびステータスのリセット命令です。ここで指定した入力チャンネルの INT 出力が解除されます。単発動作のため再度設定する必要はありません。

D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0
1	1	CH5	CH4	CH3	CH2	CH1	CH0

CHn	機能
1	INT 信号リセット
0	ノー・オペレーション

2) 入力チャンネルとは $UP/DR/An$ 、 $DW/PL/Bn$ 、 $CLRn$ ($n = 0 \sim 5$) を示します。

(2) レジスタ選択

ここで選択したレジスタにより、データポート ($C/\bar{D} = 0$) を通して IC 内部のレジスタへのデータ書き込み、読み出しが可能となります。レジスタへの書き込みによりカウンタの動作を決定し、読みだしにより、カウンタの状態を知ることができます。データポートのフォーマットに関しては、6、データポートを参照して下さい。

レジスタ選択の内容を下記に示します。

D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0
R 7	R 6	R 5	R 4	R 3	R 2	R 1	R 0

R7	R6	R5	R4	R3	R2	R1	R0	選択されるレジスタ
0	0	0	0	0	0	0	0	ロード、ラッチレジスタ
0	0	0	0	~				R3~R0はロード、ラッチレジスタの番号に相当します。
0	0	0	0	1	0	1	1	入力チャンネルレジスタ
0	0	0	0	1	1	0	0	カウンタ入力レジスタ
0	0	0	0	1	1	1	0	異常入力用マスクレジスタ
0	0	0	0	1	1	1	1	外部LDマスクレジスタ
0	0	0	1	0	0	0	0	外部LTマスクレジスタ

5、ステータス・レジスタ（読みだしのみ）

C / \overline{D} = 1

カウンタトレインの状態を知るためのレジスタです。

D 0 ~ D 5 により I N T 信号の発生している入力チャンネルを知ることができます。ただし、異常入力の発生による I N T 信号の発生の有無は、その入力チャンネルにおいて I N T 出力が許可されていなければなりません。

D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0
LD	LT	CH5	CH4	CH3	CH2	CH1	CH0

CHn	異常入力のための I N T 出力
0	発生していない
1	発生している

I N T リセットコマンドを実行するとリセット（" 0 "）されます。

LT	L T 入力
0	発生していない
1	外部 L T 発生

ラッチレジスタの内容（どの 8 ビットでも）が読みだされるとリセット（" 0 "）されます。

LD	L D 入力
0	発生していない
1	外部 L D 発生

ステータスレジスタの内容が読みだされるとリセット（" 0 "）されます。

ステータスレジスタの D 7 ビットは、ステータス読み出し中に L D 入力が発生してもリセットされます。

6、データポート

C / D = 0

(1) ロード、ラッチレジスタ選択（読みだし、書き込み）

レジスタ選択で選択されたロード、ラッチレジスタ番号に相当する 8 ビット分のデータが書き込み、読みだしができます。

D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0
D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0

ロードレジスタ：書き込みのみ

ラッチレジスタ：読みだしのみ

(2)入力チャンネル設定 (書き込みのみ)

チャンネル0～チャンネル5の入力形式、カウンタグループのクリア条件、異常入力発生時の処理を設定します。

D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0
INT	C1	C0	MD1	MDO	CS2	CS1	CS0

CS2	CS1	CS0	入力チャンネル
0	0	0	CH0
0	0	1	CH1
0	1	0	CH2
0	1	1	CH3
1	0	0	CH4
1	0	1	CH5

MD1	MDO	入力形式選択
0	0	アップダウン
0	1	符号+パルス
1	0	インクリメンタル

リセット時：0 0

C1	C0	クリア条件設定
0	0	"H" 検出時
0	1	同期クリア
1	0	立ち上がり検出時
1	1	たち下がり検出時

リセット時：0 0

同期クリアは、入力形式がインクリメンタル以外の場合には、動作が保証されません。

INT	異常入力発生時のINT出力の処理
0	出力禁止
1	出力許可

リセット時：0

(3)カウンタ設定 (書き込みのみ)

各カウンタの入力を設定します。

D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0
0	0	CN1	CN0	CT3	CT2	CT1	CT0

CT3	CT2	CT1	CT0	カウンタNo.
-----	-----	-----	-----	---------

CN1	CN0	入力選択
0	0	前段のカウンタ出力
0	1	入力チャンネル出力
1	1	偏差出力

カウンタNo. 0はCN1、CN0 = 0 0の設定はできません。

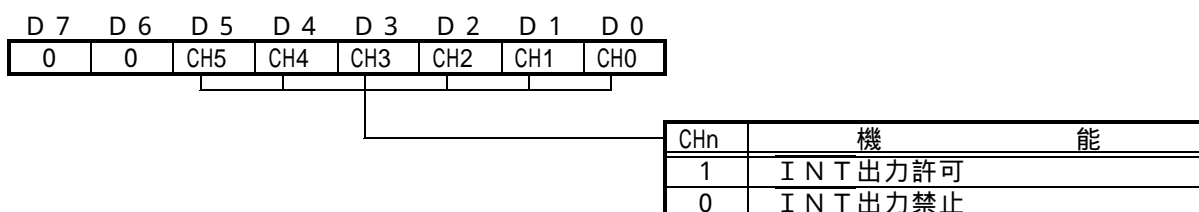
リセット時：0 1

カウンタNO.	前段カウンタ	入力チャンネル	偏差
0	-	CH0	CH0 + CH1
1	0	CH0	CH0 + CH1
2	1	CH1	CH1 + CH0
3	2	CH1	CH1 + CH0
4	3	CH2	CH2 + CH3
5	4	CH2	CH2 + CH3
6	5	CH3	CH3 + CH2
7	6	CH3	CH3 + CH2
8	7	CH4	CH4 + CH5
9	8	CH4	CH4 + CH5
10	9	CH5	CH5 + CH4
11	10	CH5	CH5 + CH4

(4) 異常入力用マスクレジスタ選択 (読みだし、書き込み)

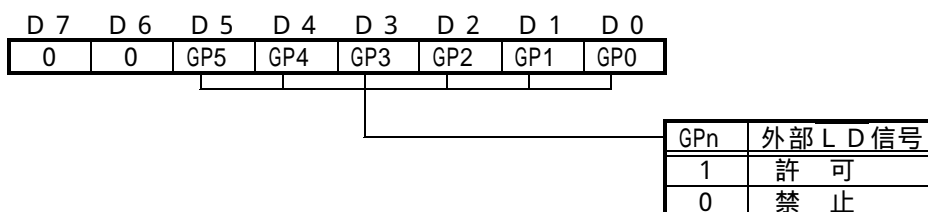
入力チャンネルレジスタで設定されるD7ビット (INT) が、このレジスタを選択することで全チャンネル一度に設定することが可能です。

また、異常入力用マスクレジスタの禁止、許可の状態が読みだせます。



(5) LDマスクレジスタ設定 (書き込み、読みだし)

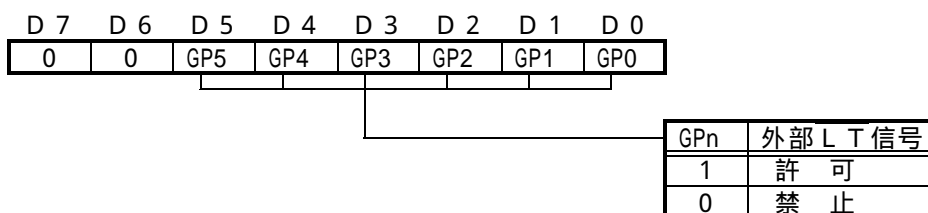
外部LD信号を各カウンタグループ毎に許可、禁止する命令です。許可されているカウンタグループのカウンタのみ、LD信号の立ち下がり検出時データレジスタの値がロードされます。



リセット時：0

(6) LTマスクレジスタ設定 (書き込み、読みだし)

外部LT信号を各カウンタグループ毎に許可、禁止する命令です。許可されているカウンタグループのカウンタ値のみ、LT信号の立ち下がり検出時ラッチレジスタへラッチされます。



リセット時：0

7、異常入力検出機能

カウンタトレインは、各チャンネル毎に入力が正常な状態遷移を行っているかを検出する機能を有しています。

INT出力が許可されている場合に、異常な状態遷移が起こると、異常が発生したステータスのビットをセットし、INT信号を”L”にします。

INT出力が禁止されている場合は、ステータスおよびINT信号は変化しません。

入力形式によって異常入力の定義が異なります。入力形式と異常入力の定義について説明します。

(1) アップダウン形式

異常入力の定義はありません。

(2) 符号 + パルス形式

PLの立ち上がり時にDRが変化した場合。異常入力例を図3 - 1に示します。

(3) インクリメンタル形式

A、Bとも同時に変化した場合。異常入力例を図3 - 2に示します。

異常な状態遷移の原因には、例えば次のようなものがあります。

入力信号の変化時間が規定値より短いためサンプリングができなくなった場合。

ラインノイズをサンプリングし、異常な状態遷移と認識した場合。

図3：異常入力例

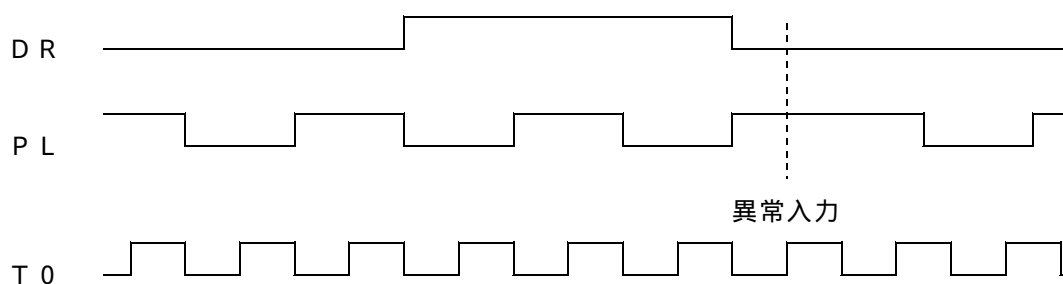


図3 - 1：符号 + パルス形式の場合

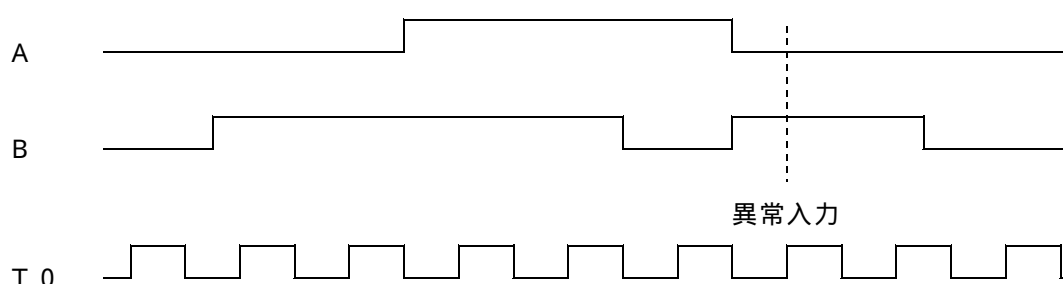


図3 - 2：インクリメンタル形式の場合

T0：カウンタトレイン内部のサンプリングクロック

8、動作タイミング

各チャンネル入力はCLKを分周したT0の立ち上がりで2度サンプリング（シフトレジスタ2段分、と等価）され、位相弁別回路に取り込まれます。カウンタはCLKの立ち上がりで動作を行いますが、カウンタ設定、クリア条件設定によりタイミングが異なります。設定によるタイミングの違いについて説明します。

図中のT0、T1はカウンタトレイン内部の信号です。

(1)カウンタ設定による違い

前段のカウンタ出力を選択した場合

同一カウンタグループに属する初段カウンタの入力形式によるタイミングと同一タイミングでカウントします。

入力チャンネル出力を選択した場合

入力チャンネルをT1が“H”のタイミングでカウントします。図4-1を参照願います。

偏差出力を選択した場合

入力チャンネルを と同一のタイミングで、偏差グループのもう一方をT1が“L”のタイミングでカウントします。図4-1を参照願います。

(2)クリア条件設定による違い

“H”検出時

CLR_nをサンプリングし2回以上連続して“H”が検出されると図4-2のタイミングでグループnのカウンタがクリアされます。

立ち上がり、立ち下がりエッジ検出時

CLR_nをサンプリングし、立ち上がりの場合は“L” “H”、立ち下がりの場合は“H” “L”の変化が検出されると、それぞれ図4-2のタイミングでグループnのカウンタがクリアされます。

同期クリア

次の3条件を満足したときに図4-2のタイミングでグループnのカウンタがクリアされます。

- ・ CLR_nが“H”
- ・ B_nが“L”
- ・ A_nが変化した（“H” “L”または“L” “H”）

(3)ロード、ラッチタイミング

LD、LT信号はCLKの立ち上がりでサンプリングされています。

LDの“H” “L”の変化を検出すると次のCLKの立ち上がりでロードレジスタの内容をカウンタにロードします。

LTの“H” “L”の変化を検出するとそのCLKの立ち下がりカウンタの内容をラッチレジスタにラッチします。図4-3を参照願います。

図4 - 1 : 動作タイミング1 (チャンネルカウントと偏差カウント)

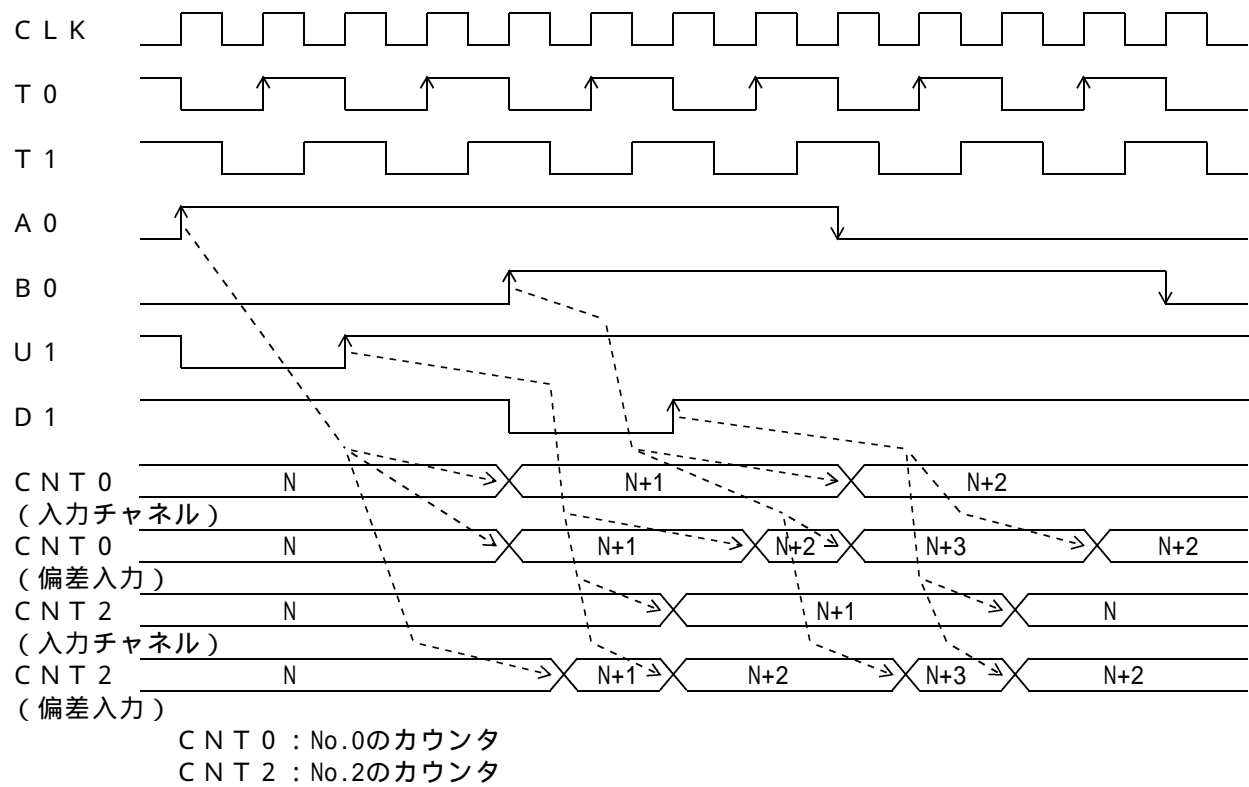


図4 - 2 : 動作タイミング2 (クリア)

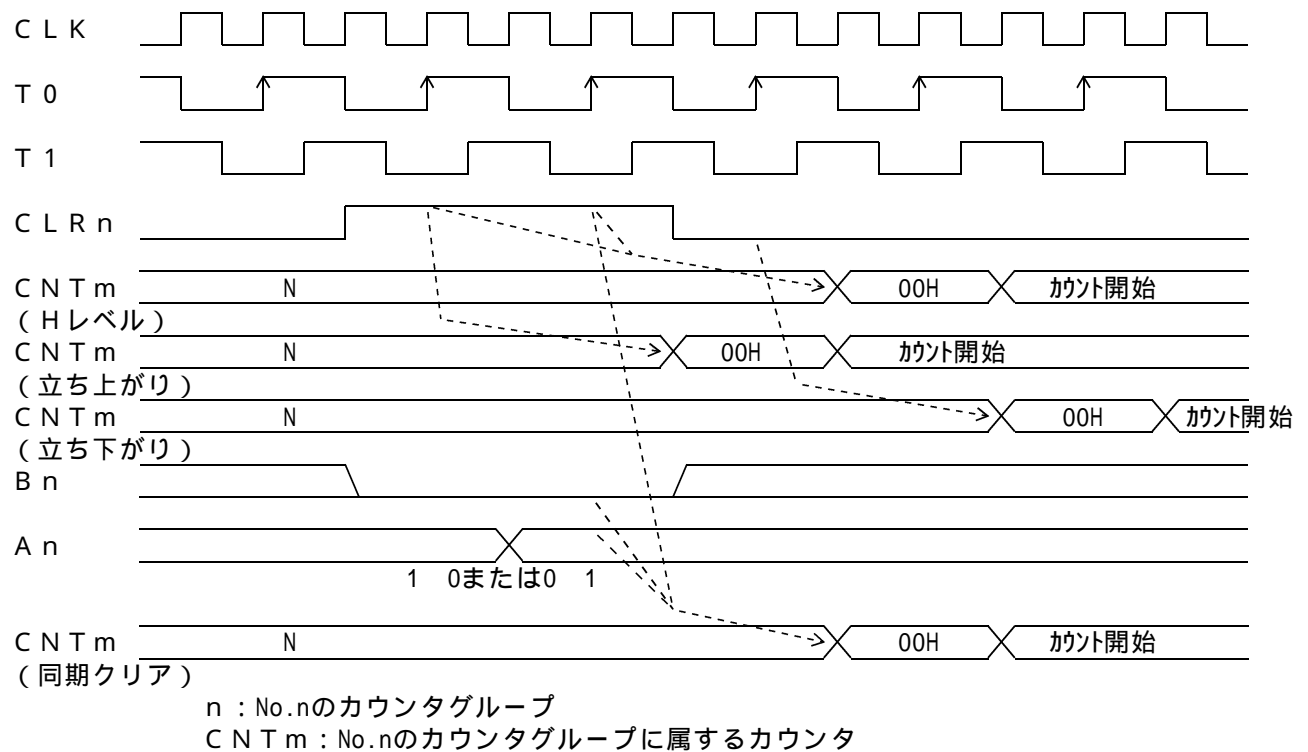
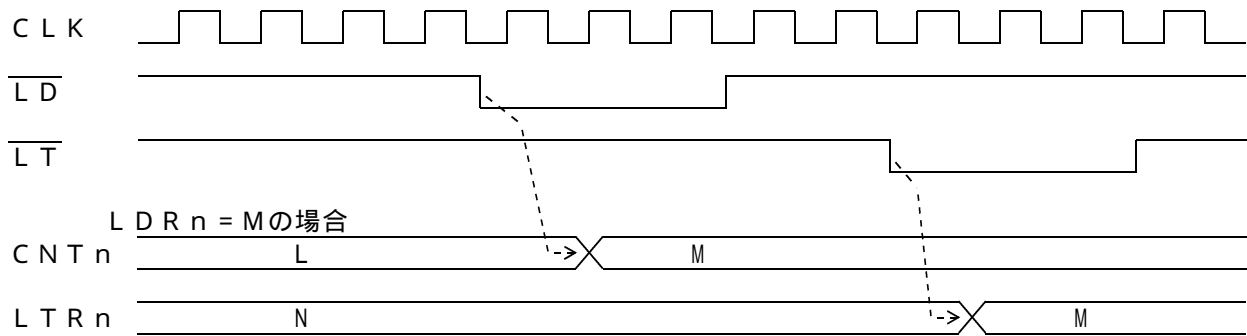


図4 - 3 : 動作タイミング3 (データロード、データラッチ)



LDRn : No.nのロードレジスタ
 CNTn : No.nのカウンタ
 LTRn : No.nのラッチレジスタ

9、偏差グループにおけるチャンネル間の差をカウントする方法

一般的な数値制御は図5のようになっています。

カウンタトレインは偏差グループにおける2つのチャンネルの和をカウントすることが可能なので差をカウントさせる場合は外部での工夫が必要です。

図5において、制御計数値(Z)は、指令信号(X)とフィードバック信号(Y)により次の式で表せます。

$$Z = X - Y = X + (-Y)$$

この式より、フィードバック信号を逆転させてカウンタトレインに入力させればよいことが分かります。

入力を逆転させる接続例を表1に示します。

図5 : 数値制御概念図



表1 : 接続例

形式	カウンタトレイン信号名	接続する信号	
アップ	UPn	ダウン信号	
ダウン	DWn	アップ信号	
符号+	DRn	符号を反転させた信号	
パルス	PLn	パルス信号	
インクリメンタル	An	A相を反転させた信号	B相信号
	Bn	B相信号	A相信号

10、電気的特性

(1) 絶対最大定格

項目	記号	条件	定格値	単位
電源電圧	V_{DD}	$T_a = 25$ 基準は $V_{SS} = 0V$	-0.5 ~ +7	V
入力電圧	V_I		-0.5 ~ $V_{DD} + 0.5$	V
出力電圧	V_O		-0.5 ~ $V_{DD} + 0.5$	V
入力電流	I_I		-10 ~ +10	mA
出力電流	I_O		-10 ~ +10	mA
保存温度	T_{STG}		-55 ~ +125	

(2) 推奨動作条件

$$V_{SS} = 0V$$

項目	記号	定格値			単位
		最小	標準	最大	
電源電圧	V_{DD}	4.5	5.0	5.5	V
動作温度	T_{OPR}	-40	+25	+85	
Hレベル 入力電圧	V_{IH}	2.2			V
Lレベル 入力電圧	V_{IL}			0.8	V

(3) 入力/出力容量

項目	記号	条件	規格			単位
			最小	標準	最大	
入力端子	C_{IN}	$V_{DD} = V_I = V_O = V_{SS}$ $f = 1MHz$ $T_a = 25$	-	6	-	pF
出力端子	C_O		-	9	-	
入出力端子	$C_{I/O}$		-	10	-	

端子容量は、パッケージのピン容量、チップ内部のパッド容量を含んだ平均的な値です。

(4) 直流特性

$$V_{DD} = 5V \pm 10\%、V_{SS} = 0V、T_a = -40 \sim 85$$

項目	記号	条件	規格			単位	
			最小	標準	最大		
入力電圧	Hレベル	V_{IH}	TTL入力	2.2	-	$V_{DD} + 0.3$	V
	Lレベル	V_{IL}	TTL入力	$V_{SS} - 0.3$	-	0.8	V
入力電流	Hレベル	I_{IH}	$V_{IH} = V_{DD}$	-	0.01	10	μA
	Lレベル	I_{IL}	$V_{IL} = V_{SS}$	-10	-0.01	-	μA
出力電圧	Hレベル	V_{OH}	$I_{OH} = -2mA$	3.7	4.54	-	V
	Lレベル	V_{OL}	$I_{OL} = 4mA$	-	0.15	0.4	V
$I_{OL} = 6mA$			-	0.23	0.5		
スリーステート出力 リーク電流	I_{OZH}	$V_{OH} = V_{DD}$		-	0.01	10	μA
	I_{OZL}	$V_{OL} = V_{SS}$		-10	-0.01	-	
静止電源電流	I_{DDs}	出力開放 ³⁾		-	0.1	100	μA

³⁾ $V_{IH} = V_{DD}$ 、 $V_{IL} = V_{SS}$

(5) 交流特性

 $V_{DD} = 5V \pm 10\%$ 、 $T_a = -40 \sim 85$

NO.	記号	項目	Min	Max	単位
1	C_Y	CLKサイクル時間	100 ⁴⁾		ns
2	H	CLKパルス幅(High)	50 ⁴⁾		ns
3	L	CLKパルス幅(Low)	50 ⁴⁾		ns
4	F	CLK立ち下がり時間		5	ns
5	R	CLK立ち上がり時間		5	ns
6	T_{WAS}	アドレスのWR に対するセットアップ時間	0		ns
7	T_{WAH}	アドレスのWR に対するホールド時間	0		ns
8	T_{WRL}	WRパルス幅(Low)	$C_Y + 30$		ns
9	T_{WRH}	WRパルス幅(High)	$3 C_Y$		ns
10	T_{DS}	入力データのWR (またはE) に対する セットアップ時間	30		ns
11	T_{DH}	入力データのWR (またはE) に対する ホールド時間	0		ns
12	T_{RAS}	アドレスのRD に対するセットアップ時間	20		ns
13	T_{RAH}	アドレスのRD に対するホールド時間	20		ns
14	T_{RDL}	RDパルス幅(Low)	70		ns
15	T_{RDH}	RDパルス幅(High)	50		ns
16	T_{ZV}	RD (またはE) からデータ確定までの 遅延時間		60	ns
17	T_{VD}	RD (またはE) から確定データホールド時間		6	ns
18	T_{DZ}	RD (またはE) から出力フロートまでの 遅延時間		30	ns
19	T_{EAS}	アドレス、R/WのE に対するセットアップ時間	20		ns
20	T_{EAH}	アドレス、R/WのE に対するホールド時間	20		ns
21	T_{EH}	Eパルス幅(High)	$C_Y + 30$		ns
22	T_{EL}	Eパルス幅(Low)	$3 C_Y$		ns
23	T_{BA}	Bn に対するAn のセットアップ時間	$2 C_Y + 30$		ns
24	T_{AB}	An に対するBn のセットアップ時間	$2 C_Y + 30$		ns
25	T_{PDS}	PLn に対するDRn のセットアップ時間	$2 C_Y + 30$		ns
26	T_{PDH}	PLn に対するDRn のホールド時間	$2 C_Y + 30$		ns
27	T_{PL}	PLnパルス幅(Low)	$2 C_Y + 30$		ns
28	T_{PH}	PLnパルス幅(High)	$2 C_Y + 30$		ns
29	T_{UD}	UPn、DWNパルス幅	$2 C_Y + 30$		ns
30	T_{CH}	CLRnパルス幅(High)	"H" 検出時	$2 C_Y + 30$	ns
			同期、エッジ	$C_Y + 30$	ns
31	T_{CL}	CLRnパルス幅(Low)	$C_Y + 30$		ns
32	T_{LL}	LD、LTパルス幅(Low)	$C_Y + 30$		ns
33	T_{LH}	LD、LTパルス幅(High)	$C_Y + 30$		ns
34	T_{RES}	RESETパルス幅(Low)	$8 C_Y$		ns
35	T_{IL}	CLK からINT までの遅延時間		31	ns

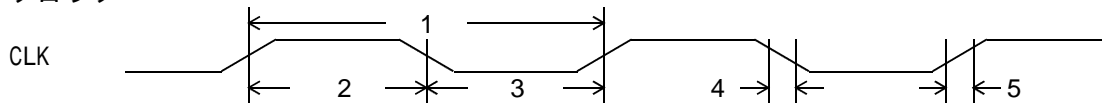
入力 t_r 、 $t_f = 5ns$ $V_s = 1.5V$ (出力センスレベル) $CL = 80pF$ (出力負荷容量)⁴⁾ 各カウンタグループのビット長が32ビット以下の場合

項目	記号	測定条件	MAX	単位
動作時電源電流 ⁵⁾	I_{DDO}	出力端子：開放状態 * CLK : 1MHz	1.7	mA

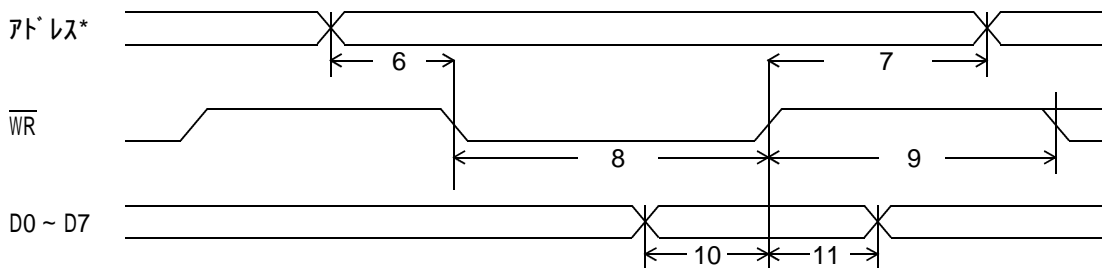
⁵⁾ 消費電力はCLKの周波数にほぼ比例します。

タイミング・ダイアグラム

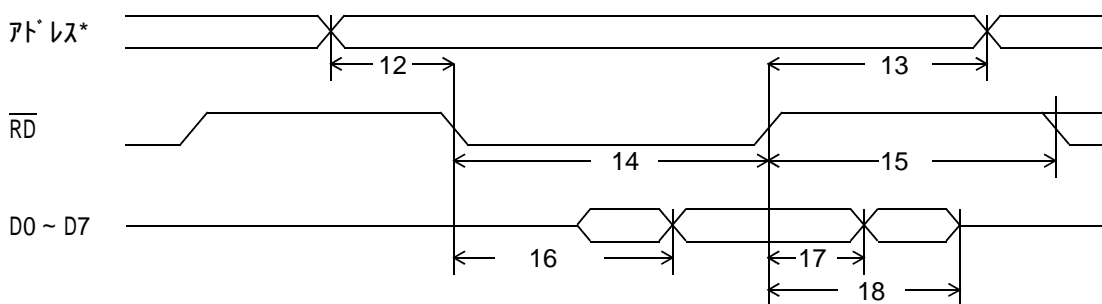
・クロック



・ライト・サイクル (80系モード)

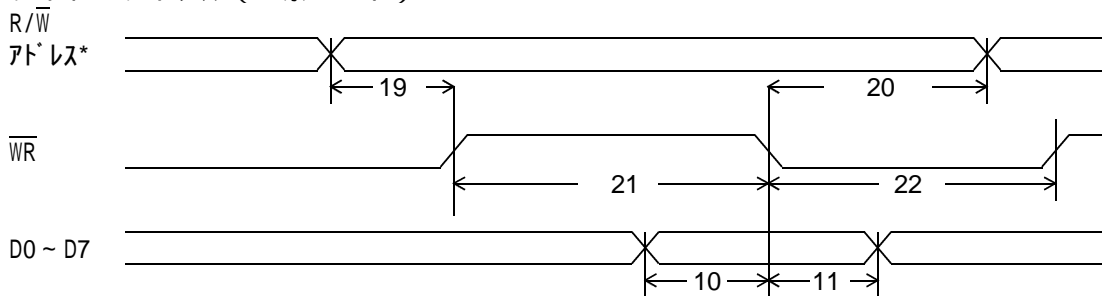


・リード・サイクル (80系モード)

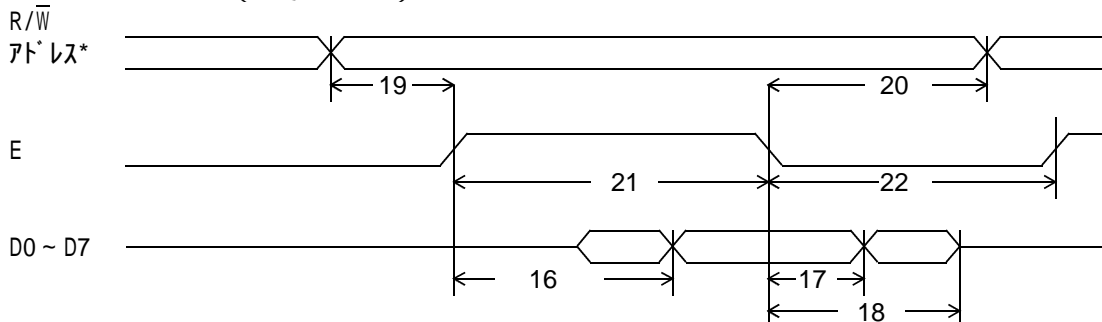


A: $\overline{CS0}$, CS1, C/\overline{D}

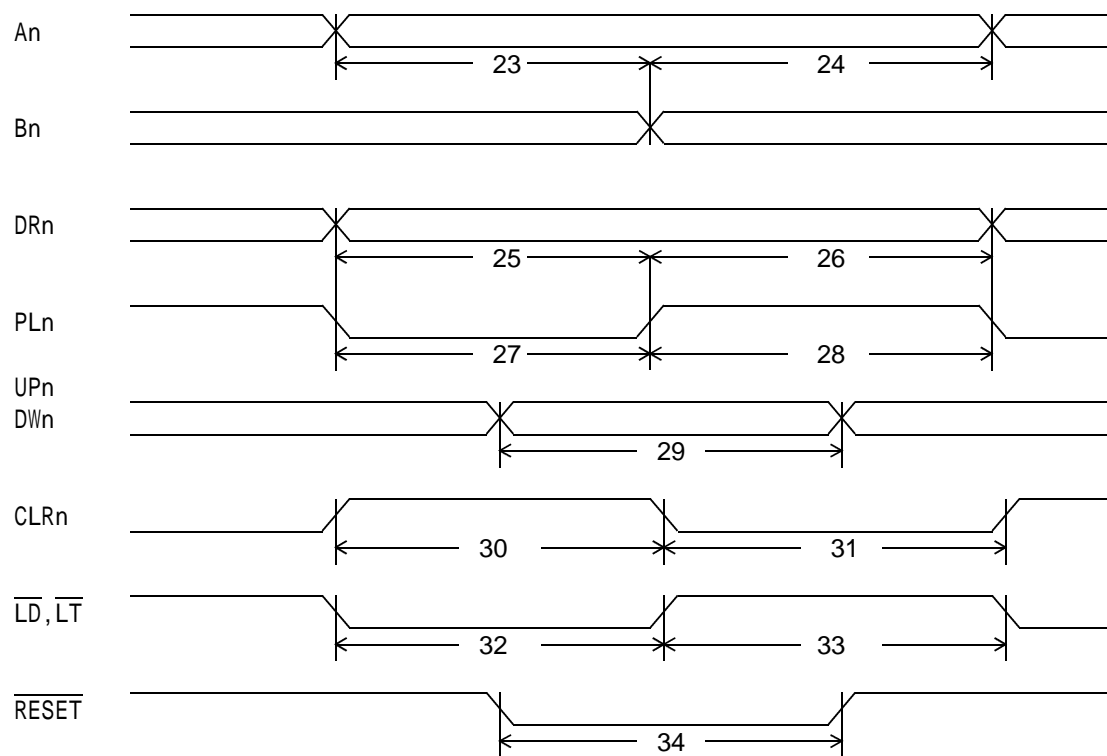
・ライト・サイクル (68系モード)



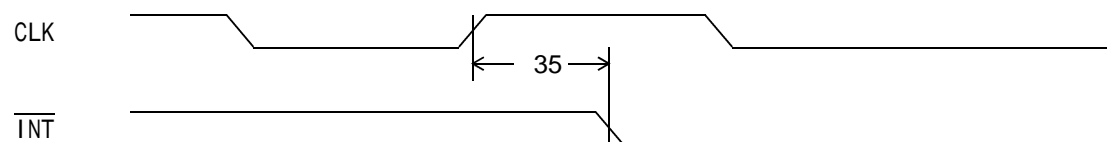
・リード・サイクル (68系モード)



・入力タイミング

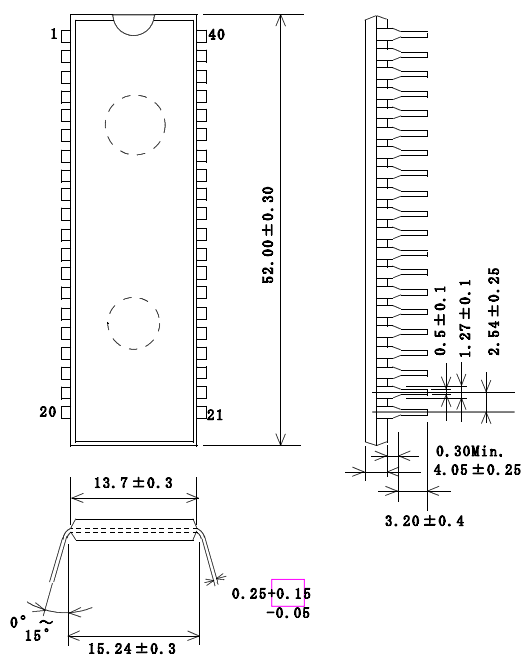


・出力タイミング

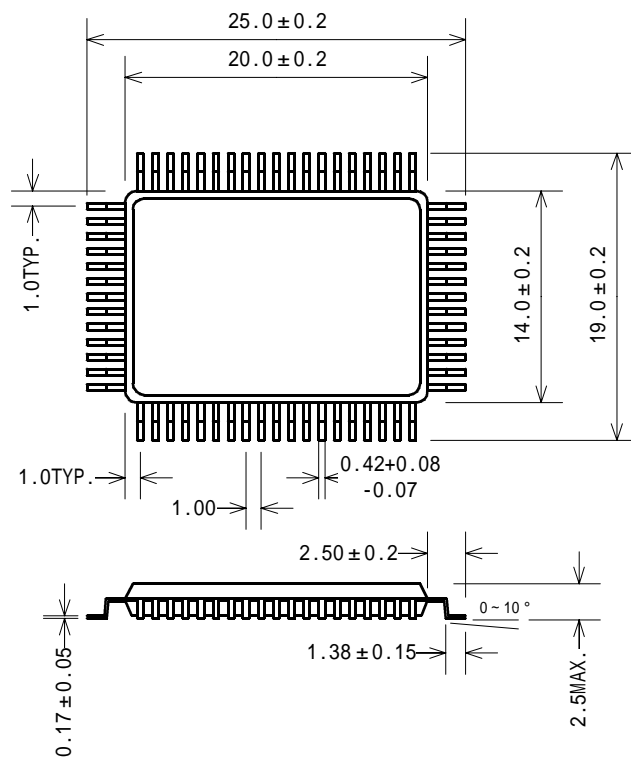


1 1、外形寸法図 (単位: mm)

・ZEN2061P



・ZEN2061F



ご 注 意

- 1) 本製品および本資料は株式会社ジーニックの著作物です。したがって、本資料の全部または一部を無断で複製、転載することとはご遠慮下さい。
- 2) 本製品及び本資料の内容は性能向上のために、予告なく変更する場合があります。御使用に際しては、最新の資料を御請求願います。
- 3) 本資料に記載されております内容は工業所有権その他の権利の実施に対する保証または実施権の許諾を行うものではありません。
- 4) 本資料に記載されております応用回路例は基本的な使用方法を示したものであり、回路の動作を保証するものではありません。
- 5) 本製品の具体的な運用の結果、他への影響については、責任を負いかねますので御了承下さい。
- 6) 本製品は一般的な電子機器（電算機、計測機器、産業用ロボット、位置決め装置など）に使用されることを意図しています。したがって、人命に直接関わる輸送機器、医療機器、宇宙、原子力関係機器などには使用しないで下さい。



株式会社ジーニック

URL <http://www.zenic.co.jp/> E-mail support@zenic.co.jp
大津市大萱1丁目17-14 松政ビル6F 〒520-2144 TEL 077-543-2101 FAX 077-543-9431