



## プログラマブル・ユニバーサル・カウンタ

### 概要

ZEN2024Fは24ビット×2チャンネルのプログラマブル・ユニバーサル・カウンタLSIです。ロータリーエンコード、リニアスケール等から出力される2相パルス信号やアップダウン・パルス信号のカウンタが可能です。汎用型カウンタZEN2011Pのカウンタ応答速度を33Mcps(Max)と約4倍に高速化し、さらに2チャンネル化しています。各チャンネルはZEN2011Pの機能を完全に独立してもっており、ZEN2011Pと機能及びソフトウェア上の互換性を有しています。したがって、ZEN2011Pのソフトウェア資産を継承しつつ、高速化・省スペース化に対応する事ができます。

### 1. 特徴

24ビット・バイナリ・アップダウン・カウンタ [×2ch]

カウンタ応答速度 33Mcps Max (クロック  $f_0=33\text{MHz}$  Max, デューティ50% 動作時)

カウンタ・パルス入力周波数

- ・2相パルス信号入力モード時 : DC ~ 8.25MHz Max ( $f_0 \times 1/4$ 以内)
- ・アップダウン・パルス信号入力モード時 : DC ~ 16.50MHz Max ( $f_0 \times 1/2$ 以内)

2相パルス入力位相弁別回路内蔵

異常入力検出機能 (2相パルス信号入力モード時)

カウンタ動作モード切替可能

- ・逡倍切替 1/2/4倍 (2相パルス信号入力時)
- ・カウンタ方向切替
- ・カウンタ・クリア制御 同期 / 非同期クリア

24ビットの比較レジスタ値とカウンタ値の一致検出機能

コマンドモード切替可能

- ・モード0
  - ・1組の比較レジスタ、コンパレータ
  - ・ロードコマンド
  - ・ラッチコマンド
  - ・クリア回数設定
- ・モード1
  - ・モード0のすべての命令セット
  - ・2組の比較レジスタ、コンパレータ
  - ・2組のコンパレータのOR出力設定
  - ・各種要因の割り込み出力設定

カウンタ値の一括24ビットデータラッチ機能

カウンタへの一括24ビットデータロード機能

チップ内部ステータス読み出し可能

8ビット双方向データバス

CMOSプロセス採用による低消費電力

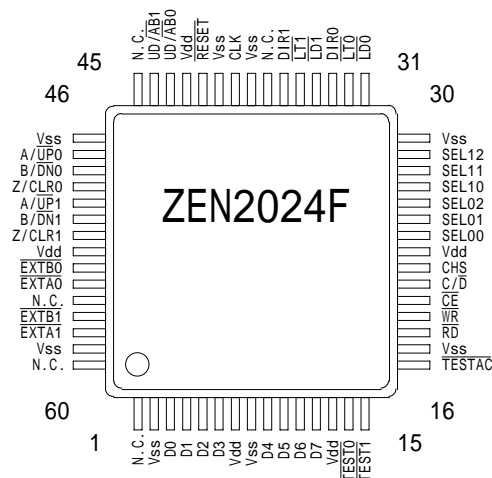
+5V 単一電源

QFP60PIN

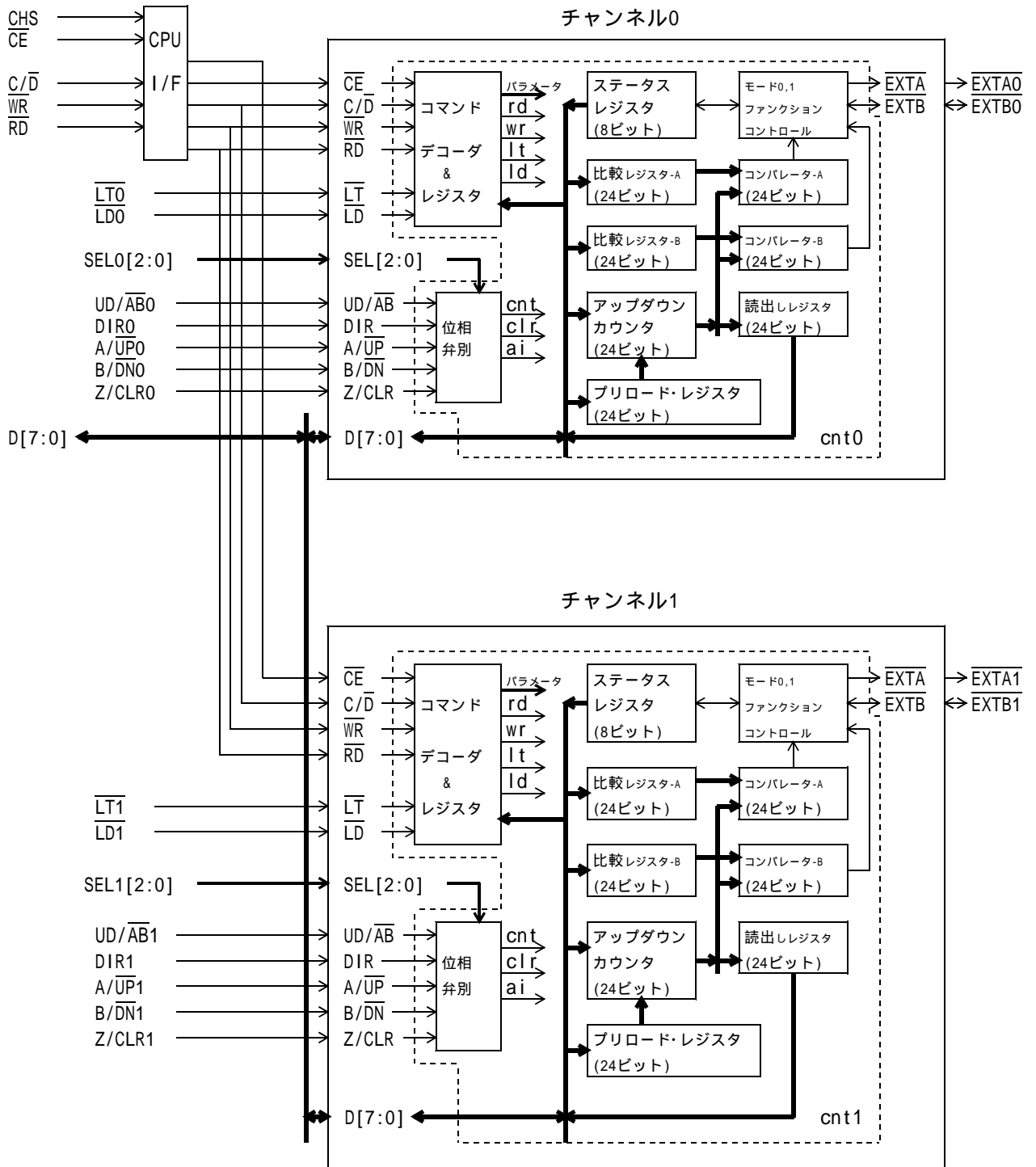
ZEN2011Pソフトウェア互換

ZEN2011P機能互換

端子配置図 (Top View)



2. ブロック図



## 3. ピン名称と機能

ピン名称	番号	入出力	機能
$\overline{\text{EXTA0}}$ EXTA1	55 58	出力	コマンドにより設定されたデータを出力します。 モード0では、コンパレータAの比較結果(EQAn)を出力します。 モード1では、コマンド設定により、コンパレータAの比較結果(EQAn)、コンパレータAの比較結果とコンパレータBの比較結果の論理和(EQAn+EQBn)、またはEQAnの比較結果のホールドデータ(INTEQAn)のいずれかを出力します。
CLK	39	入力	動作の基準となるクロックを入力します。(単相クロック)
$\overline{\text{RESET}}$	41	入力	カウンタ、位相弁別部、コマンドレジスタ、ステータスレジスタを初期化します。
$\overline{\text{CE}}$	20	入力	本LSIを選択するための信号です。
CHS	22	入力	操作の対象とするチャンネル(0 or 1)を選択します。
C/ $\overline{\text{D}}$	21	入力	データバス上の情報の種類(コマンド or データ)を指定するのに使用します。通常、CPUのアドレスバス(最下位)に接続します。
$\overline{\text{RD}}$	18	入力	読み出しレジスタ、ステータスレジスタからの読み出しストロープ信号です。
$\overline{\text{WR}}$	19	入力	内部レジスタまたはアップダウン・カウンタへの書き込みストロープ信号です。CHS,C/ $\overline{\text{D}}$ , $\overline{\text{RD}}$ , $\overline{\text{WR}}$ の詳細は、"4 - 1. CPUインターフェイス"の項を参照してください。
$\overline{\text{LD0}}$ $\overline{\text{LD1}}$	31 34	入力	プリロードレジスタのデータ(24ビット)をアップダウン・カウンタへ一括してロードします。この信号の立ち下がりエッジを検出して、ロード動作を起動します。
$\overline{\text{LT0}}$ $\overline{\text{LT1}}$	32 35	入力	アップダウン・カウンタのデータ(24ビット)を読み出しレジスタに一括してラッチします。この信号の立ち下がりエッジを検出して、ラッチ動作を起動します。
D0 D1 D2 D3 D4 D5 D6 D7	3 4 5 6 9 10 11 12	入出力	8ビットの双方向データバスです。
$\overline{\text{EXTB0}}$ $\overline{\text{EXTB1}}$	54 57	入出力	コマンドにより、設定されたデータを入力ないし出力します。 モード0では、汎用入力端子Uとして設定されます。この端子に接続している信号の値を、ステータスレジスタにてモニタすることが可能となります。 モード1では、出力端子として設定されます。コマンドによりコンパレータBの比較結果(EQBn)、異常入力ステータスAIのホールドデータ(INTAIn)、またはEQBnのホールドデータ(INTEQBn)のいずれかを出力します。 $\overline{\text{EXTAn}}$ , $\overline{\text{EXTBn}}$ のモード1での詳細は、"5 - 4. コマンドレジスタ(モード1)"の項を参照してください。

ピン名称	番号	入出力	機能
Z/CLRO Z/CLR1	49 52	入力	アップダウン・カウンタのクリア信号を入力します。 通常、ロータリー・エンコーダやリニア・スケール等のインデックス(原点)信号を入力します。コマンド設定により、カウンタクリアの有効/無効、および、有効回数を制御することができます。
B/DN0 B/DN1	48 51	入力	2相パルス(B相)またはダウNPルスを入力します。
A/UP0 A/UP1	47 50	入力	2相パルス(A相)またはアップパルスを入力します。
SEL00 SEL01 SEL02 SEL10 SEL11 SEL12	24 25 26 27 28 29	入力	SELn0、SELn1、SELn2の3本の信号でカウンタ動作モード(単相および2相パルス入力時)を決定するのに使用します。詳細は、"4-3. カウンタ動作モード"の項を参照してください。
DIR0 DIR1	33 36	入力	内部カウンタのカウント方向を切り換えます。 本入力の切り替えは、カウントパルスが入力されていない状態でおこなう必要があります。もし、カウントパルスの入力中に切り替えると、カウント値の信頼性は失われます。 標準動作はこの入力が"1"のときです。このとき、2相入力モードではCW回転入力(A相90°位相進み)、アップダウンモードではUP↑入力、単相モードではB="1"かつAにパルス入力がある場合にカウントアップします。
UD/AB0 UD/AB1	43 44	入力	入力カウントパルスの種類を設定するのに使用します。 詳細は、"4-3. カウンタ動作モード"の項を参照してください。
Vss	2 8 17 30 38 40 46 59	電源	0 V
Vdd	7 13 23 42 53	電源	+ 5 V
N.C.	1 37 45 56 60		未接続ピン
TEST0 TEST1 TESTAC	14 15 16	入力	テスト用端子ですので、通常使用時は+ 5 Vに固定してください。

注1) n はチャンネル(0~1)を表します。

注2) N.C.以外の未使用の入力ピンはオープンにせず、必ず電源またはグランドに固定してください。

#### 4．動作説明

通常、ZEN2024Fの動作はシステムソフトウェアにより制御されます。各種の機能を有効に実行させるために、外部入力端子およびコマンドによる動作設定を行う必要があります。なお、アップダウン・カウンタと他のレジスタとのリードライトタイミングはチップ内部で同期化されていますので、カウンタの動作中でもデータの読み出し・書き込み、コマンドの書き込み、ステータスの読み出し等の操作が行えます。また、各チャンネルは完全に独立して各種設定が可能です。

##### 4 - 1．CPUインターフェース

CPUとの基本的なインターフェースは、外部入力端子CHS, C/D,  $\overline{CE}$ ,  $\overline{RD}$ ,  $\overline{WR}$ の4信号により行います。具体的な動作については下の表を参照下さい。

CE	CHS	C/D	RD	WR	動作
1	*	*	*	*	ディスエーブル(データバス : Hi-Z)
0	0	0	0	1	読み出しレジスタ・リード(ch.0)
0	1	0	0	1	読み出しレジスタ・リード(ch.1)
0	0	0	1	0	データ・ライト(ch.0)
0	1	0	1	0	データ・ライト(ch.1)
0	0	1	0	1	ステータスレジスタ・リード(ch.0)
0	1	1	0	1	ステータスレジスタ・リード(ch.1)
0	0	1	1	0	コマンド・ライト(ch.0)
0	1	1	1	0	コマンド・ライト(ch.1)

注) \* は任意

##### 4 - 2．システムモード

ZEN2024Fには、下記の2種類のシステムモードが存在します。まず、初期設定としてコマンドでいずれかのシステムモードを選択する必要があります。次に、希望するカウント動作に合わせて、コマンド、カウンタ値、各レジスタ値を設定します。

###### 4 - 2 - 1．モード0 (コマンド:90H 実行以後またはシステムリセット時)

ZEN2001P(弊社旧品種)と同一の命令セットとなります。

EXTBnは汎用入力端子Unとして設定されます。

1組の比較レジスタ・コンパレータが有効になります。

###### 4 - 2 - 2．モード1 (コマンド:91H 実行以後)

モード0の上位互換となり、モード0の全ての命令セットが使用可能です。

EXTBnは出力端子に設定され、EXTAnとEXTBnはモード1固有の命令セットにより、出力する信号を各種選択できます。

さらにモード1では、2組の比較レジスタ・コンパレータが有効になります。

## 4 - 3 . カウンタ動作モード

ZEN2024Fはカウンタ動作モードを初期設定で決める必要があります。外部入力端子のUD/ $\overline{ABn}$ , SELn0, SELn1, SELn2の4本の信号により、入力パルス形式、カウンタの逡倍動作およびカウンタのクリア動作を選択します。

UD/ $\overline{ABn}$	SELn2	SELn1	SELn0	カウンタ逡倍	パルス入力形式	クリアモード
1	*	*	*	-	アップダウンパルス	非同期クリア
0	0	0	0	標準	2相パルス	同期クリア
	0	0	1	2 逡倍		
	0	1	0	4 逡倍		
	1	0	0	標準	2相パルス	非同期クリア
	1	0	1	2 逡倍		
	1	1	0	4 逡倍		
	0	1	1	標準	単相パルス	非同期クリア
	1	1	1	2 逡倍		

注) \*は任意。

## 4 - 4 . パルスカウントタイミング

パルス入力形式	カウンタ動作
アップダウンパルス	UP、DNパルスの立ち上がりエッジを検出してカウンタ動作を行います。
2相パルス	A、Bパルスの位相変化を検出して、各逡倍設定に応じたカウンタ動作を行います。 標準逡倍時 : A相のエッジ変化 (B相が"0"の時のみ) 2 逡倍時 : A相のエッジ変化 (B相の位相によらず) 4 逡倍時 : A相、B相のエッジ変化
単相パルス	B入力をカウンタイネーブル信号として、Aパルスにより、アップカウンタ動作を行います。(DIR="1"時) 標準逡倍時 : A相のエッジ変化 (立ち上がりのみ) 2 逡倍時 : A相のエッジ変化 (立ち上がり・立ち下がりとも)

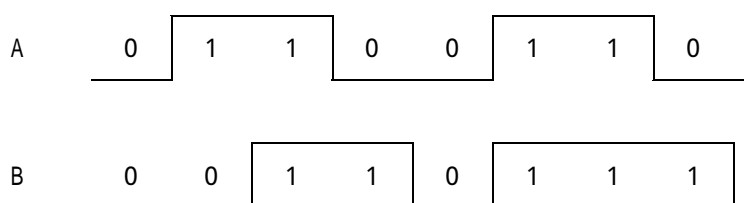
## 4 - 5 . 異常入力検出機能

ZEN2024Fは2相入力パルスが正常な位相遷移を行っているかどうかを検出する機能を有しています。この機能は2相入力パルスカウントのときのみ有効です。具体的には、下図で示すような異常な遷移状態が起こるとステータス・レジスタのD7値が"1"となり異常入力(AI)フラグが発生します。通常、こうした異常な遷移状態は下記のような原因により引き起こされます。なお、異常入力を検出した場合は、カウント値の信頼性は失われますのでご注意ください。

- (1) 2相パルス入力A、Bの周波数が、システムクロック周波数の1/4を越えたため、正確に位相遷移状態をクロックでサンプリングできなくなった場合。
- (2) 混入したラインノイズが入力パルス変化として観測され、異常な遷移状態と判断された場合。

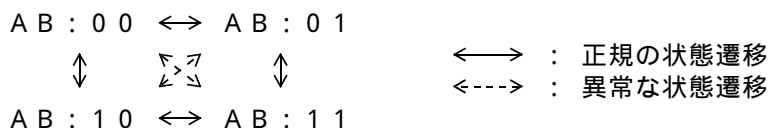
注) ロータリーエンコーダ、リニアスケール等の静止中の微動による1相のみのパルス入力変化は、正常な入力状態とみなされます。

(CLK によるサンプリング)



AI (AB:00 11)

2相入力の異常検出の例



2相入力の状態遷移の例

## 4 - 6 . リセット時内部設定

ZEN2024Fのリセット時における各レジスタのデフォルト値及びシステムモードは以下の様に設定されます。ここでリセットとはRESET端子に負論理パルスを与えることを意味します。

レジスタ及びモード	リセット時の状態	レジスタ及びモード	リセット時の状態
アップダウン・カウンタ	000000H	比較レジスタ(A)	リセット直前の値を保持
プリロード・レジスタ	リセット直前の値を保持	比較レジスタ(B)	リセット直前の値を保持
読み出しレジスタ	リセット直前の値を保持	システムモード	モード0
コマンド・レジスタ D7(LD) D6(ZE1) D5(ZE0) D4(LT) D3(RS1) D2(RS0) D1(BS1) D0(BS0)	0 — (NOP) 1 $\lrcorner$ Z相無効(ZNE) 0 $\lrcorner$ 0 — (NOP) 0 $\lrcorner$ アクセス対象となるレジスタはアップダウンカウンタ 0 $\lrcorner$ 0 $\lrcorner$ アクセス対象となるバイトは下位バイト 0 $\lrcorner$		
ステータス・レジスタ D7(AI) D6(Z) D5(A) D4(B) D3(DTR) D2(U/D) D1(EQA) D0(U) モード0 D0(EQB) モード1	0 入力(Z/CLRn)に依存 入力(A/UPn)に依存 入力(B/DNn)に依存 0 0 1 入力(Un)に依存 1		

## 5 . レジスタ説明

ZEN2024Fには下記のレジスタが備わっています。

- ・動作を制御するための各種コマンドワードを格納するコマンドレジスタ[Write only]
- ・内部状態を示すステータスレジスタ[Read only]
- ・カウンタにロードする値を格納するプリロードレジスタ[Write only]
- ・カウンタと比較するための値を格納する比較レジスタ[Write only]
- ・ラッチしたカウンタ値を格納する読み出しレジスタ[Read only]

また、プリロードレジスタを経由せず、直接、カウンタに値を書き込むことも可能です。しかし、カウンタ値をラッチせずにある瞬間の値を直接読み出すことはできません。まず、読み出しレジスタにカウンタ値をラッチしてから読み出す必要があります。

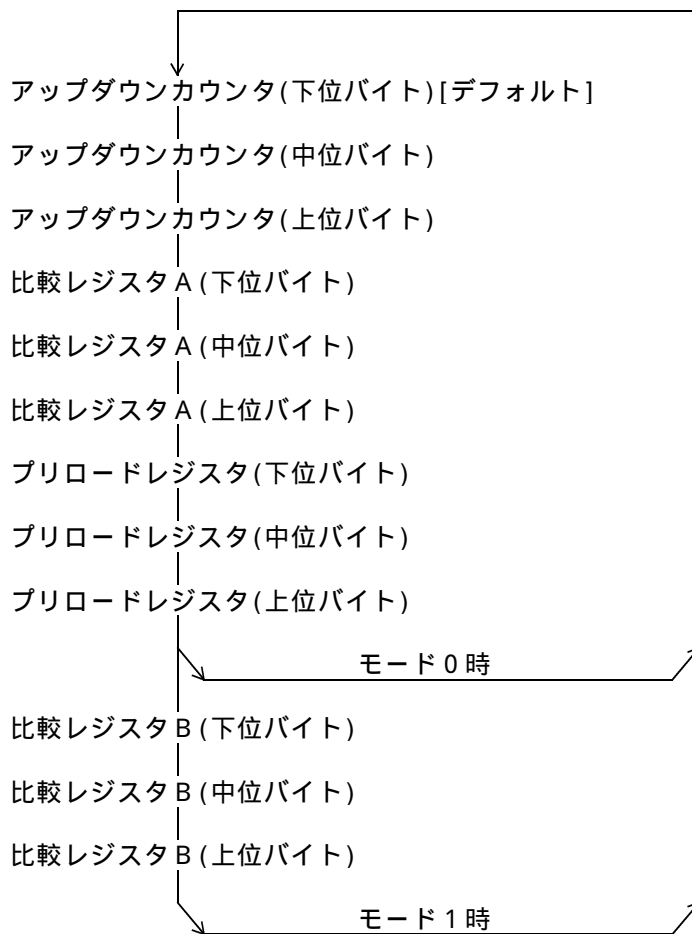
以下では、コマンドレジスタの設定の詳細とステータスレジスタの表示内容について説明します。



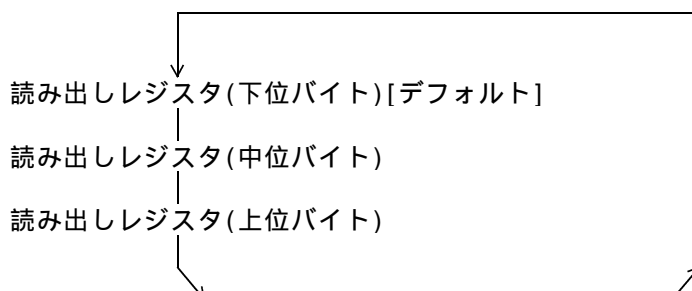
## 5 - 1 . アクセスポインタ

プリロードレジスタや比較レジスタ、あるいはカウンタへの値の書き込みに際しては、そのつど事前にコマンドレジスタへアクセスポインタの設定をする必要があります。ただし、ZEN2024Fにはアクセス対象レジスタおよびアクセス対象バイトのオートインクリメント機能が備わっていますので、下図に示す所定の順序で値を書き込む場合は、コマンドレジスタへの設定は一度で済ますことができます。なお、アクセス対象バイトに関しては、読み出しレジスタへのアクセス時(ラッチしたカウント値の読み出し時)にもオートインクリメント機能が有効となります。なお、このアクセスポインタは書き込みと読み出しで共用しておりますので、その点ご注意ください。

## 書き込み時



## 読み出し時



## 5 - 2 . システムモード設定

システムモードを選択するためのコマンド・ワードです。ZEN2024Fを使用するにはいずれかのモードをコマンドレジスタに設定する必要があります。一度システムモードの変更をおこなうと再度システムモード設定コマンドを実行するか、リセットを行うまで保持されます。

なお、リセット時のデフォルト設定はモード0です。

コマンドレジスタフォーマット (システムモード)

D7	D6	D5	D4	D3	D2	D1	D0	Hex・Code	動作
1	0	0	1	0	0	0	0	9 0	モード0 セレクト (デフォルト)
1	0	0	1	0	0	0	1	9 1	モード1 セレクト

## (1) モード0 (デフォルト)

EXTAnはコンパレータ出力EQAnが出力されます。

EXTBnは入力モードとなり、汎用入力Unとして機能します。

## (2) モード1

モード0の全命令セットに加えてモード1独自の命令セットが実行可能となります。

EXTBnはEXTAnと同じく出力モードとなり、モード1のコマンドにより出力する信号を各種設定することができます。

## 5 - 3 . コマンドレジスタ(モード0・1共通)

各レジスタへのアクセス、カウンタ レジスタ間データ転送、カウンタのクリア制御等を行う命令群です。このコマンド・ワードのフォーマットは5つのフィールドで構成されています。各フィールドの命令は並列処理されます。

コマンドレジスタのフィールドフォーマット (モード0・1共通)

D7	D6	D5	D4	D3	D2	D1	D0
LD	ZE1	ZE0	LT	RS1	RS0	BS1	BS0

## ・ BS1,BS0 (Byte Select 1,0)

アップダウン・カウンタおよび各レジスタは24ビット構成のため、8ビット単位に分割して、上位バイト、中位バイト、下位バイトごとにアクセスの対象とするバイトを指定します。

## ・ RS1,RS0 (Register Select 1,0)

プリロード、比較A、比較B(モード1の時のみアクセス可)の各レジスタとアップダウン・カウンタの中から書き込みの対象を指定します。これらはデータ書き込み時のみアクセス可能です。読み出し時には、対象となるレジスタ(カウントデータ or ステータス)が入力信号C/Dのみで決まりますので、この指定は不要です。

## ・ LT (Latch)

アップダウン・カウンタのカウントデータを読み出しレジスタへ一括して転送するのに使用します。

## ・ ZE1,ZE0 (Z Phase Control 1,0)

アップダウン・カウンタのクリア信号として使用されるZ相入力制御信号の動作を指定します。無効、1回のみ有効、常に有効の3パターンの中から選択可能です。

## ・ LD (Load)

プリロード・レジスタの24ビットデータをアップダウン・カウンタに一括して転送するのに使用します。

注1) コマンドおよび外部ピンのいかなる組合せにおいても、LT,LDは同時実行できません。

注2) コマンドのLT,LDの実行の際には、外部端子 $\overline{LTn}$ , $\overline{LDn}$ を"1"レベルに固定する必要があります。

コマンドレジスタフォーマット(モード0・1共通)

D7	D6	D5	D4	D3	D2	D1	D0	動作
-	-	-	-	0	0	-	-	アップダウン・カウンタ セレクト (デフォルト)
-	-	-	-	0	1	-	-	比較レジスタA セレクト
-	-	-	-	1	*	-	-	プリロード・レジスタ セレクト (モード0設定時)
-	-	-	-	1	0	-	-	プリロード・レジスタ セレクト (モード1設定時)
-	-	-	-	1	1	-	-	比較レジスタB セレクト (モード1設定時)
-	-	-	-	-	-	0	0	レジスタ 下位バイト セレクト (デフォルト)
-	-	-	-	-	-	0	1	レジスタ 中位バイト セレクト
-	-	-	-	-	-	1	*	レジスタ 上位バイト セレクト
-	0	0	-	-	-	-	-	Z相制御 NOP(現設定を保持し変更しない)
-	0	1	-	-	-	-	-	Z相入力 無効 <ZNE> (デフォルト)
-	1	0	-	-	-	-	-	Z相入力 1回のみ有効 <ZE1>
-	1	1	-	-	-	-	-	Z相入力 毎回有効 <ZEA>
0	-	-	0	-	-	-	-	LT,LD NOP(ラッチ・ロードとも実行しない)
0	-	-	1	-	-	-	-	LT(カウンタ・データ・ラッチ)
1	-	-	0	-	-	-	-	LD(カウンタ・データ・ロード)
1	0	0	1	*	*	*	*	コマンドID(システムモードセレクト、モード1コマンド)
1	*	*	1	*	*	*	*	禁止 (コマンドIDを除く)

注1) \*は任意。

注2) - は他のコマンドフィールドと組合せ可能なことを意味します。

#### 5 - 4 . コマンドレジスタ(モード1)

モード1のコマンド群は、システムモードをモード1に設定することによってはじめて有効になります。したがって、モード0時にモード1のコマンド群を入力しても実行されません。モード1ではモード0時にアクセスできなかった比較レジスタBへのアクセスが可能になります。また、ステータスレジスタのD0は、汎用入力Unのモニタ出力からコンパレータBの出力EQBnに変更されます。本モードのコマンド群は主に、 $\overline{EXTAn}$ 、 $\overline{EXTBn}$ ピンに出力する信号を選択するもので、1命令当り1処理が行われます。

$\overline{EXTAn}$ ピンには、コンパレータAの出力EQAn、コンパレータAとBの論理和出力EQAn+EQBn、またはEQAnのホールドデータINTEQAnのうちいずれかの信号を出力することができます。

$\overline{EXTBn}$ ピンには、コンパレータBの出力EQBn、EQBnのホールドデータINTEQBn、または、2相パルス入力時の異常入力フラグAIのホールド出力INTAInのうち、いずれかの信号を出力することができます。

- ・  $\overline{EQAn}$                       比較レジスタAとアップダウン・カウンタとの比較を行うコンパレータAの出力結果です。
- ・  $\overline{EQBn}$                       比較レジスタBとアップダウン・カウンタとの比較を行うコンパレータBの出力結果です。
- ・  $\overline{EQAn+EQBn}$                 コンパレータAとBの論理和出力です。
- ・  $\overline{INTEQAn}$                     コンパレータAの出力 $\overline{EQAn}$ のホールド出力で、割り込み出力として利用可能です。割り込みの許可(EI)、不許可(DI)、リセットの各コマンドをサポートしています。
- ・  $\overline{INTEQBn}$                     コンパレータBの出力 $\overline{EQBn}$ のホールド出力で、割り込み出力として利用可能です。割り込みの許可(EI)、不許可(DI)、リセットのコマンドをサポートしています。

・  $\overline{\text{INTAIn}}$ 

2相パルス入力時の異常遷移状態を示すAIフラグのホールド出力で、割り込み出力として利用可能です。さらに割り込みの許可(EI)、不許可(DI)、リセットのコマンドをサポートしています。

AIリセットコマンドは、この出力をリセットすると共に、位相弁別回路を初期化し、現在の位相状態を初期状態として読み込みます。

ただしAIリセットコマンドは、 $\overline{\text{INTAIn}}$ の選択時(9AH, 9BHコマンド実行後)に限り有効です。

コマンドレジスタフォーマット(モード1)

D7	D6	D5	D4	D3	D2	D1	D0	Hex・Code	動作
1	0	0	1	0	0	1	0	9 2	禁止
1	0	0	1	0	0	1	1	9 3	禁止
1	0	0	1	0	1	0	0	9 4	$\overline{\text{EQAn}}+\overline{\text{EQBn}}$ $\overline{\text{EXTAn}}$
1	0	0	1	0	1	0	1	9 5	$\overline{\text{EQAn}}$ $\overline{\text{EXTAn}}$ (デフォルト)
1	0	0	1	0	1	1	0	9 6	禁止
1	0	0	1	0	1	1	1	9 7	$\overline{\text{EQBn}}$ $\overline{\text{EXTBn}}$ (デフォルト)
1	0	0	1	1	0	0	0	9 8	$\overline{\text{INTEQAn}}$ コマンドリセット
1	0	0	1	1	0	0	1	9 9	$\overline{\text{INTEQBn}}$ 、 $\overline{\text{INTAIn}}$ コマンドリセット
1	0	0	1	1	0	1	0	9 A	$\overline{\text{INTAIn}}$ $\overline{\text{EXTBn}}$ & DI
1	0	0	1	1	0	1	1	9 B	$\overline{\text{INTAIn}}$ $\overline{\text{EXTBn}}$ & EI
1	0	0	1	1	1	0	0	9 C	$\overline{\text{INTEQAn}}$ $\overline{\text{EXTAn}}$ & DI
1	0	0	1	1	1	0	1	9 D	$\overline{\text{INTEQAn}}$ $\overline{\text{EXTAn}}$ & EI
1	0	0	1	1	1	1	0	9 E	$\overline{\text{INTEQBn}}$ $\overline{\text{EXTBn}}$ & DI
1	0	0	1	1	1	1	1	9 F	$\overline{\text{INTEQBn}}$ $\overline{\text{EXTBn}}$ & EI

注1) EI(Enable Interrupt)   割り込み許可

DI(Disable Interrupt)   割り込み禁止

注2)  $\overline{\text{EXTAn}}$ 、 $\overline{\text{EXTBn}}$ ピンはTTLレベル出力ですので、直接ワイアードORを構成する割り込み信号として使用することはできません。そのような場合にはオープンドレイン出力ICの制御信号としてご利用ください。

## 5 - 5 . ステータスレジスタ

ステータス・レジスタは8ビットのレジスタで、内部動作状態をモニタすることができます。このレジスタの読み出し方法は、"4 - 1 . CPUインターフェイス"の項を参照してください。

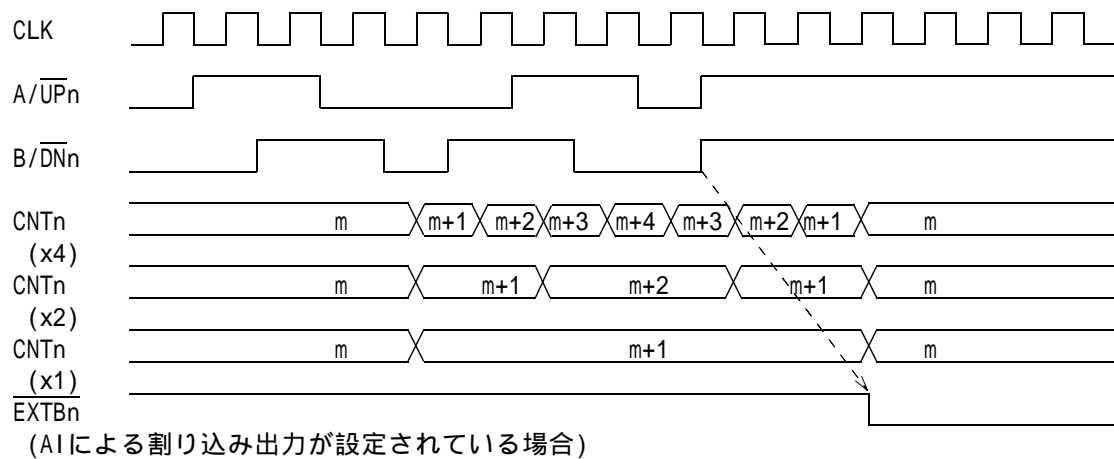
ビット	記号	アクティブ	機能
D7	AI	High	異常入力検出フラグ [2相入力時のみ有効] 2相入力の異常な遷移状態が検出されたことを示します。このフラグはステータス読み出しによりクリアされます。モード1設定時に、INTAI <sub>n</sub> を選択した場合はこのフラグは無効となります。
D6	Z	入力に依存	Z相入力信号モニタ Z/CLR <sub>n</sub> 入力信号をCLK でサンプリングしたものです。
D5	A	入力に依存	A/ $\overline{UP}$ <sub>n</sub> 入力信号モニタ A/ $\overline{UP}$ <sub>n</sub> 入力信号をCLK でサンプリングしたものです。
D4	B	入力に依存	B/ $\overline{DN}$ <sub>n</sub> 入力信号モニタ B/ $\overline{DN}$ <sub>n</sub> 入力信号をCLK でサンプリングしたものです。
D3	DTR	High	読み出しレジスタ・データレディフラグ ラッチ実行により、カウンタデータが読み出しレジスタに転送完了したことを示します。ラッチ後、読み出しレジスタからデータを1バイトでも読み出すことにより、このフラグはクリアされます。
D2	$\overline{U}/D$	-	内部カウンタのカウント方向ステータス 内部カウンタの現在のカウント方向を示します。 (アップ・カウント : "0", ダウンカウント : "1")
D1	$\overline{EQA}$	Low	コンパレータA 一致フラグ カウントデータと比較レジスタAのデータが一致したことを示します。
D0	U	入力に依存	汎用入力U モニタ [モード0時] EXTB <sub>n</sub> に入力された信号(U)を直接モニタすることができます。
	$\overline{EQB}$	Low	コンパレータB 一致フラグ [モード1時] カウントデータと比較レジスタBのデータが一致したことを示します。

## 6. 動作タイミング

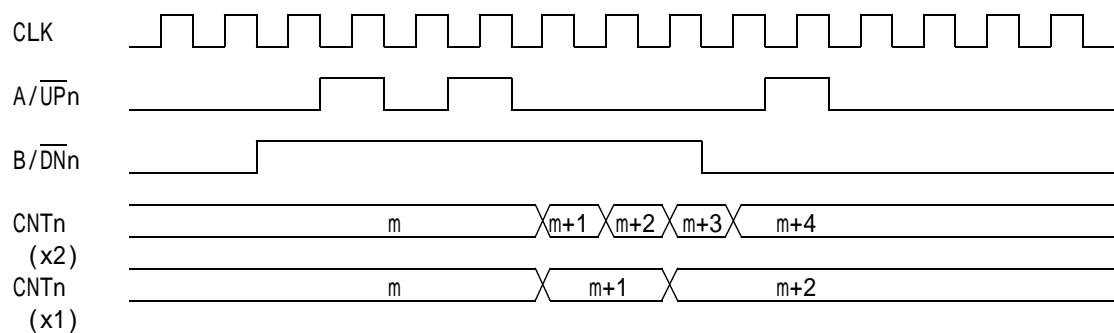
ZEN2024Fはソフトウェア的にはZEN2011P互換ですが、内部の動作タイミングは若干異なっています。以下、参考のために各部の動作タイミングの概略を示します。

## 6 - 1 . カウント動作

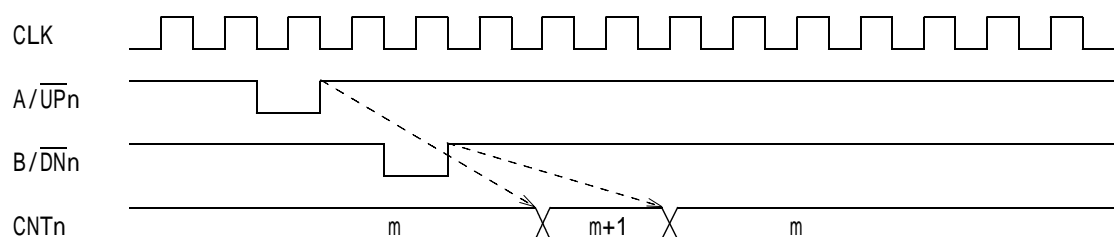
## 6 - 1 - 1 . 2相パルスモード(DIR="1")



## 6 - 1 - 2 . 単相パルスモード(DIR="1")

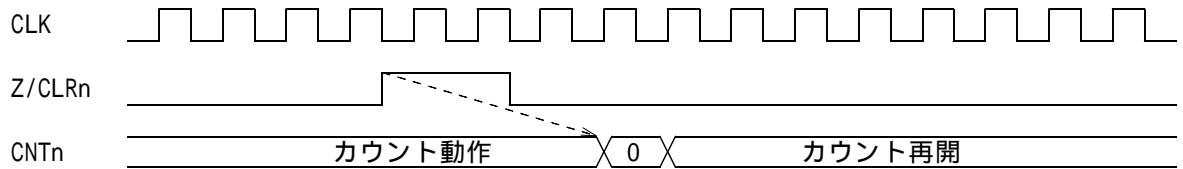


## 6 - 1 - 3 . アップダウンパルスモード(DIR="1")



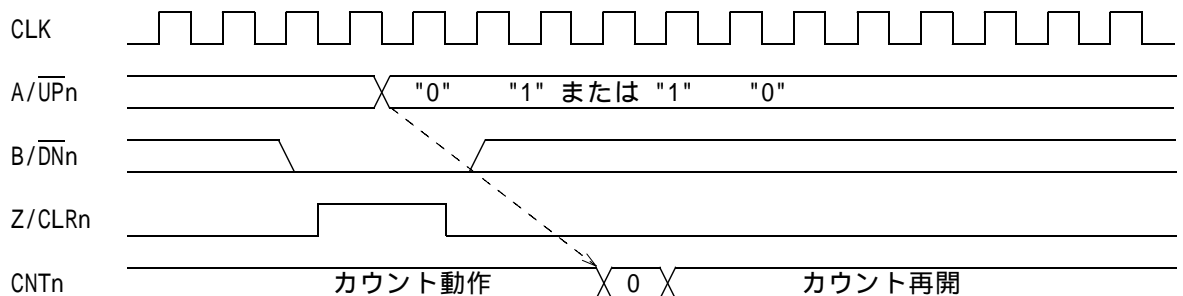
## 6 - 2 . クリア動作

## 6 - 2 - 1 . 非同期モード (Z相立ち上がり検出動作)



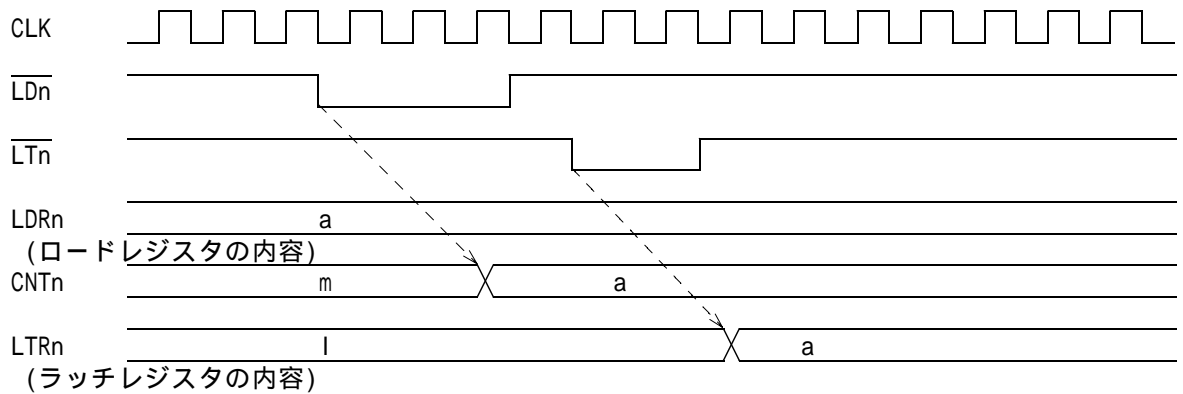
注) Z/CLRnが"1"レベルのときに、Z相の制御設定をZNEからZE1ないしZEAに変更するとその時点でカウンタのクリア動作が発生します。

## 6 - 2 - 2 . 同期モード (A相エッジ検出動作)



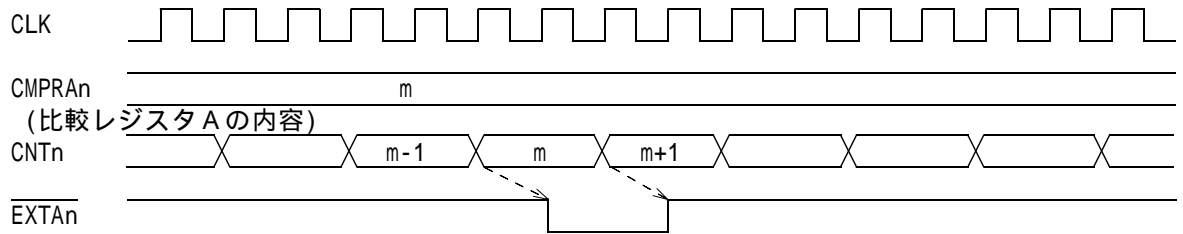
## 6 - 3 . カウンタロード・ラッチ動作

## 6 - 3 - 1 . 外部ロード・ラッチ

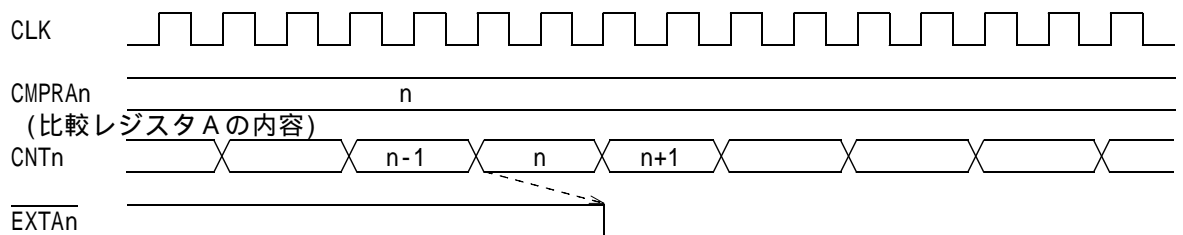


## 6 - 4 . 一致検出動作

## 6 - 4 - 1 . 一致出力



## 6 - 4 - 2 . 一致ホールド出力



注)  $\overline{\text{EXTAn}}$ ・ $\overline{\text{EXTBn}}$ ともタイミングは同一



## 7. 電気的特性

7 - 1 . 絶対最大定格 ( $V_{SS} = 0V$ )

項目	記号	定格値	単位
電源電圧	$V_{DD}$	-0.3 ~ +7.0	V
入力電圧	$V_{IN}$	-0.3 ~ $V_{DD}+0.3$	V
出力電圧	$V_{OUT}$	-0.3 ~ $V_{DD}+0.3$	V
入力電流	$I_{IN}$	-10 ~ +10	mA
保存温度	$T_{stg}$	-40 ~ +125	

7 - 2 . 推奨動作条件 ( $V_{SS} = 0V$ )

項目	記号	最小値	標準値	最大値	単位
電源電圧	$V_{DD}$	4.5	5.00	5.5	V
周囲温度	$T_{opr}$	0		+70	

## 7 - 3 . 直流特性

項目	記号	条件	最小値	最大値	単位
高レベル入力電圧	$V_{IH}$		2.2		V
低レベル入力電圧	$V_{IL}$			0.8	V
高レベル入力電流	$I_{IH}$	$V_{IH}=V_{DD}$	-10	10	$\mu A$
低レベル入力電流	$I_{IL}$	$V_{IH}=V_{SS}$	-10	10	$\mu A$
高レベル出力電圧	$V_{OH}$	$I_{OH}=-4mA$	2.4		V
低レベル出力電圧	$V_{OL}$	$I_{OL}=4mA$		0.4	V
静的消費電流	$I_{DDS}$	$V_{in}=V_{DD}$ または $V_{SS}$		17	$\mu A$
動作時消費電流	$I_{DDO}$			30	mA

注)  $I_{OH}$ は高レベル出力電流、 $I_{OL}$ は低レベル出力電流を表す。

## 7 - 4 . 交流特性

項目	記号	最小値	最大値	単位
C/ $\overline{D}$ , CHS, $\overline{CE}$ セットアップ時間(to D7 ~ D0)	T <sub>AW</sub>	0		n S
C/ $\overline{D}$ , CHS, $\overline{CE}$ ホールド時間(to D7 ~ D0)	T <sub>WA</sub>	0		n S
データ セットアップ時間(to $\overline{WR}$ )	T <sub>DW</sub>	30		n S
データ ホールド時間(to $\overline{WR}$ )	T <sub>ID</sub>	5		n S
$\overline{WR}$ パルス幅	T <sub>WW</sub>	25		n S
$\overline{WR}$ 立ち上がり後のリカバリー時間 <sup>1)</sup>	T <sub>WRC</sub>	5 <sub>CY</sub>		n S
C/ $\overline{D}$ , CHS, $\overline{CE}$ セットアップ時間(to $\overline{RD}$ )	T <sub>AR</sub>	0		n S
C/ $\overline{D}$ , CHS, $\overline{CE}$ ホールド時間(to $\overline{RD}$ )	T <sub>RA</sub>	5		n S
$\overline{RD}$ パルス幅	T <sub>RR</sub>	25		n S
データ アクセス時間(from $\overline{RD}$ )	T <sub>RD</sub>		20	n S
データ フロート時間(from $\overline{RD}$ )	T <sub>DF</sub>	3		n S
$\overline{RD}$ 立ち上がり後のリカバリー時間 <sup>1)</sup>	T <sub>RRC</sub>	5 <sub>CY</sub>		n S
CLK ハイ/ローパルス幅	t <sub>o</sub>	15		n S
CLK サイクル時間	t <sub>CY</sub>	30		n S
$\overline{RESET}$ パルス幅	T <sub>RST</sub>	2 <sub>CY</sub>		n S
$\overline{RESET}$ 立ち上がり後のリカバリー時間 <sup>1)</sup>	T <sub>RSRC</sub>	5 <sub>CY</sub>		n S
$\overline{LD}$ パルス幅	T <sub>LDW</sub>	25		n S
$\overline{LT}$ パルス幅	T <sub>LTW</sub>	25		n S
$\overline{EXTB}$ セット時間 <sup>2)</sup> (from CLK )	T <sub>SEB</sub>		15	n S
$\overline{EXTB}$ フロート時間 <sup>3)</sup> (from CLK )	T <sub>FEB</sub>		15	n S
$\overline{EXTA}$ , $\overline{EXTB}$ フィックス時間(from CLK )	T <sub>EXF</sub>		15	n S
A, B サイクル時間	T <sub>CYAB</sub>	<sub>CY</sub> X4+32		n S
A, B ハイ/ローレベル幅	T <sub>PHAB</sub>	<sub>CY</sub> X2+16		n S
A, B 位相差時間	T <sub>SAB</sub>	<sub>CY</sub> +8		n S
Z ハイレベル幅 <sup>4)</sup>	T <sub>SZ</sub>	<sub>CY</sub> +8		n S
Z パルス幅 <sup>5)</sup>	T <sub>ZZ</sub>	<sub>CY</sub> +8		n S
A セットアップ時間(to B ) <sup>6)</sup>	T <sub>SS</sub>	<sub>CY</sub> +8		n S
A ハイ/ローレベル幅 <sup>6)</sup>	T <sub>AHL</sub>	<sub>CY</sub> +8		n S
A サイクル時間 <sup>6)</sup>	T <sub>ACY</sub>	<sub>CY</sub> X2+16		n S
$\overline{UP}$ , $\overline{DN}$ サイクル時間 <sup>7)</sup>	T <sub>UDCY</sub>	<sub>CY</sub> X2+16		n S
$\overline{UP}$ , $\overline{DN}$ ハイ/ローレベル幅 <sup>7)</sup>	T <sub>U</sub>	<sub>CY</sub> +8		n S

注 1) ZEN2024Fに対する書き込み、読み出し動作禁止時間

注 2) 91Hコマンド実行時

注 3) 90Hコマンド実行時

注 4) 同期クリアモード

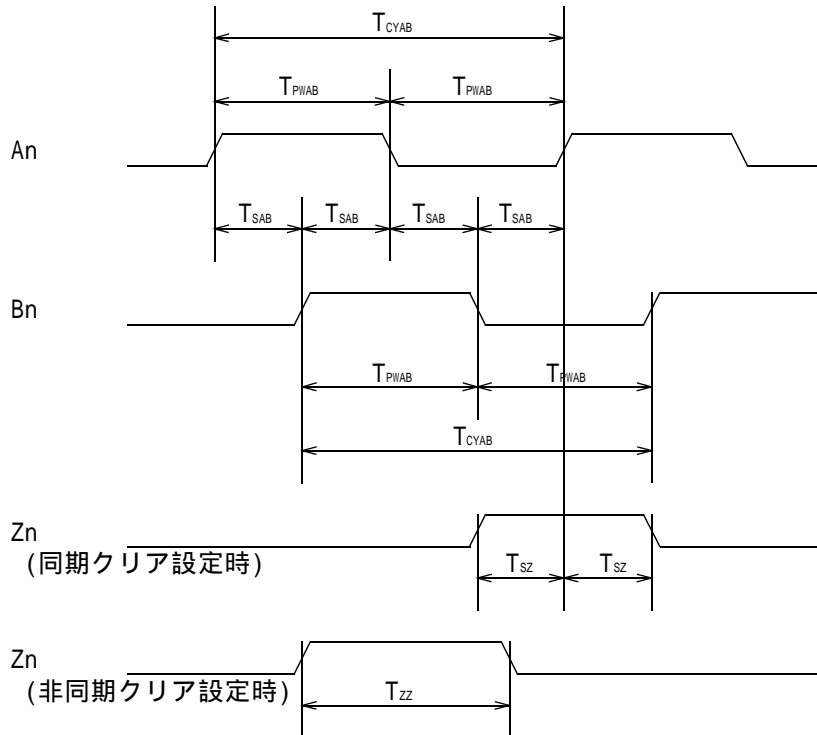
注 5) 非同期クリアモード

注 6) 単相パルスモード

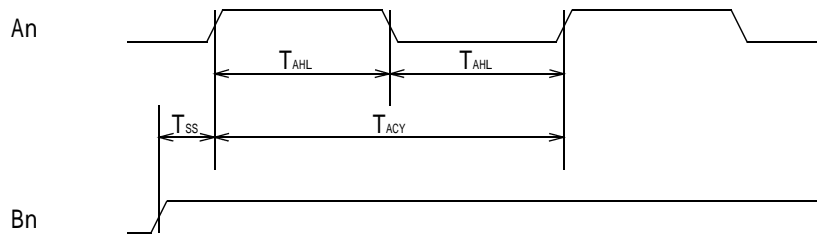
注 7) アップダウンモード

7-5. タイミング・ダイアグラム

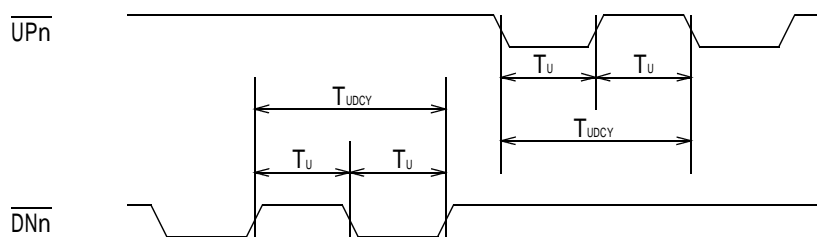
7-5-1. 2相信号入力タイミング



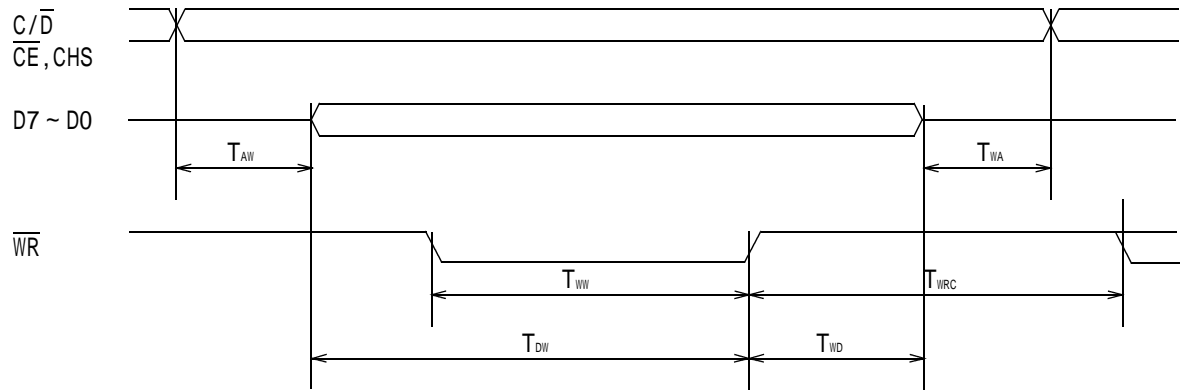
7-5-2. 単相信号入力タイミング



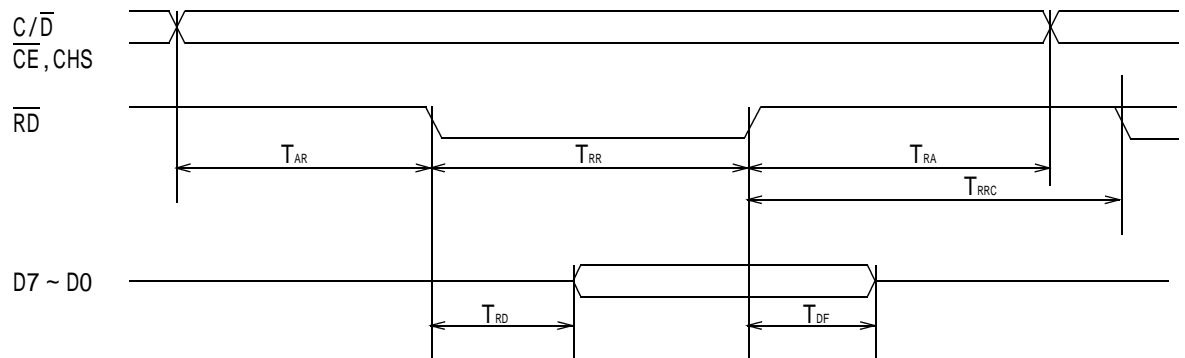
7-5-3. アップダウンパルス信号入力タイミング



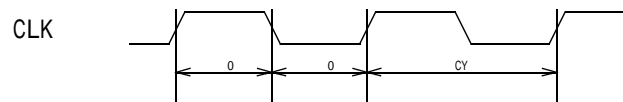
## 7-5-4. ライトサイクル



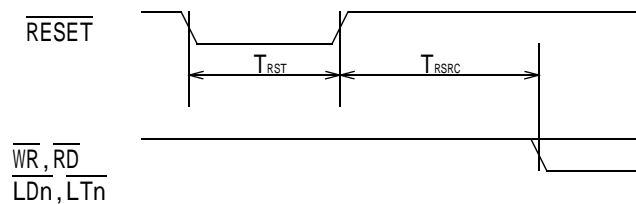
## 7-5-5. リードサイクル



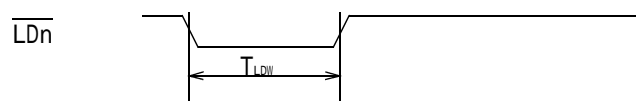
## 7-5-6. クロック波形



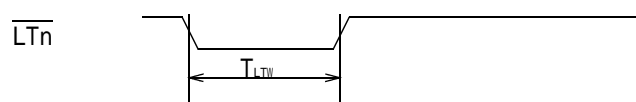
## 7-5-7. リセット波形

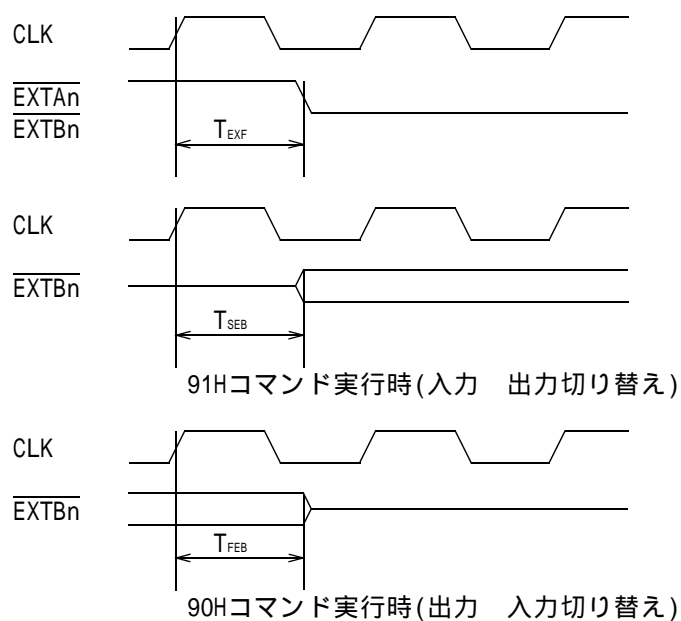


## 7-5-8. ロード波形



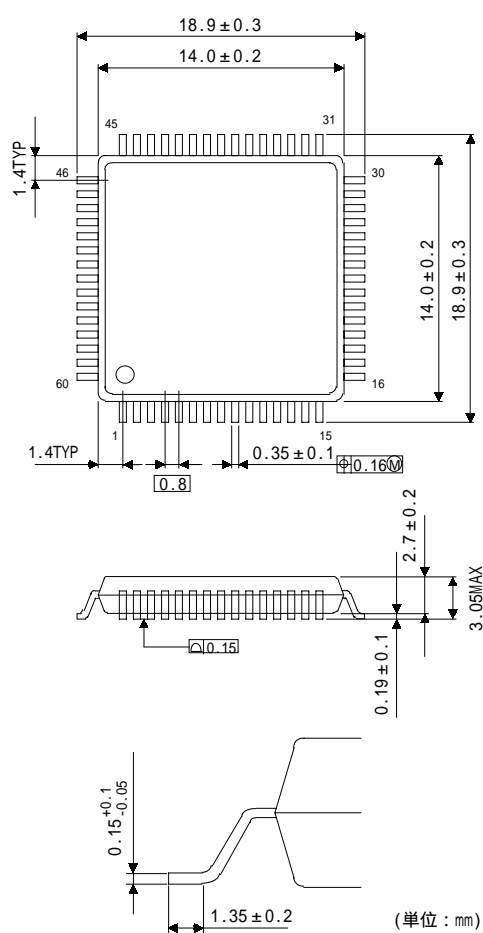
## 7-5-9. ラッチ波形



7 - 5 - 10 .  $\overline{\text{EXTAn}}, \overline{\text{EXTBn}}$  信号出力タイミング

注) ZEN2011Pでは必要のなかった $\overline{\text{WR}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{RESET}}$ のリカバリー時間にご注意下さい。

## 8 . 外形寸法図



## ご 注 意

- 1) 本製品および本資料は株式会社ジーニックの著作物です。したがって、本資料の全部または一部を無断で複製、転載することはご遠慮下さい。
- 2) 本製品及び本資料の内容は性能向上のために、予告なく変更する場合があります。御使用に際しては、最新の資料を御請求願います。
- 3) 本資料に記載されております内容は工業所有権その他の権利の実施に対する保証または実施権の許諾を行うものではありません。
- 4) 本資料に記載されております応用回路例は基本的な使用方法を示したものであり、回路の動作を保証するものではありません。
- 5) 本製品の具体的な運用の結果、他への影響については、責任を負いかねますので御了承下さい。
- 6) 本製品は一般的な電子機器（電算機、計測機器、産業用ロボット、位置決め装置など）に使用されることを意図しています。したがって、人命に直接関わる輸送機器、医療機器、宇宙、原子力関係機器などには使用しないで下さい。



株式会社ジーニック

URL <http://www.zenic.co.jp/> E-mail [support@zenic.co.jp](mailto:support@zenic.co.jp)  
大津市大萱1丁目17-14 松政ビル6F 〒520-2144 TEL 077-543-2101 FAX 077-543-9431