

SANYO**三洋半導体ニュース**

No. 3744B

12094

開発ニュースNo.3744とさしかえてください。

新

LC78815 CMOS LSI

LC78815M デジタルオーディオ用16ビットD/Aコンバータ

概要

LC78815, 78815Mは、デジタルオーディオ用16ビット CMOS D/A変換器で、抵抗ストリング(上位9ビット)、PWM(中位3ビット)、レベルシフト(下位4ビット)を併用したダイナミック・レベルシフト変換方式を用いている。

特長

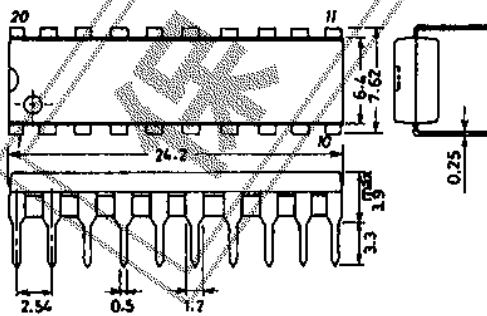
- 2'Sコンプリメントコード対応
- 2チャンネル分のD/A変換器内蔵(同相出力)
- 最大変換周波数 400kHz(8倍オーバーサンプリング対応)
- 出力 OP Amp内蔵
- ディグリッチ回路不要
- Siゲート CMOSプロセス(低消費電力)
- 5V単一電源

絶対最大定格 / Ta=25℃

項目	記号	定格	unit
最大電源電圧	VDD max	-0.3~+7.0	V
入力電圧	VIN	-0.3~VDD+0.3	V
出力電圧	VOUT	-0.3~VDD+0.3	V
保存周囲温度	Tstg	-40~+125	℃
動作周囲温度	Topg	-30~+75	℃

外形図 3021B

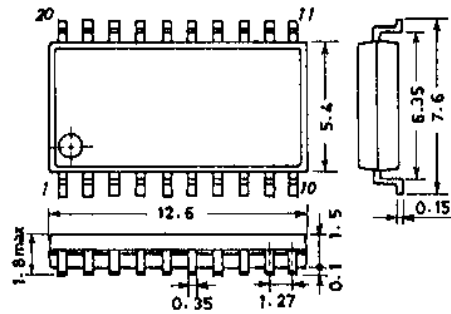
(unit: mm) [LC78815]



DIP-20 (300mil) SANYO: DIP20Slim

外形図 3036B

(unit: mm) [LC78815M]



MFP-20 SANYO: MFP20

*これらの仕様は、改良などのため変更することがあります。

〒370-05 群馬県大泉町新田 三洋電機株式会社

三洋電機株式会社 半導体事業本部

LC78815.78815M

許容動作範囲

項目	記号	min	typ	max	unit
電源電圧	V _{DD}	4.5	5.0	5.5	V
基準電圧“H”	V _{refH}	V _{DD} -0.5		V _{DD}	V
基準電圧“L”	V _{refL}	0		0.5	V
動作周囲温度	Topg	-30		+75	°C

DC特性 / Ta = -30 ~ +75°C, V_{DD} = 4.5 ~ 5.5V, V_{SS} = 0V

項目	記号	条件	min	typ	max	unit
入力“H”レベル電圧(1)	V _{IH}	SYSCLK端子以外の入力端子	2.2			V
入力“L”レベル電圧(1)	V _{IL}	SYSCLK端子以外の入力端子			0.8	V
入力“H”レベル電圧(2)	V _{IH}	SYSCLK端子	0.7V _{DD}			V
入力“L”レベル電圧(2)	V _{IL}	SYSCLK端子			0.3V _{DD}	V
出力負荷抵抗	R _L	1, 20ピン	5			kΩ

AC特性 / Ta = -30 ~ +75°C, V_{DD} = 4.5 ~ 5.5V, V_{SS} = 0V

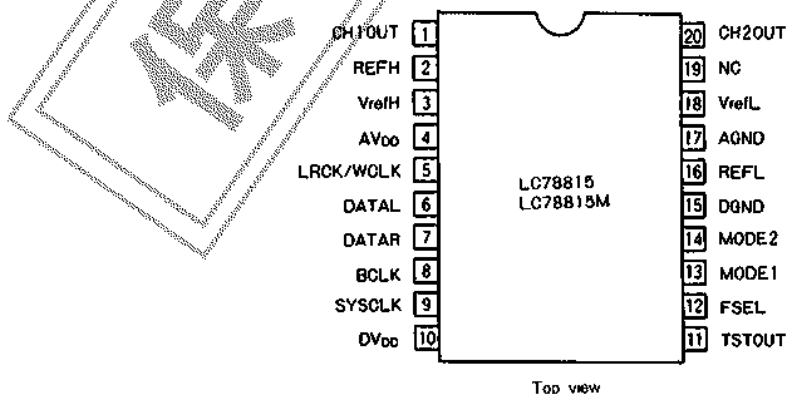
項目	記号	条件	min	typ	max	unit
クロックパルス幅	T _{CW}	SYSCLK	25			ns
	T _{BCW}	BCLK	35			ns
セットアップタイム	T _{DS}	LRCK/WCLK DATAL	20			ns
ホールドタイム	T _{DH}	DATAR	20			ns

電気的特性 / Ta = 25°C, V_{DD} = 5.0V

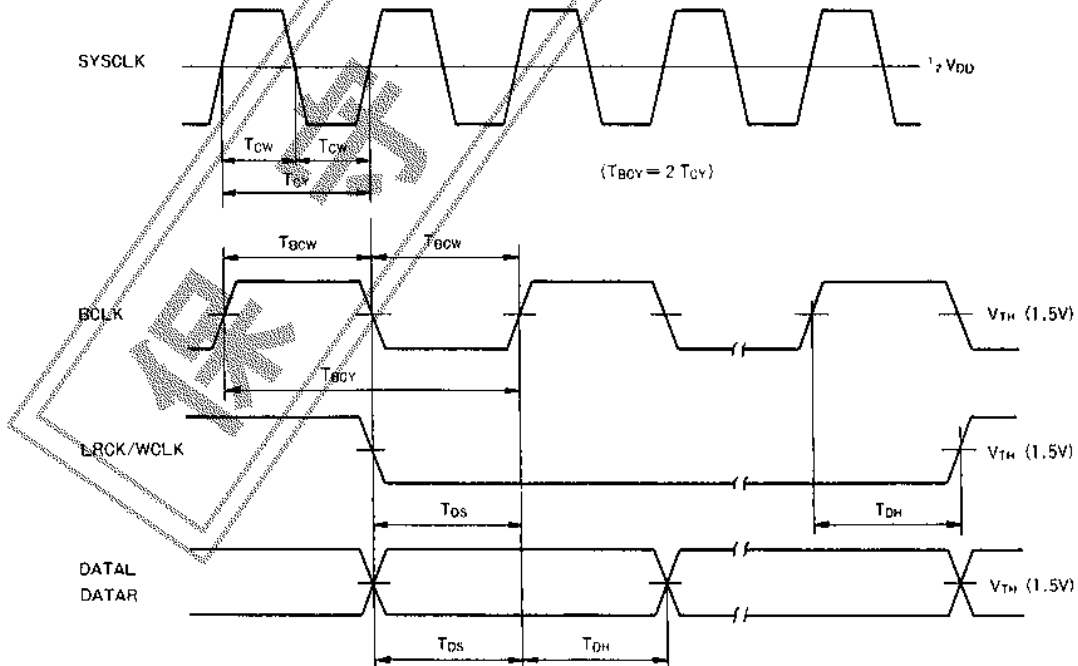
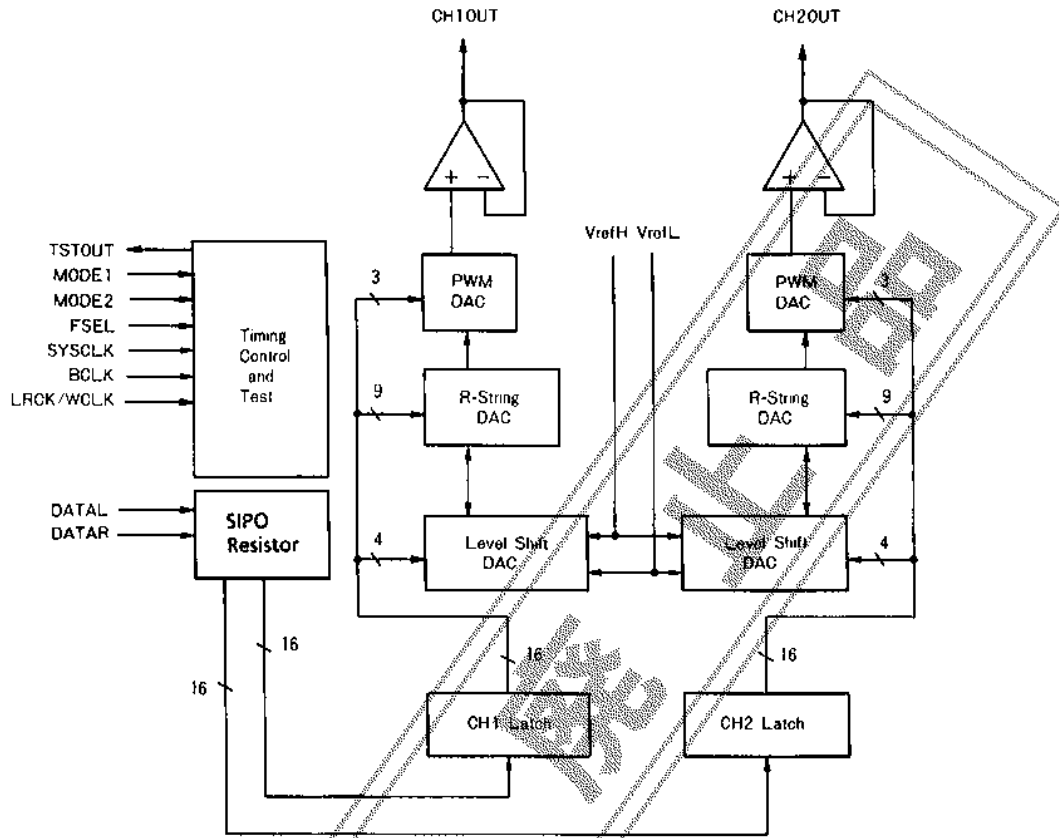
項目	記号	条件	min	typ	max	unit
分解能	RES			16		ビット
変換周波数	F _s				400	kHz
全高調波ひずみ率	THD ₁	1 kHz, 0 dB時		0.04	0.09	%
クロストーク	C _T	1 kHz, 0 dB時			-85	dB
信号対雑音比	S/N	JIS-A	96			dB
フルスケール出力電圧	V _{FS}			3.3		V _{p-p}
消費電力	P _B			35	60	mW

測定回路：応用回路例に準じサンプリング周波数(F_s)は下記に示す。
F_s = 88.2kHz

ピン配置図



ブロック図



端子説明

番号	名称	機能・動作説明
1	CH1OUT	CH1出力端子 (L-ch)
2	REFH	基準電圧 "H" 端子 通常は、コンデンサを介して AGND に接続する。
3	VrefH	基準電圧 "H" 入力端子
4	AVDD	アナログ系電源電圧端子
5	LRCK/WCLK	LRクロック/ワードクロック入力端子 ディジタルオーディオデータ (DATAL, DATAR) をラッチする内部信号を作る。
6	DATAL	ディジタルオーディオデータ入力端子 MSB側からビットシリアルで入力される。 FSEL = "L" の時は CH1 のデータが入力される。 FSEL = "H" の時は CH1, CH2 のデータが時分割で入力される。
7	DATAR	ディジタルオーディオデータ入力端子 MSB側からビットシリアルで入力される。 FSEL = "L" の時に CH2 のデータが入力される。 FSEL = "H" の時は インタフェース切換え端子になる。
8	BCLK	ビットクロック入力端子 ディジタルオーディオデータをビットシリアルに LSI 内部に取り込むためのクロックである。 また、SYSCLK "L" または "H" と固定の時は BCLK が LSI のシステムクロックになる。
9	SYSCLK	システムクロック入力端子 LSI を動作するためのシステムクロックである。ただし、モードによってはインタフェース切換え端子となる (タイミングチャートを参照)。
10	DVDD	ディジタル系電源電圧端子
11	TSTOUT	テスト用出力端子
12	FSEL	"L" の時は、ディジタルオーディオデータが DATAL, DATAR 端子から同時に入力される。 "H" の時は、ディジタルオーディオデータが DATAL 端子から時分割で入力される。
13	MODE1	インタフェース切換え端子 (タイミングチャートを参照)。
14	MODE2	
15	OGND	ディジタル系グランド端子
16	REFL	基準電圧 "L" 端子 通常は、コンデンサを介して AGND に接続する。
17	AGND	アナログ系グランド端子
18	VrefL	基準電圧 "L" 入力端子
19	NC	NO CONNECTION
20	CH2OUT	CH2出力端子 (R-ch)

動作説明

(1) デジタルオーディオデータの入力

デジタルオーディオデータは、16ビットのシリアル信号で、MSBファースト2の補数形式(2'sコンプリメント)に対応している。

16ビットのシリアルデータはMSBからBCLKの立上りに同期してLSI内部に取り込まれる。

LC78815, 78815Mは、各種のインタフェースに対応可能である。

詳しくはタイミングチャートを参照すること。

CDP用DSP/LSI: LC7860KA, LC7863KAとインタフェースする時は、タイミングチャートP7の(1)-(1)を参照すること。

(2) 変換動作(図1参照)

LC78815, 78815Mは、CH1, CH2それぞれ独立にD/A変換回路を内蔵している。抵抗ストリングによるD/A変換(R-String DAC)、PWM(パルス幅変調)によるD/A変換(PWM DAC)、レベルシフトによるD/A変換(Level shift DAC)を併用したダイナミック・レベルシフト変換方式を用いている。16ビットのデジタルオーディオデータ(D₁₅~D₀)は、Latch後

上位9ビットのデータ(D₁₅~D₇)は、R-String DACへ

中位3ビットのデータ(D₆~D₄)は、PWM DACへ

下位4ビットのデータ(D₃~D₀)は、Level Shift DACへ

入力される。

① R-String DAC

512 (= 2⁹)個の単位抵抗: Rを直列接続させ、その両端に印加された電位を512等分に分圧する9ビットD/A変換回路である。

上位9ビットのデータの値に応じて分圧された電位の中の隣接2電位 V₂, V₁を、スイッチング回路により、PWM DACへ出力する。この時、

$$V_2 - V_1 = (V_H - V_L) / 512$$

となる。

② PWM DAC

R-String DACより出力されたV₂, V₁の2電位の差を、PWM(パルス幅変調)により8分割する3ビットのD/A変換回路である。

中位3ビットのデータの値に応じて、V₂, V₁のいずれか一方の電位をCH1 OUT端子(CH2 OUT端子)に出力する。

PWMのクロックには、タイミングチャートP7の(2)-(2)の時はSYSCLKを、(2)-(2)以外の時はBCLKを用いている。

③ Level Shift DAC

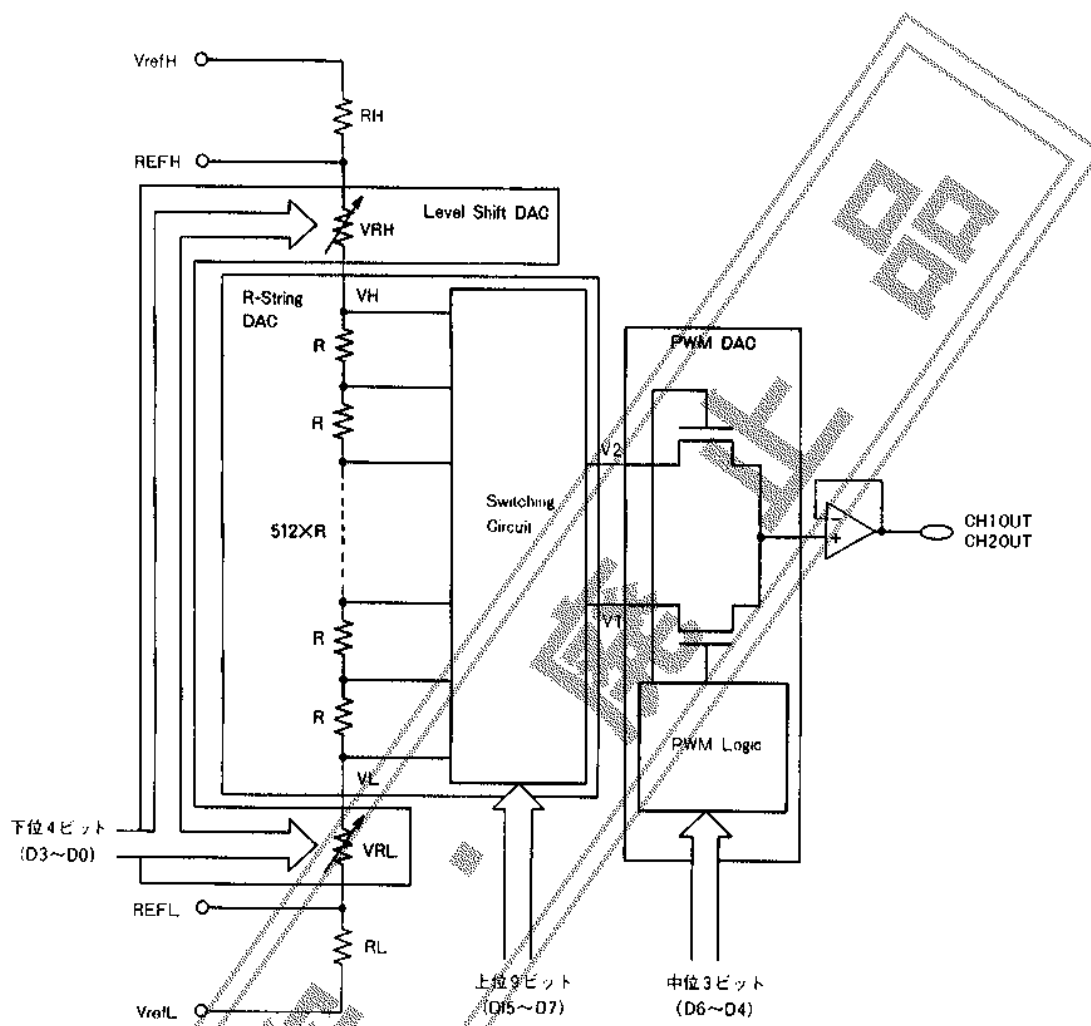
可変抵抗VR_H, VRLをR-String DACの抵抗の両端に直列接続させ、4ビットのD/A変換回路を実現している。下位4ビットのデータの値に応じて、可変抵抗VR_H, VRLは以下のように変化する。

(1) データの値によらず、(VR_H + VRL)は一定である。

(2) データの値に応じて、VR_H, VRLは0 ~ 15R/128 (RはR-String DACの単位抵抗値)の範囲でR/128のステップで変化する。

これによりR-String DACの出力V₂, V₁はそれぞれ下位4ビットのデータの値に応じて、0 ~ 15 × ΔV/128 (ΔV = (V_H - V_L) / 512)の範囲でΔV/128のステップで変化する。

LC78815, 78815MのD/A変換方式



Vref端子 図1参照

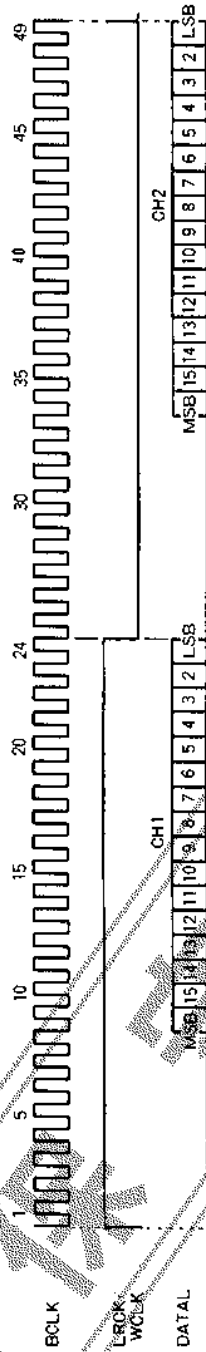
抵抗ストリングに基準電圧を与えるVref端子は、通常VrefH=5V、VrefL=0Vとする。

また、REFHとAGND、REFLとAGND間に47 μ F程度のコンデンサを接続する。LC78815の最大出力振幅は内蔵されている抵抗RH、RLの効果で、0dB再生時0.5V(min)~3.8V(max)の範囲(3.3Vp-p)で出力される。

タイミングチャート

(1) CH1、CH2のデータを時分割で入力する場合 (FSEL = "H")

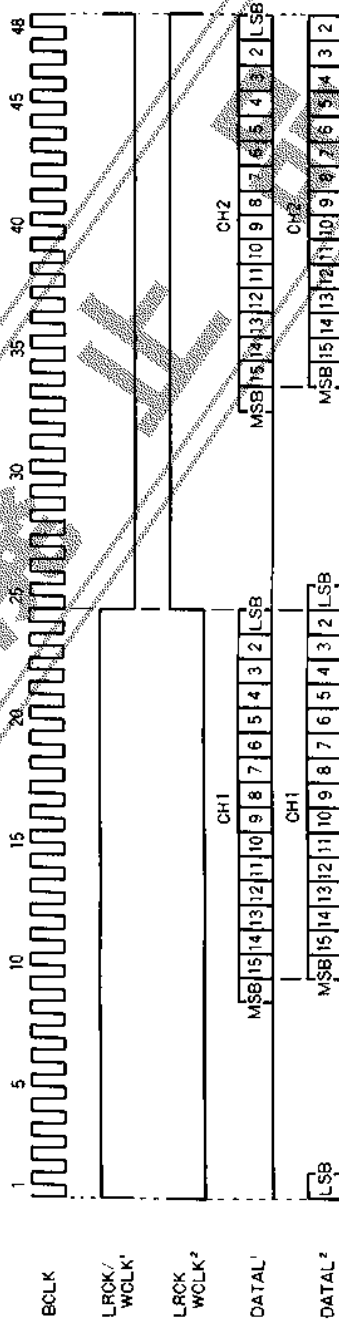
(1)-① MODE1 = "L", MODE2 = "L", FSEL = "H"



DATAL = "L"

SYSCLK = "L"

(1)-② MODE1 = "L", MODE2 = "H", FSEL = "H"

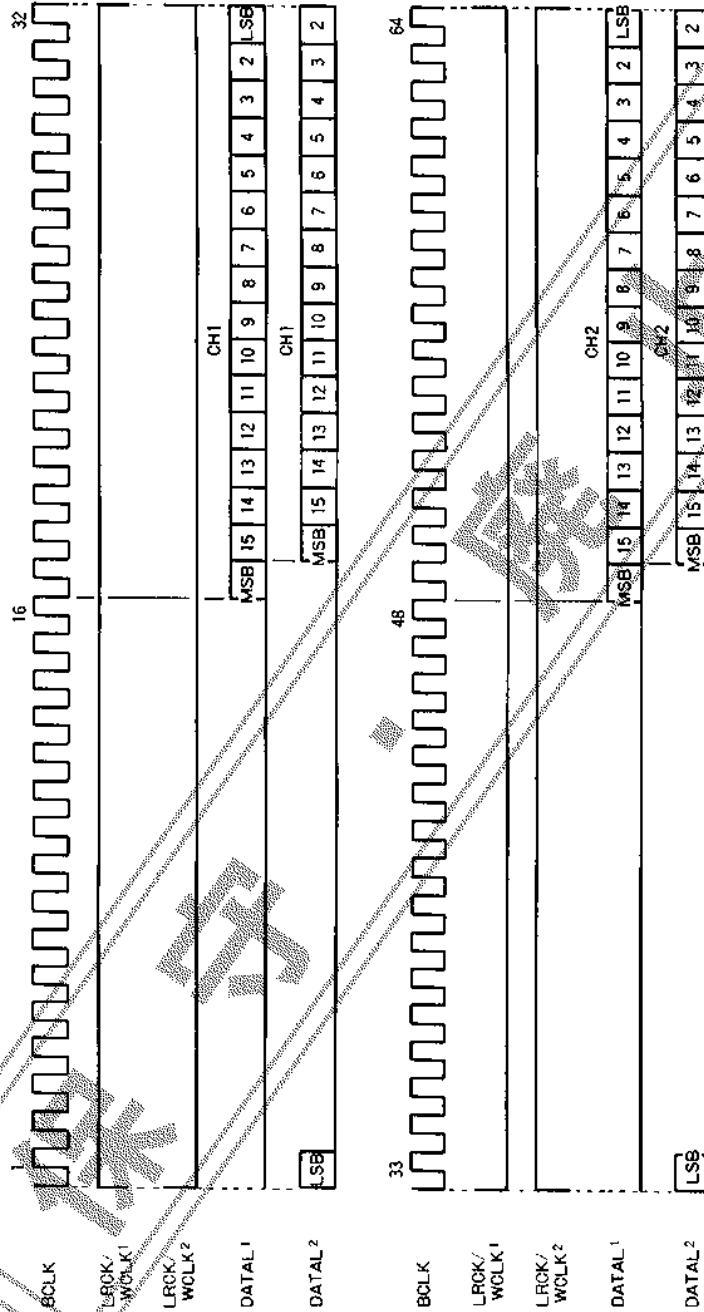


SYSCLK = "L"の時, "LROCK/WCLK1" : "H"の時, "LROCK/WCLK2"

DATAL = "L"の時, "DATAL1" : "H"の時, "DATAL2"

タイミングチャート

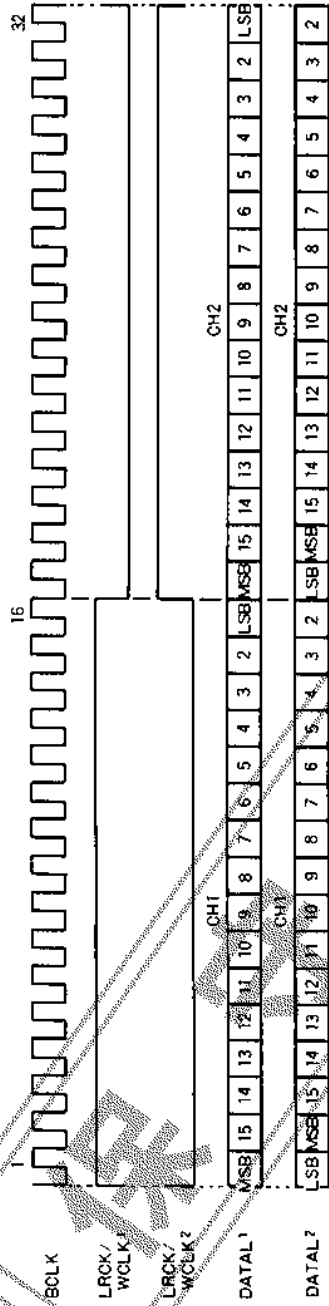
(1)→(3) MODE1="H", MODE2="L", FSEL="H"



SYSCLK="L"の時, "LRCK/WCLK1" : "H"の時, "LRCK/WCLK2"
 DATAR="L"の時, "DATAL1" : "H"の時, "DATAL2"

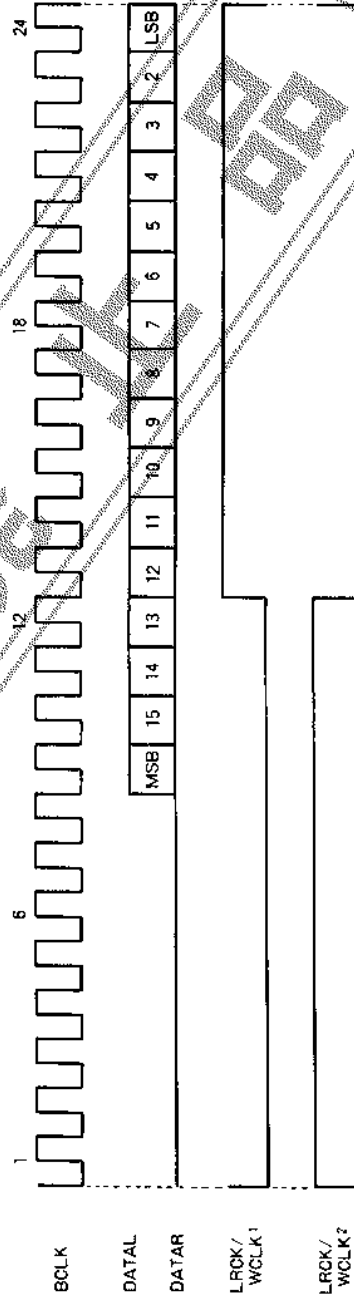
タイミングチャート

(1) - ④ MODE1 = "H" : MODE2 = "H", FSEL = "H"



SYSCLK = "L"の時, "LROCK/WCLK1" : "H"の時, "LROCK/WCLK2"
 DATAR = "L"の時, "DATAL1" : "H"の時, "DATAL2"

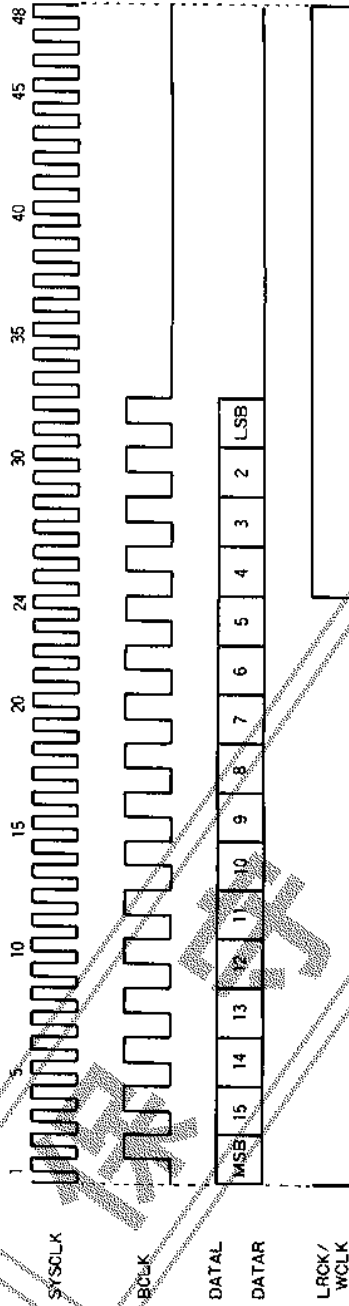
(2) CH1, CH2のデータを同時入力する場合 (FSEL = "L")
 (2) - ① MODE1 = "L", MODE2 = "L", FSEL = "L"



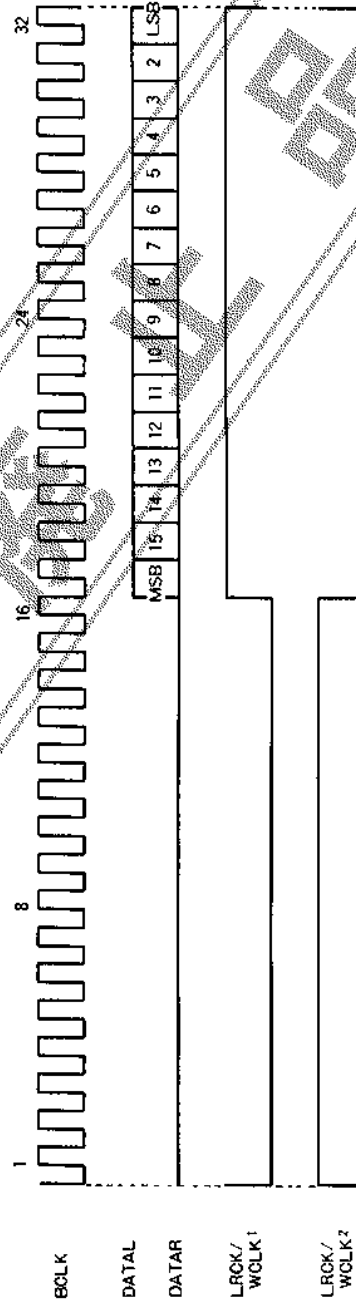
SYSCLK = "L"の時, "LROCK/WCLK1" : "H"の時, "LROCK/WCLK2"

タイミングチャート

(2)→②: MODE1 = "L", MODE2 = "H", FSEL = "L"

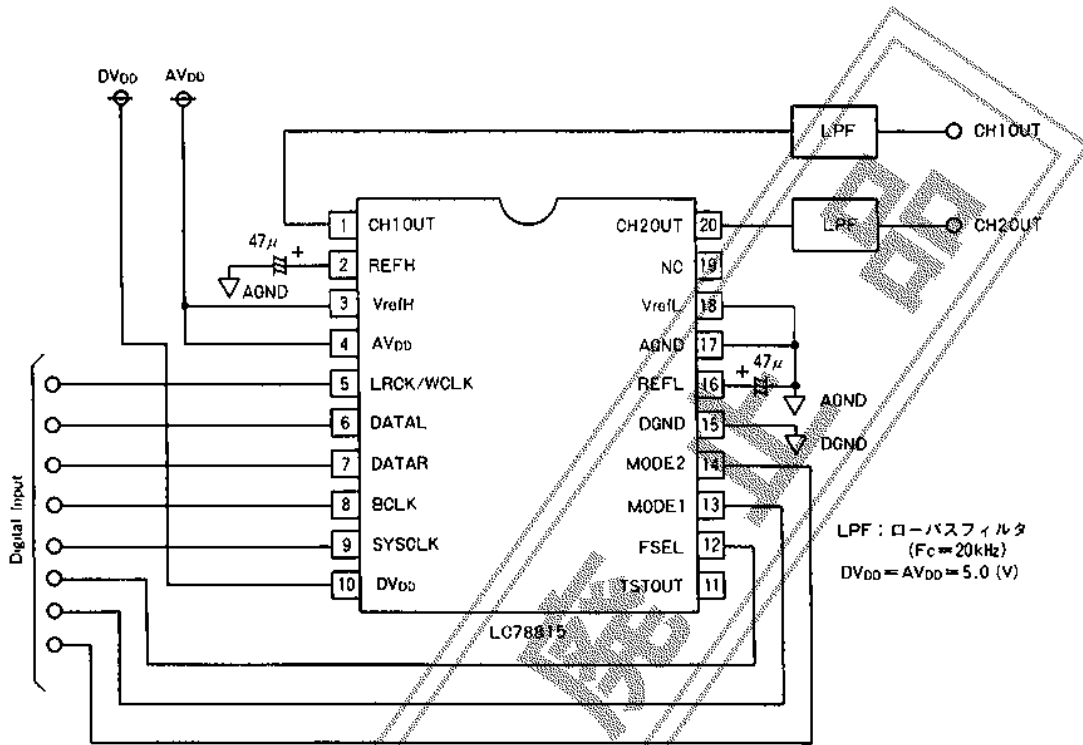


(2)→③: MODE1 = "H", MODE2 = "H", FSEL = "L"



SYSCLK = "L"の時、"LRCK/WCLK1" : "H"の時、"LRCK/WCLK2"

応用回路例



注意

- ①回路図中DVDD、DGNDはディジタル系、AVDD、AGNDはアナログ系の電源グラウンドに接続すること。
- ②VDD、VrefHは、低インピーダンス高安定度の電源(市販の三端子レギュレータ相当)を印加すること。
- ③4ピン(AVDD) 10ピン(DVDD)の電源立上りタイミングがずれるとラッチアップする可能性があるので、4、10ピンの電源投入には時間差のないようにすること。

■この資料の情報は、掲載回路および回路定数を含むは一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると信じておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。

■本書記載製品が、外国為替および外国貿易管理法に定める戦略物資、役務を含むに該当する場合、輸出する際に同法に基づく輸出許可が必要です。

■本書記載の製品は、生命維持装置等、直接人命にかかわるような、極めて高度の信頼性を要する用途に対応する仕様にはなっておりません。その様な場合は、あらかじめ当社販売窓口までご相談ください。