

半導体ニュースNo.2774とさしかえてください。

## CMOS LSI LC7881, 7881M — デジタルオーディオ用 16ビットDAコンバータ

### 概要

LC7881 DLS-DACは、デジタル・オーディオ用16ビットCMOS D/A変換器で、抵抗ストリング、PWM(パルス幅変調)、レベル・シフトを併用したダイナミック・レベル・シフト変換方式を用いている。

LC7880とは、互換性がある。

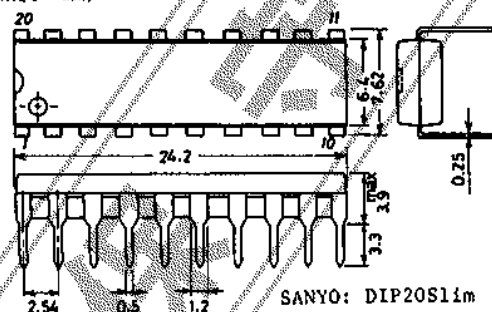
### 特長

- 2'S コンプリメントコード対応
- 2チャンネル分のD/A変換器内蔵
- CH-1, CH-2 同相出力可能
- 最大変換周波数 176.4kHz(4倍オーバー・サンプリング対応)
- ディグリッチ回路不要
- Siゲート CMOSプロセス(低消費電力)
- 5V単一電源

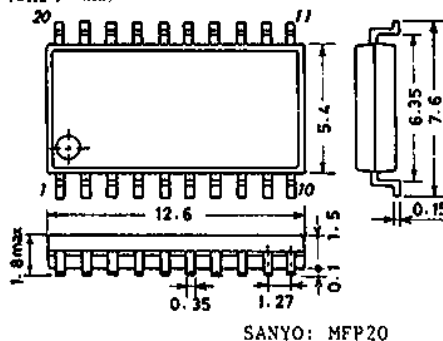
最大定格 / Ta=25°C (Vss=0V)

項目	記号	定 格	unit
最大電源電圧	VDD	-0.3~+7.0	V
入力電圧	VIN	-0.3~VDD+0.3	V
出力電圧	VOUT	-0.3~VDD+0.3	V
動作周囲温度	Topg	-30~+75	°C
保存周囲温度	Tstg	-40~+125	°C

外形図 3021B-D20SIC (LC7881)  
(unit: mm)



外形図 3036B-IC (LC7881M)  
(unit: mm)



この資料の情報(回路図および回路定数を含む)は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。

本書記載製品が、外国為替および外国貿易管理法に定める戦略物資(役務を含む)に該当する場合は、輸出する際に同法に基づく輸出許可が必要です。

Information (including circuit diagrams and circuit parameters) herein is for example only; it is not guaranteed for volume production. SANYO believes information herein is accurate and reliable, but no guarantees are made or implied regarding its use or any infringements of intellectual property rights or other rights of third parties.

※これらの仕様は、改良などのため変更することがあります。

〒370-05 群馬県大泉町坂田180

三洋電機株式会社 半導体事業本部

推奨動作条件

項目	記号	min	typ	max	unit
電源電圧	VDD	4.5	5.0	5.5	V
基準電圧“H”	VrefH	VDD-0.5		VDD	V
基準電圧“L”	VrefL	0		0.5	V
入力“H”電圧	VIH	2.2		VDD+0.3	V
入力“L”電圧	VIL	-0.3		0.8	V
動作周囲温度	Topg	-30		75	℃

電気的特性 / 特に指定なき場合、Ta=25℃、VDD=5.0V

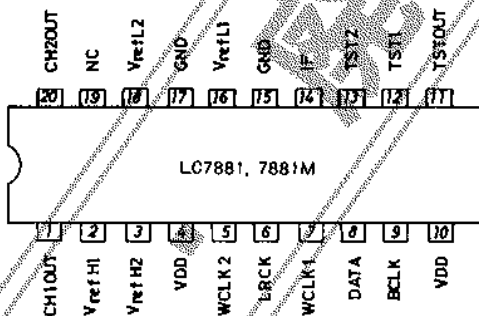
項目	記号	条件	min	typ	max	unit
分解能	RES			16		ビット
変換周期	Fs				176.4	kHz
全高調波ひずみ率	THD1	1 kHz, レベル 0 dB			0.05 *1	%
		1 kHz, レベル 0 dB			0.08	%
クロストーク	C・T	1 kHz, レベル 0 dB 時		-85		dB
信号対雑音比	S/N			92		dB
消費電力	Pd			20	40	mW

\*1 選別品

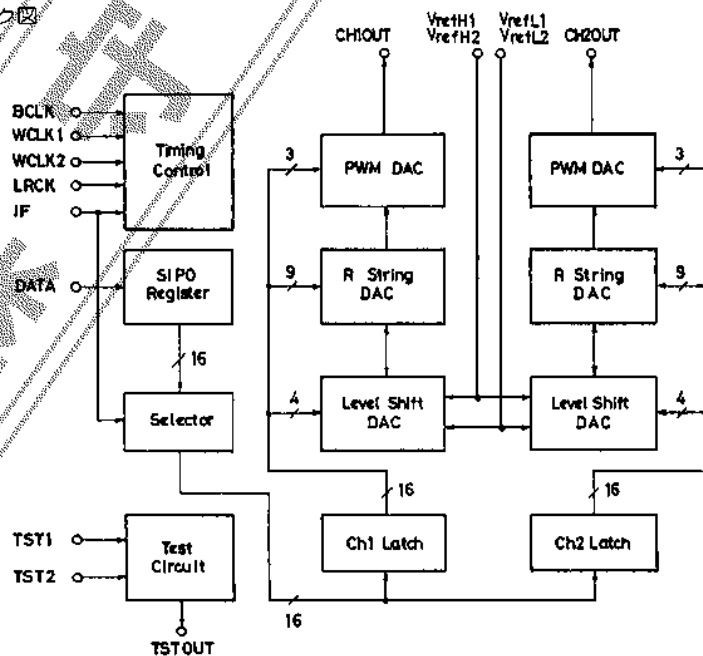
測定回路：応用回路例(1)に準じ、サンプリング周波数(Fs)は下記とする。

$F_s = 176.4 \text{ kHz}$

ピン配置図



等価回路ブロック図



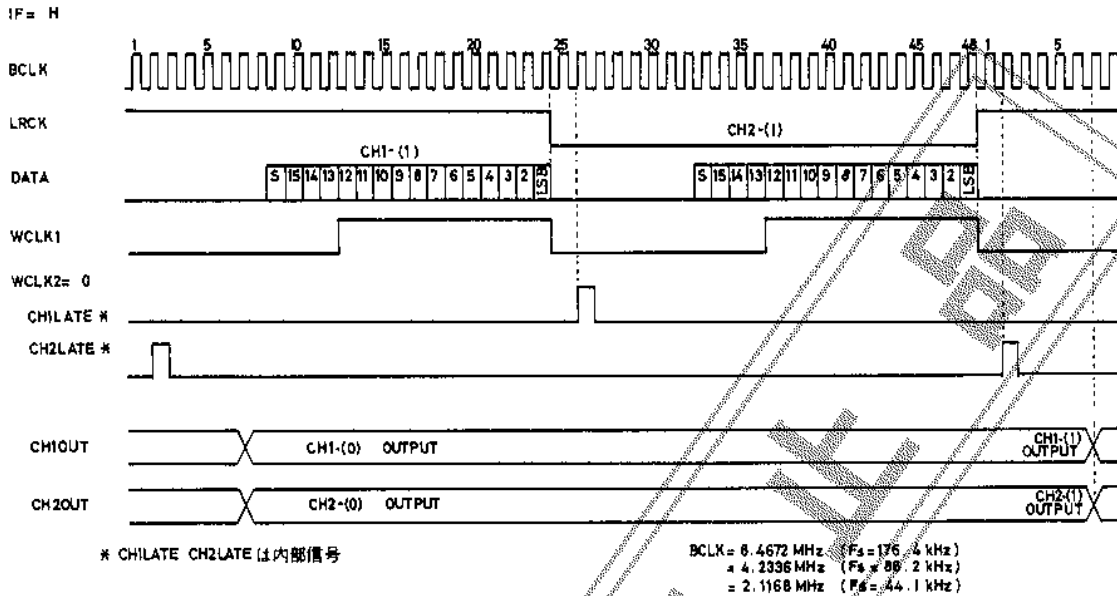
# LC7881,7881M

## 端子説明

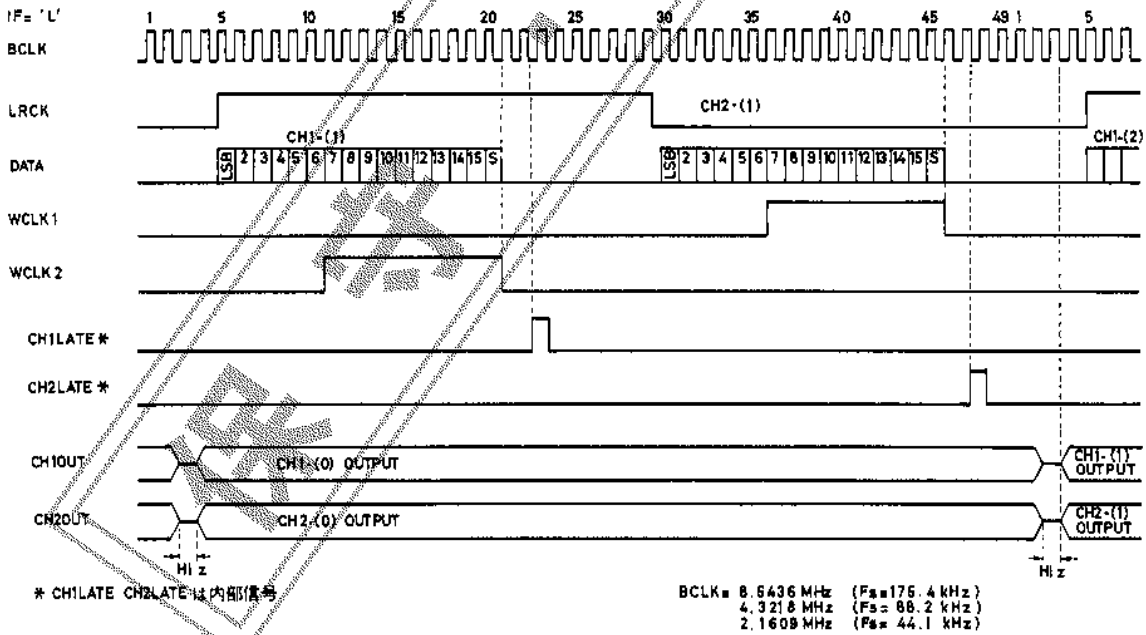
ピン番号	名称	機能・動作の説明
1	CH1 OUT	CH1 出力端子
2	VrefH1	基準電圧“H”入力端子1 (動作説明 参照)
3	VrefH2	基準電圧“H”入力端子2 (動作説明 参照)
4	VDD	電源電圧端子 +5V
5	WCLK2	ワードクロック入力端子2 IF=“H”レベルの時、WCLK2を“L”レベルにする必要がある。 IF=“L”レベルの時、WCLK2の立下りを使い、デジタルオーディオデータのCH1データをラッチする内部信号を作っている。
6	LRCK	LRクロック入力端子 入力デジタルオーディオデータのCH1、CH2を示す。 LRCK=“H”レベルの時 CH1 LRCK=“L”レベルの時 CH2 に対応する。
7	WCLK1	ワードクロック入力端子1 IF=“H”レベルの時、WCLK1の立下りを使いCH1、CH2両チャンネルのデータをラッチする内部信号を作っている。 IF=“L”レベルの時、WCLK1の立下りを使いデジタルオーディオデータのCH2データをラッチする内部信号を作っている。
8	DATA	デジタルオーディオデータ入力端子 IF=“H”レベルの時、MSB側からビットシリアルで入力される。 IF=“L”レベルの時、LSB側からビットシリアルで入力される。
9	BCLK	ビットクロック端子 デジタルオーディオデータをビットシリアルにLSI内部に読み込むためのクロック、及びPWMDACのクロックである。
10	VDD	電源電圧端子 +5V
11	TSTOUT	テスト用出力端子 通常は、オープンにしておく。
12	TST1	テスト用入力端子
13	TST2	通常はGNDに接続すること。
14	IF	インターフェイス切替端子 デジタルオーディオデータの入力形式が、 IF=“H”レベルの時MSBファースト IF=“L”レベルの時LSBファースト になる。
15	GND	GND端子
16	VrefL1	基準電圧“L”入力端子1 (動作説明 参照)
17	GND	GND端子
18	VrefL2	基準電圧“L”入力端子2 (動作説明 参照)
19	NC	NO CONNECTION
20	CH2 OUT	CH2 出力端子

# LC7881,7881M

タイミングチャート(1)



タイミングチャート(2)



## 動作説明

## (1) デジタルオーディオデータの呼び込み

デジタルオーディオデータは、16ビットのシリアル信号で、2の補数形式(2's Complement)である。

LC7881は、デジタルオーディオデータのMSBファースト、LSBファーストの2形式に対応し、その切替はIF端子によって行なわれる。

DATA端子より入力されたデータはCH1、CH2 独立に内蔵している2つのD/A変換回路のCH1 Latch、CH2 Latch に時分割に入力される。

## ① MSBファースト対応時(IF="H"レベル) TIMING CHART1 参照

デジタルオーディオデータは、MSBからBCLKの立上りに同期して、DATA端子よりSIPOレジスタにとり込まれる(データの変化はBCLKの立下りである)。

CH1のデータは、CH1ラッチイネーブル(CH1LATE)によって、CH2のデータは、CH2ラッチイネーブル(CH2LATE)によって、それぞれCH1 Latch、CH2 Latchにとり込まれる。

ワードクロック1(WCLK1)の立ち下がり時、デジタルオーディオデータ(DATA)の終端はそれぞれ、CH1LATEが"H"レベルの時、LRCKは"L"レベルに、CH2LATEが"H"レベルの時、LRCKは"H"レベルにすること。

(TIMING CHART1 ……CH1LATE、CH2LATE 参照)

## ② LSBファースト対応時(IF="L"レベル) TIMING CHART2参照

デジタルオーディオデータは、LSBからBCLKの立下りに同期して、DATA端子より、SIPOレジスタにとり込まれる(データの変化はBCLKの立上りである)。

CH1のデータは、CH1ラッチイネーブル(CH1LATE)によって、CH2のデータは、CH2ラッチイネーブル(CH2LATE)によって、それぞれCH1 Latch、CH2 Latchにとり込まれる。

ワードクロック1(WCLK1)、ワードクロック2(WCLK2)の立ち下がり時、デジタルオーディオデータ(DATA)の終端はそれぞれそれぞれ、CH1LATEが"H"レベルの時、LRCKは"H"レベルに、CH2LATEが"H"レベルの時、LRCKは"L"レベルにすること(TIMING CHART2 ……CH1LATE、CH2LATE 参照)。

## (2) 変換動作 (図1参照)

LC7881は、CH1、CH2それぞれ独立にD/A変換回路を内蔵している。その変換方式はどちらも同じで、抵抗ストリングによるD/A変換(R-String DAC)、PWM(パルス幅変調)によるD/A変換(PWM DAC)、レベルシフトによるD/A変換(Level shift DAC)を併用したダイナミック・レベルシフト変換方式を用いている。

16ビットのデジタルオーディオデータ(D<sub>15</sub>~D<sub>0</sub>)は、Latch後、

上位9ビットのデータ(D<sub>15</sub>~D<sub>7</sub>)はR-String DACへ

中位3ビットのデータ(D<sub>6</sub>~D<sub>4</sub>)はPWM DACへ

下位4ビットのデータ(D<sub>3</sub>~D<sub>0</sub>)はLevel Shift DACへ

入力される。

DATA端子より時分割で入力されたCH1、CH2のデジタルオーディオデータは、D/A変換後、CH1OUT端子、CH2OUT端子より同相で出力される。

## ① R-String DAC

512 (= 2<sup>9</sup>)個の単位抵抗: Rを直列接続させ、その両端に印加された電位を512等分に分圧する9 bit D/A変換回路である。

上位9ビットのデータ(D<sub>15</sub>~D<sub>7</sub>)の値に応じて分圧された電位の中の隣接2電位V<sub>2</sub>、V<sub>1</sub>を、スイッチング回路により、PWM DACへ出力する。

この時、

$$V_2 - V_1 = (V_H - V_L) / 512$$

となる。

② PWM DAC

R-String DACより出力されたV<sub>2</sub>, V<sub>1</sub>の2電位の間を、PWM(パルス幅変調)により8分割する3bitのD/A変換回路である。

中位3ビットのデータ(D<sub>6</sub>~D<sub>4</sub>)の値に応じて、V<sub>2</sub>, V<sub>1</sub>のいずれか一方の電位をCH1OUT端子(CH2OUT端子)に出力する。

PWMのクロックは、BCLKを用いており、変換周波数とBCLKの周波数との関係は、表1の様になる。

表1 変換周波数とBCLKの周波数

IF端子	変換周波数	BCLKの周波数
"H"レベル	44.1kHz	2.1168MHz
	88.2kHz	4.2336MHz
	176.4kHz	8.4672MHz
"L"レベル	44.1kHz	2.1609MHz
	88.2kHz	4.3218MHz
	176.4kHz	8.6436MHz

注1 PWMは1回の変換周期に3サイクル行う。

注2 IF端子="L"レベルの時は、1回の変換周期中1クロック期間はH-Zとなる。

③ Level Shift DAC

可変抵抗VRH, VRLをR-String DACの抵抗の両端に直列接続させ、4ビットのD/A変換回路を実現している。

下位4bitのデータ(D<sub>3</sub>~D<sub>0</sub>)の値に応じて、可変抵抗VRH, VRLは以下のように変化する。

- 1) データの値によらず、(VRH+VRL)は一定である。
- 2) データの値に応じて、VRH, VRLは0~15R/128(RはR-String DACの単位抵抗値)の範囲でR/128のステップで変化する。

これによりR-String DACの出力V<sub>2</sub>, V<sub>1</sub>はそれぞれ下位4bitのデータ(D<sub>3</sub>~D<sub>0</sub>)の値に応じて、0~15×ΔV/128(ΔV=(V<sub>H</sub>-V<sub>L</sub>)/512)の範囲で、ΔV/128のステップで変化する。

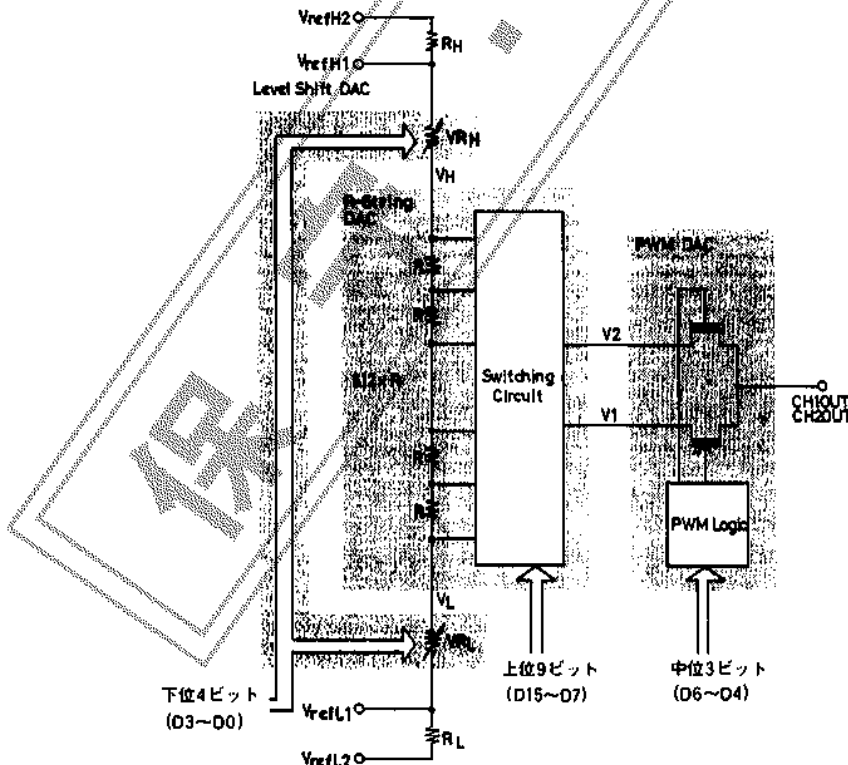


図1 LC7881のD/A変換方式



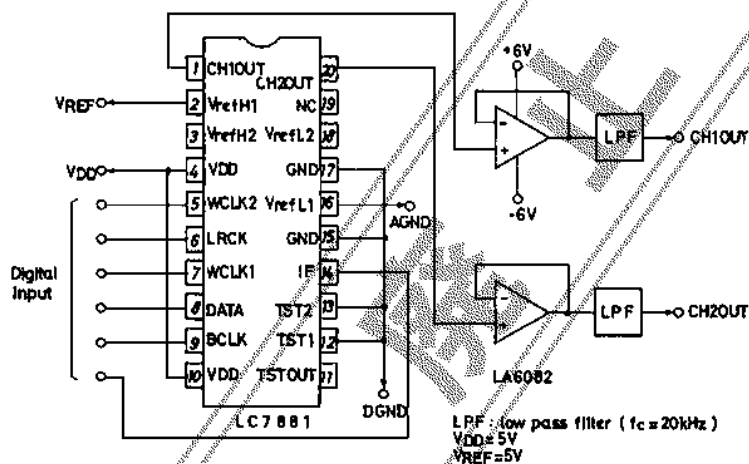
(3)Vref端子 (図1参照)

抵抗ストリングに基準電圧を与えるVref端子は、通常VrefH1 = 5V、VrefL1 = 0V(この時VrefH2、VrefL2は、オープン)として用いる。

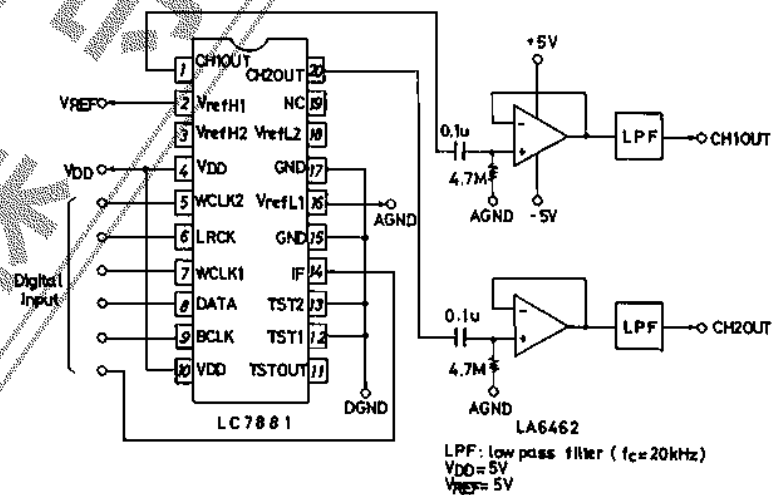
LC7881の出力に接続するオペアンプの入力振幅とのマッチング等の為に出力振幅を絞る場合は、VrefH2 = 5V、VrefL2 = 0Vとする。(この時VrefH1とグランド、VrefL1とグランド間に100 $\mu$ F程度のコンデンサを接続する。)これにより、内蔵のRH、RLの効果でLC7881の最大出力振幅は、(0dB再生時)およそ1.5V~3.5Vの範囲(2V<sub>p-p</sub>)で、出力される。応用回路例(3)参照。

応用回路例

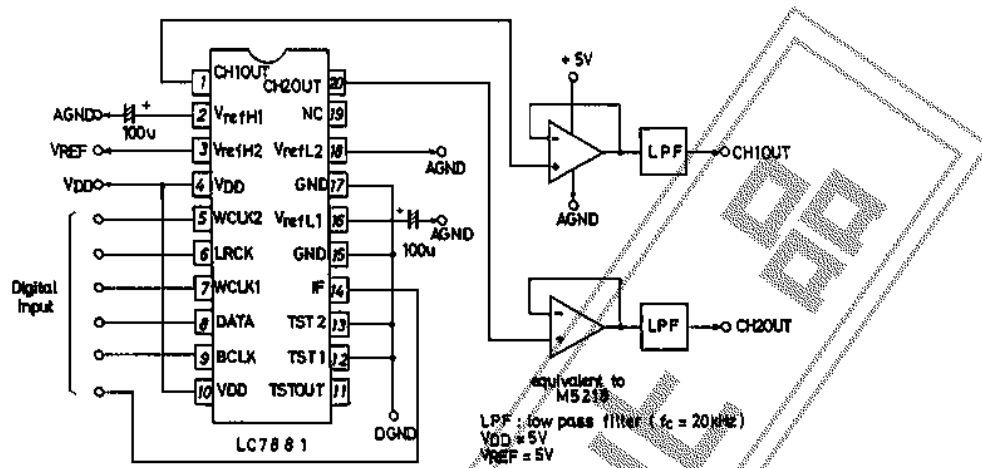
(1)



(2)出力をCカットする場合



(3)単一5V電源で使用する場合



LC7881に内蔵されている抵抗RH, RL(図1参照)の効果で最大出力振幅は、およそ $2V_{p-p}$ に絞られる。

#### 注意

- ①回路例図中、DGNDはデジタル系、AGNDはアナログ系のGNDに接続すること。
- ②VDD, VREF電源は、低インピーダンス、高安定度の電源(市販の三端子レギュレータ相当)を、印加すること。
- ③1, 20ピンは、出力インピーダンスが高く(数k $\Omega$ 程度)、ノイズによる影響を受けやすいので、オペアンプとの配線を短くする等、ノイズ対策をすること。また、バッファ用オペアンプは必ずボルテージフォロウとすること。
- ④4, 10ピン(VDD)の電源立ち上がりタイミングがずれると、ラッチアップする可能性があるため、4, 10ピンは同一電源から供給すること。