

N E C CMOS μ PD 2833C/34C.
PLL - LSI

μ PD 2833C is a CMOS LSI for the PLL synthesizer.

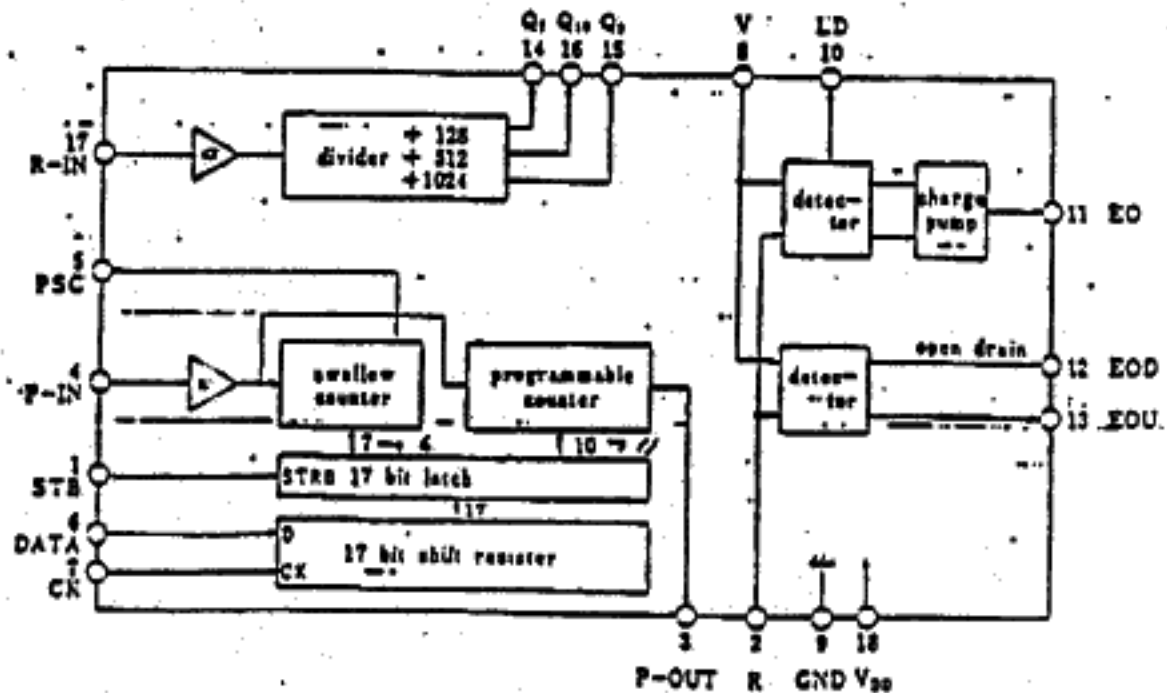
The swallow counter with linearly programmable counter with linearly 10 bit, phase comparator, charge pump and the standard frequency synthesizer are integrated into one chip.

Together with prescaler with up to 900 MHZ, direct frequency synthesizer will be possible.

Special Features

- o together with dual modulars prescaler, the frequency synthesizer up to the max 900 MHZ, the same frequency synthesizer to the comparator frequency and the channel space can be done.
- o 18 PIN MOLD DIP
- o serial interface to the data, the clock and stroke of the programmable divider
- o two types of phase comparators outputs are available and the charge pump can be connected externally.

BLOCK DIAGRAM



T_a = 25°C

Item	Symbol	Rating	Unit	Condition
Supply Voltage	V _{dd}	-0.3 - +7	V	
Input Voltage	V _{in}	-0.5 ± V _{dd} + 0.5	V	
Output Voltage	V _{out}	-0.5 - V _{dd} + 0.5	V	
Output Voltage	V _{out}	-0.5 - V _{dd} + 0.3	V	13 primarily
Operating Temp	T _{opt}	- 40 - + 85	C	
Storage Temp.	T _{stg}	- 65 - +150	C	

RECOMMENDED OPERATING CONDITION

V_{dd} = 5 V ± 10%, T_a = -40 to +85°C

Item	Symbol	condition	Min	Typ	Max.	Unit
Input Rising Time	t _{ir}	1,2,5,7,8 pin		20	500	ns
Input Filling Time	t _{ir}	1,2,5,7,8 pin		20	500	ns

DC CHARACTERISTICS

(V_{dd} = 5 V ± 10%, T_a = 40 to +85°C)

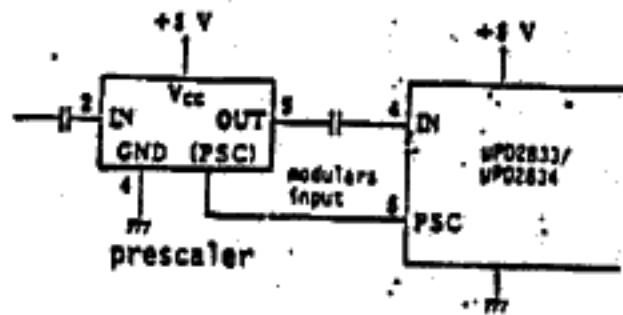
Item	Symbol	Condition	Min	Max.	Unit
Low Level Inp. Volt.	V _{IL}	1,2,5,7,8 pin		0.3 V _{DD}	V
High Level Inp. Volt.	V _{IH}	1,2,5,7,8 pin	0.7 V _{DD}		
Low Level Outp. Volt.	V _{OL}	5,10, I _{OL} = 0.1 mA		1.0	V
Low Level Outp. Volt.	V _{OL}	3,14,15,16 pin I _{OL} = 0.4 mA		0.4	V
Low Level Outp. Volt.	V _{OL}	11 pin I _{OL} = 3 mA		2.0	V
Low Level Outp. Volt.	V _{OL}	13 pin I _{OL} = 1.2 mA		0.4	V
Low Level Outp. Volt.	V _{OL}	12 pin I _{OL} = 1.5 mA		1.0	V
High Level Outp. Volt.	V _{OH}	5,10 pin I _{OH} = 0.1 mA	4.0		V
High Level Outp. Volt.	V _{OH}	3,14,15,16 pin I _{OH} = 20 μA	2.4		V
High Level Outp. Volt.	V _{OH}	11 pin I _{OH} = 3 mA	3.0		V
High Level Outp. Volt.	V _{OH}	13 pin I _{OH} = 1.2 mA	3.0		V
Input Leakage Connect.	I _{LI}	4,7 pin		±40	μA
Output Leakage Connect.	I _{LO}	11 pin		±10	μA

AC CHARACTERISTICS

(V_{DD} = 5 V ± 10%, T_a = -40 to +85°C)

Item	Symbol	Condition	Min	Max.	Unit
Operating Frequency	f _{in(4)}	4 pin V _i = 1 V p-p Sinewave	1	7.8	MHz
	f _{in(17)}	17 pin V _i = 1 V p-p Sinewave	1	14.0	MHz
Output Delivery Time	t _{pd}	5 pin C _L = 20 pF		120	ns
Output Rising and Filling Time	t _r , t _f	5 pin C _L = 20 pF		40	ns
Supply Connection	I _{DD}	29 pin f _{max(6)} = 7 MHz f _{max(17)} = 14 MHz		11	mA
Input Amplitude	V _{in}	4,17 pin	1.0	V _{DD}	V _{DD}

CONNECTION UNIT PRESCALER

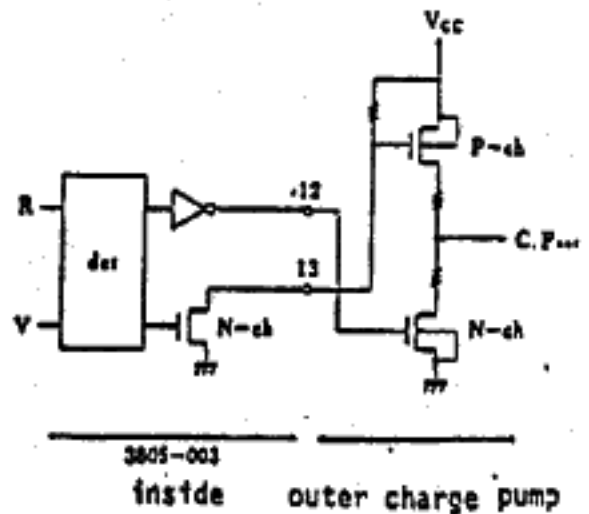


available prescaler
 μPB566C (900 MHz 用)
 μPB571C (500 MHz 用)
 μPB555C (150 MHz 用)

Connection of prescaler will be done by decoupling DC current with capacitor between output of prescaler and input of programmable divider. PSC output of modulars input and μPD 2833 will be connected directly. μPB 566C (to 900 MHz), μPB 571C (to 500 MHz) and μPB -55C (to 150 MHz) will be guaranteed for the interface in case the supply voltage and GND is the same level.

P L L POLARITY (EO OUT PUT)
 $f_v > f_R$ --- High Level
 $f_v = f_R$ --- High impedance
 $f_v < f_R$ --- Low Level

Method of outer connection
 of charge pump



3805-003

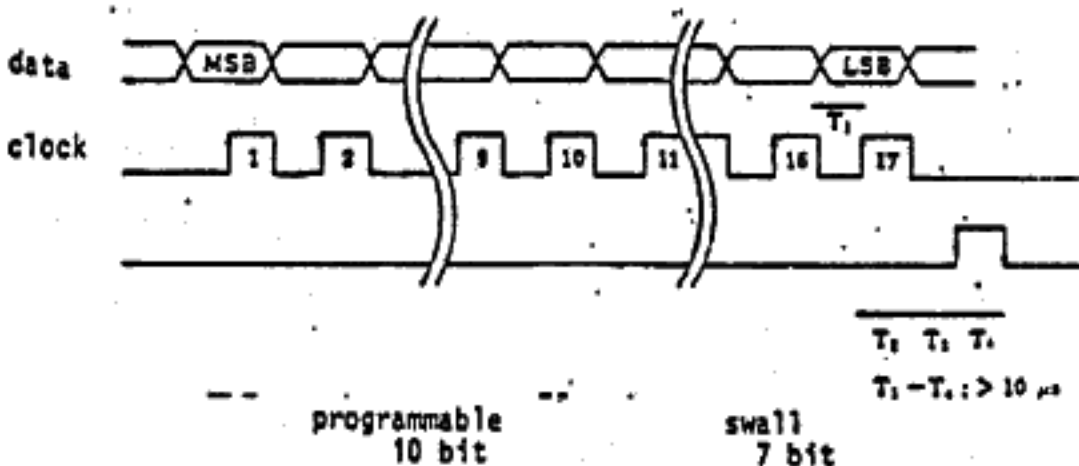
inside

outer charge pump

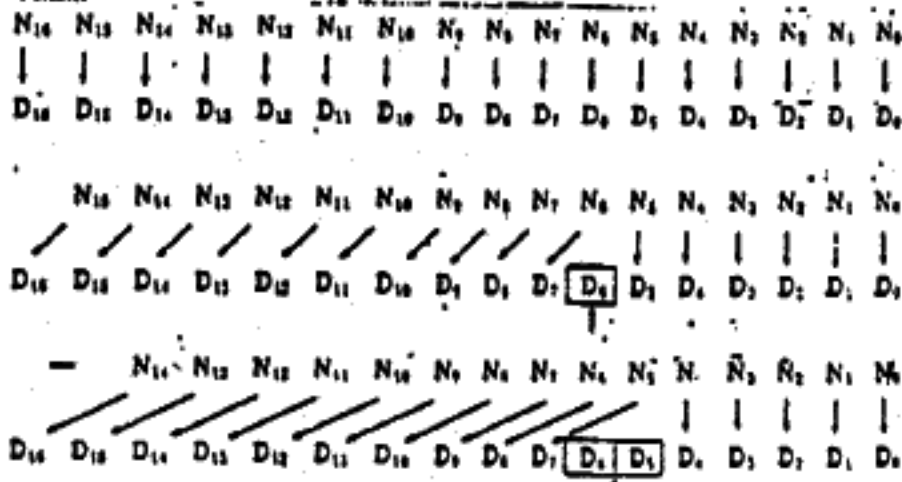
"N" value of programmable divider will input data of binary 17 bit from MSB to shift register, and will latch by the strobe signal at the end. Shift from data with the positive logic and the clock will be shifted at point rising up the data will go through at the high line of strobe and will be latched at falling and be stored at the low level.

There is no problem to change the "N" value of the total to the binary at the :128 / :129 (7 bit) of prescaler. But by smaller + ratio for frequency such as :64 / :65, :32 / :33 etc., the dummy out should be added.

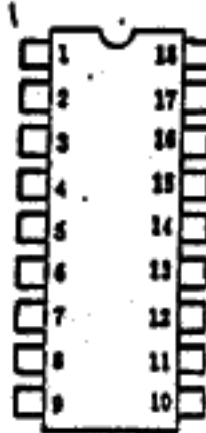
INPUT FREQUENCY



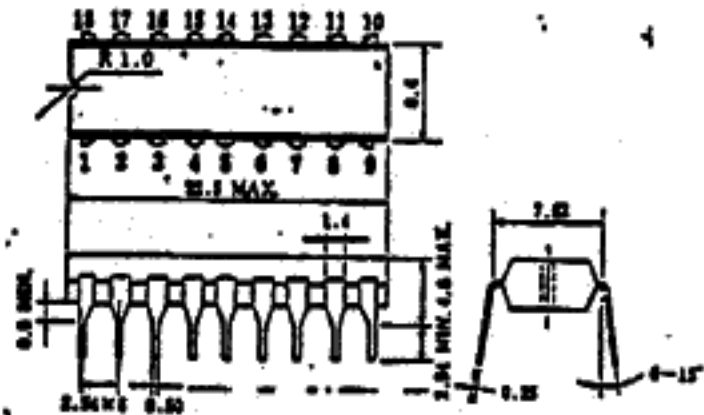
Function of dummy bit (N_{16} to N_0 is the calculated "N" value (N_{16} ; MSB)
 (D_{16} to D_0 is the data input of μ PD 3805C-003 (D_{16} ; MSB)



PIN CONFIGURATION



PHYSICAL DIMENSION (unit mm)



(Top View)

Pin No	Name	Function
1	STB	Stroke input pin for 17 bit latch to specify "N" valve
2	R	input of phase comparator in case of rolling type of LPF, the standard signal input
3	P-OUT	Output pin of programmable divider
4	P-IN	Input pin of programmable divider
5	PSC	././ P at H; ././ (P-1) at Lo of continual output of prescaler
6	DATA	Data input pin of 17 bit
7	CK	Clock input pin of 17
8	V	Variable Input of phase comparator. In case of rolling type of LPF, connection with 3 pin
9	GND	G N D
10	LD	Lock detextor, High=Lock, pulse output without lock
11	EO	Phase Comparator Output (TV: state)
12	EOD	Phase Comparator Output (charge pompe) N-cn open chain
13	EOU	Phase Comparator Output CMOS output
14	Q7	Standard frequency divider output ././ 128
15	Q10	Standard frequency divider output ././ 1024
16	Q9	Standard frequency divider output ././ 512
17	R-IN	Standard frequency divider input 1 V p-p
18	V _{DD}	Supply Voltage (+ 5 v)

PLL 周波数シンセサイザ用 LSI

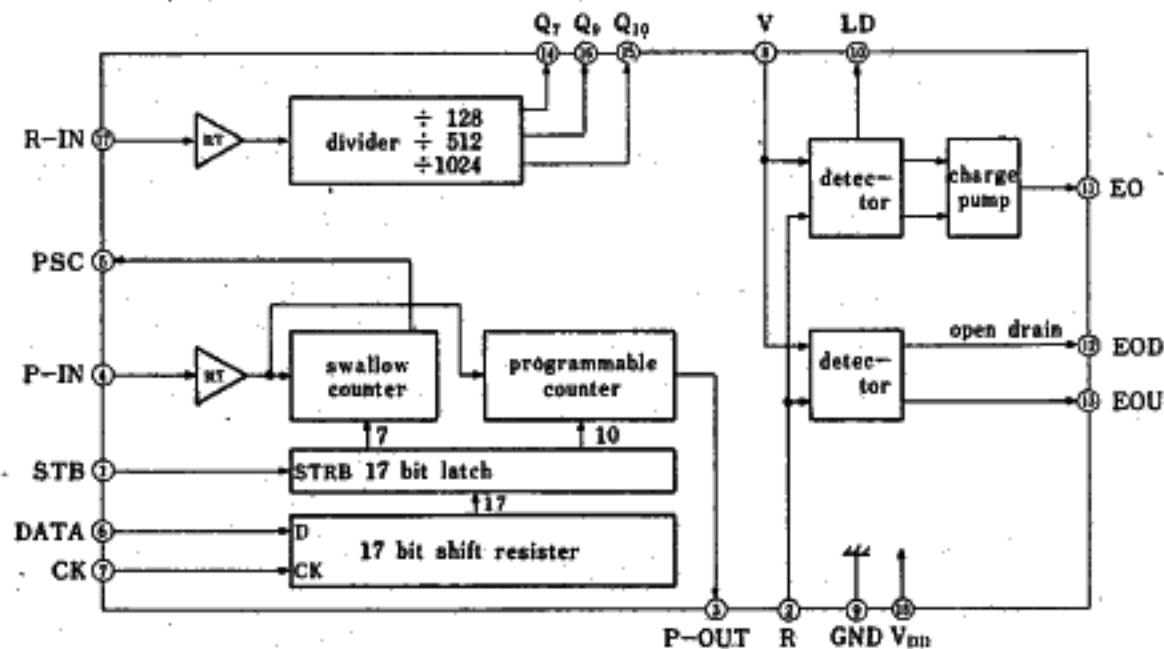
μPD2833C は、PLL 周波数シンセサイザ用 CMOS LSI です。

バイナリ7ビットのスワローカウンタ、バイナリ10ビットのプログラマブルカウンタ、位相比較器、チャージポンプ、基準周波数用分周器を1チップ化しており、900 MHz 帯までのプリスケアラと組合せることにより直接分周の周波数シンセサイザを構成できます。

特長/Features

- デュアルモジュラス・プリスケアラとの組合せにより最大 900 MHz 帯まで比較周波数とチャンネルスペースが等しい周波数シンセサイザが構成できる。(バイナリ17ビットのプログラマブルディバイダ)
- 18ピンプラスチック DIPで小形である。
- プログラマブルディバイダのデータはデータ、クロック、ストロブの3本のみのシリアルインタフェース
- 2つの形式の位相比較器出力があり、チャージポンプを外付けにできる。

ブロック図/Block Diagram



絶対最大定格/Absolute Maximum Ratings ($T_A = 25\text{ }^\circ\text{C}$)

項目	略号	定格	単位	条件
電源電圧	V_{DD}	-0.3~+7	V	
入力電圧	V_{IN}	-0.5~ $V_{DD}+0.5$	V	
出力電圧	V_{OUT}	-0.5~ $V_{DD}+0.5$	V	
出力電圧	V_{OUT}	-0.5~ $V_{DD}+3.0$	V	12ピンのみ
動作温度	T_{op}	-40~+85	°C	
保存温度	T_{stg}	-65~+150	°C	

推奨動作条件/Recommended Operating Conditions ($V_{DD} = 5\text{ V} \pm 10\%$, $T_A = -40 \sim +85\text{ }^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力立上り時間	t_{ri}	1, 2, 6, 7, 8ピン		20	500	ns
入力立下り時間	t_{rf}	1, 2, 6, 7, 8ピン		20	500	ns

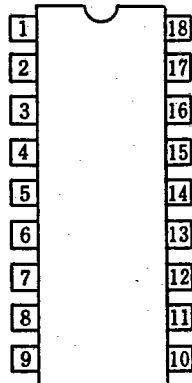
直流特性 ($V_{DD} = 5\text{ V} \pm 10\%$, $T_A = -40 \sim +85\text{ }^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
低レベル入力電圧	V_{IL}	1, 2, 6, 7, 8ピン			$0.3 \cdot V_{DD}$	V
高レベル入力電圧	V_{IH}	1, 2, 6, 7, 8, ピン	$0.7 \cdot V_{DD}$			V
低レベル出力電圧	V_{OL}	5, 10, $I_{OL} = 0.1\text{ mA}$			1.0	V
低レベル出力電圧	V_{OL}	3, 4, 15, 16ピン $I_{OL} = 0.4\text{ mA}$			0.4	V
低レベル出力電圧	V_{OL}	11ピン $I_{OL} = 3\text{ mA}$			2.0	V
低レベル出力電圧	V_{OL}	13ピン $I_{OL} = 1.2\text{ mA}$			0.4	V
低レベル出力電圧	V_{OL}	12ピン $I_{OL} = 1.5\text{ mA}$			1.0	V
高レベル出力電圧	V_{OH}	5, 10ピン $I_{OH} = 0.1\text{ mA}$	4.0			V
高レベル出力電圧	V_{OH}	3, 4, 15, 16ピン $I_{OH} = 20\text{ }\mu\text{A}$	2.4			V
高レベル出力電圧	V_{OH}	11ピン $I_{OH} = 3\text{ mA}$	3.0			V
高レベル出力電圧	V_{OH}	13ピン $I_{OH} = 1.2\text{ mA}$	3.0			V
入力リーク電流	I_{LI}	4, 17ピン			± 40	μA
出力リーク電流	I_{LO}	11ピン			± 10	μA

交流特性 ($V_{DD} = 5\text{ V} \pm 10\%$, $T_A = -40 \sim +85\text{ }^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	$f_{(max)}$	4ピン $V_a = 1\text{ V}_{P-P}$ Sine wave	1		7.9	MHz
	$f_{(max)}$	17ピン $V_a = 1\text{ V}_{P-P}$ Sine wave	1		14.0	MHz
出力遅延時間	t_{PD}	5ピン $C_L = 20\text{ pF}$			120	ns
出力立上り、立下り時間	t_r, t_f	5ピン $C_L = 20\text{ pF}$			40	ns
電源電流	I_{DD}	18ピン $f_{max(4)} = 7.9\text{ MHz}$ $f_{max(17)} = 14\text{ MHz}$			11	mA
入力振幅	V_{in}	4, 17ピン	1.0		V_{DD}	V_{P-P}

端子接続図/Connection Diagram (Top View)



ピン番号	端子名称	機能
1	STB	"N"値を指定する17ビットラッチのストローブ入力端子
2	R	位相比較器のリファレンス入力, LPFが反転型の場合は基準信号を入力する。
3	P-OUT	プログラマブルデバイダの出力端子。
4	P-IN	プログラマブルデバイダの入力端子。
5	PSC	プリスケーラのコントロール出力 Hiで ÷P, L ₀ で ÷(P+1)
6	DATA	17ビットシフトレジスタのデータ入力端子
7	CK	17ビットシフトレジスタのクロック入力端子
8	V	位相比較器のバリアブル入力, LPFが反転型では3ピンと接続
9	GND	システムグラウンド
10	LD	ロックはずれ検出端子(ロックディテクタ), ロックでHi, ロックはずれでパルス出力
11	EO	位相比較器出力(スリーステート)
12	EOD	位相比較器出力(チャージポンプ外付け用) N-ch オープンドレイン
13	EOU	位相比較器出力(チャージポンプ外付け用) CMOS 出力
14	Q ₇	基準周波数用デバイダ出力 ÷128
15	Q ₁₀	基準周波数用デバイダ出力 ÷1024
16	Q ₉	基準周波数用デバイダ出力 ÷512
17	R-IN	基準周波数用デバイダ入力 1 V _{p-p}
18	V _{DD}	電源端子(+5 V)

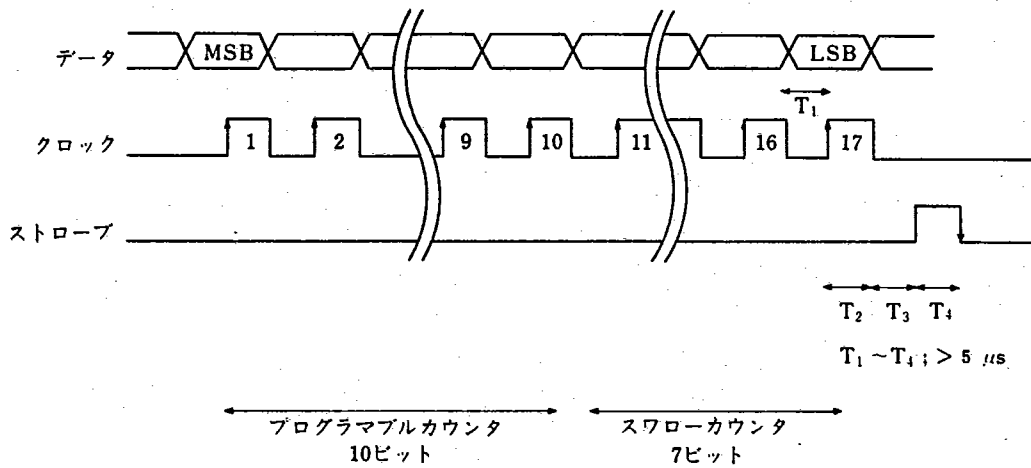
データ入力方法

プログラマブルデバイダの“N”値はバイナリ17ビットのデータを MSB (上位桁) よりシフトレジスタに入力し、最後にストローブ信号によりラッチします。

データは正論理、クロックは立上りでシフト、ストローブは High レベルでデータがスルーとなり立下りでラッチ、Low レベルで保持します。

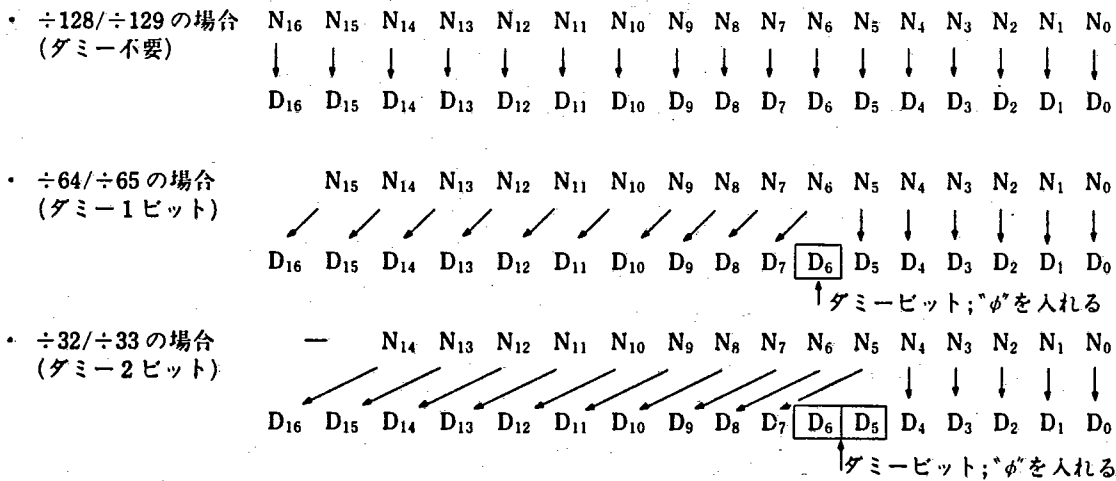
データは、プリスケアラが $\div 128/\div 129$ (7ビット) ではトータルの“N”値をバイナリに直せば問題ありませんが、より小さい分周比、たとえば、 $\div 64/\div 65$ 、 $\div 32/\div 33$ 等ではダミービットを追加する必要があります。

入力タイミング

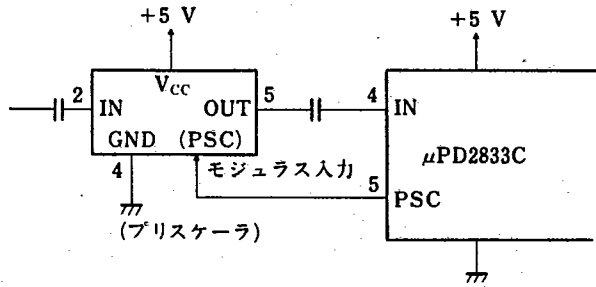


ダミービットの処理

$$\left[\begin{array}{l} N_{16} \sim N_0 \text{ は計算した } N \text{ 値 (} N_{16}; \text{MSB)} \\ D_{16} \sim D_0 \text{ は } \mu\text{PD2833C へ入力するデータ (} D_{16}; \text{MSB)} \end{array} \right]$$



プリスケータとの接続



適合するプリスケータ

- μPB566C (900 MHz 用)
- μPB571C (500 MHz 用)
- μPB555C (150 MHz 用)

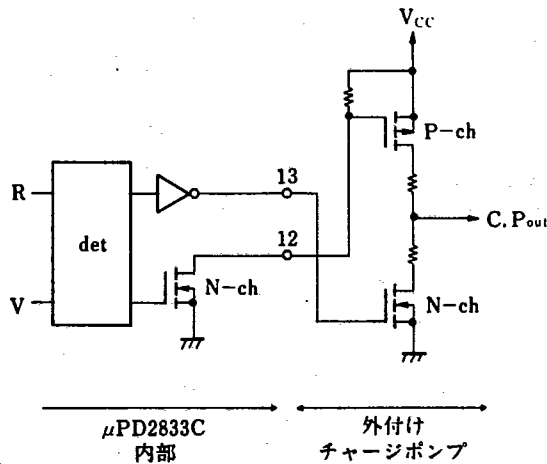
- ・プリスケータとの接続はプリスケータの出力とプログラマブルディバイダ入力(4ピン)をコンデンサで直流をカットして接続します。
- ・プリスケータのモジュラス入力端子とPLL ICのPSC出力端子はDC結合の必要がありダイレクトに接続します。電源およびグラウンドが同電位であればインターフェイスについてはμPB566C(900 MHz 用), μPB571C(500 MHz 用), μPB555C(150 MHz 用)は保障されています。

PLLの極性について

- ・ローパスフィルタ(LPF)が反転形の場合で、かつPLLのループ内にVCOより高い周波数によるミキサがないか、直接分周のときは位相比較器の入力はR(2ピン)を基準信号に、V(8ピン)をプログラマブルディバイダの出力に接続する。
- ・LPFが非反転(たとえばパッシブフィルタ等)形の場合はRとVの接続を逆にする。

チャージポンプの外付けの方法

- ・チャージポンプを外付けで構成できるよう、CMOS出力(13ピン), N-ch オープンドレイン(12ピン)が用意されています。
- ・チャージポンプの電源電圧はμPD2833Cよりも3Vまで高くできます。
- ・チャージポンプをP-ch, N-chのトランジスタ(ただしエンハンスメント形)を用いて構成した例を右図に示します。



NEC
電子デバイス

MOS デジタル集積回路
MOS Digital Integrated Circuit

μPD2834C

PLL 周波数シンセサイザ用 LSI

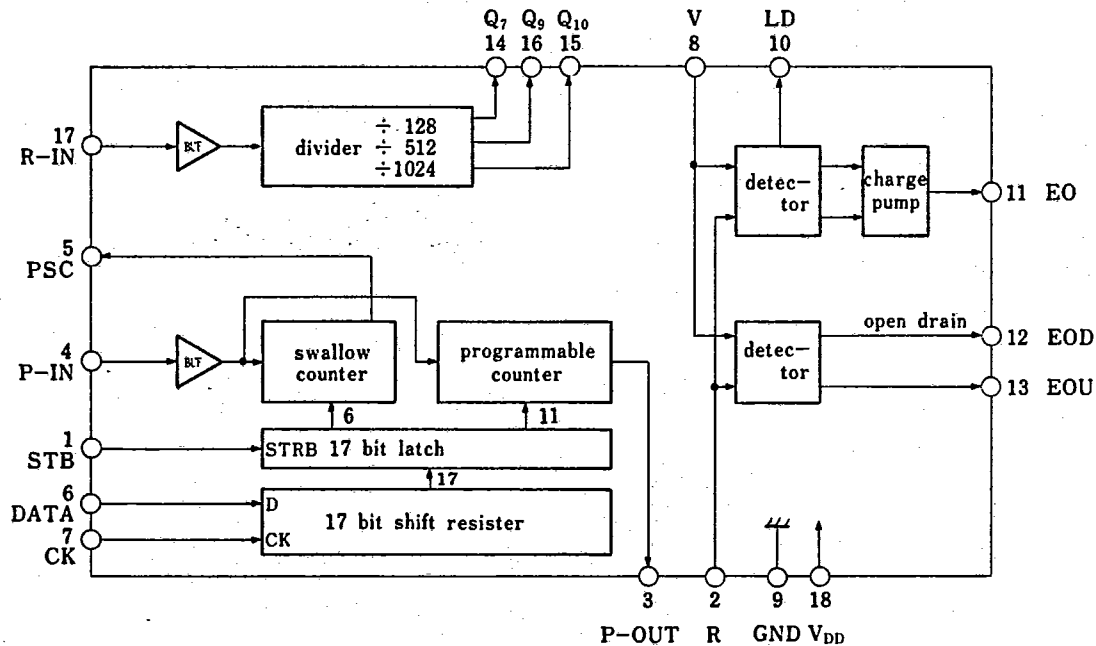
μPD2834C は、PLL 周波数シンセサイザ用 CMOS LSI です。

バイナリ 6 ビットのスワローカウンタ、バイナリ 11 ビットのプログラマブルカウンタ、位相比較器、チャージポンプ、基準周波数用分周器を 1・チップ化しており、500 MHz 帯までのプリスケラと組合せることにより直接分周の周波数シンセサイザを構成できます。

特長/Features

- デュアルモジュラス・プリスケラとの組合せにより最大 500 MHz 帯まで比較周波数とチャンネルスペースが等しい周波数シンセサイザが構成できる。(バイナリ 17 ビットのプログラマブルディバイダ)
- 18 ピンプラスチック DIP で小形である。
- プログラマブルディバイダのデータはデータ、クロック、ストローブの 3 本のみでシリアルインタフェース
- 2 つの形式の位相比較器出力があり、チャージポンプを外付けにできる。

ブロック図/Block Diagram



絶対最大定格/Absolute Maximum Ratings ($T_a = 25^\circ\text{C}$)

項目	略号	定 格	単 位	条 件
電 源 電 圧	V_{DD}	$-0.3 \sim +7$	V	
入 力 電 圧	V_{IN}	$-0.5 \sim V_{DD} + 0.5$	V	
出 力 電 圧	V_{OUT}	$-0.5 \sim V_{DD} + 0.5$	V	
出 力 電 圧	V_{OUT}	$-0.5 \sim V_{DD} + 3.0$	V	12ピンのみ
動 作 温 度	T_{opt}	$-40 \sim +85$	$^\circ\text{C}$	
保 存 温 度	T_{stg}	$-65 \sim +150$	$^\circ\text{C}$	

推奨動作条件/Recommended Operating Conditions ($V_{DD} = 5\text{V} \pm 10\%$, $T_a = -40 \sim +85^\circ\text{C}$)

項目	略号	条 件	MIN.	TYP.	MAX.	単 位
入力立上り時間	t_{ir}	1, 2, 6, 7, 8ピン		20	500	ns
入力立下り時間	t_{if}	1, 2, 6, 7, 8ピン		20	500	ns

直流特性 ($V_{DD} = 5\text{V} \pm 10\%$, $T_a = -40 \sim +85^\circ\text{C}$)

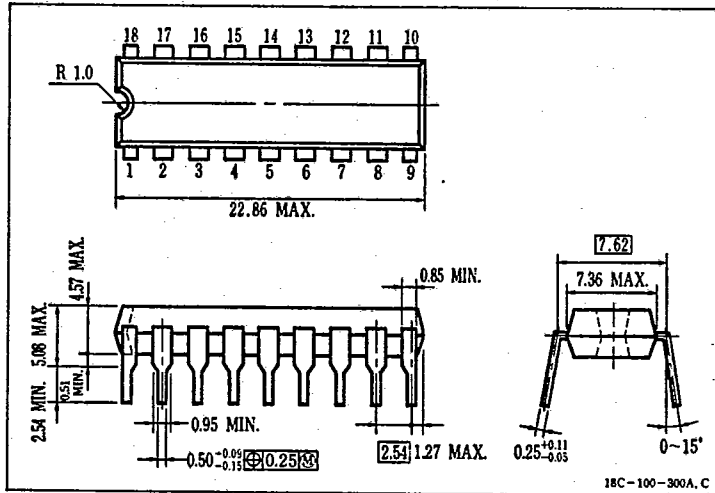
項目	略号	条 件	MIN.	TYP.	MAX.	単 位
低レベル入力電圧	V_{IL}	1, 2, 6, 7, 8ピン			$0.3 \cdot V_{DD}$	V
高レベル入力電圧	V_{IH}	1, 2, 6, 7, 8, 10ピン	$0.7 \cdot V_{DD}$			V
低レベル出力電流	I_{OL}	5, 10, $I_{OL} = 0.1\text{mA}$			1.0	V
低レベル出力電流	I_{OL}	3, 14, 15, 16ピン $I_{OL} = 0.4\text{mA}$			0.4	V
低レベル出力電流	I_{OL}	11ピン $I_{OL} = 3\text{mA}$			2.0	V
低レベル出力電流	I_{OL}	13ピン $I_{OL} = 1.2\text{mA}$			0.4	V
低レベル出力電流	I_{OL}	12ピン $I_{OL} = 1.5\text{mA}$			1.0	V
高レベル出力電圧	V_{OH}	5, 10ピン $I_{OH} = 0.1\text{mA}$	4.0			V
高レベル出力電圧	V_{OH}	3, 14, 15, 16ピン $I_{OH} = 20\mu\text{A}$	2.4			V
高レベル出力電圧	V_{OH}	11ピン $I_{OH} = 3\text{mA}$	3.0			V
高レベル出力電圧	V_{OH}	13ピン $I_{OH} = 1.2\text{mA}$	3.0			V
入力リーク電流	I_{LI}	4, 17ピン			± 40	μA
出力リーク電流	I_{LO}	11ピン			± 10	μA

交流特性 ($V_{DD} = 5\text{V} \pm 10\%$, $T_a = -40 \sim +85^\circ\text{C}$)

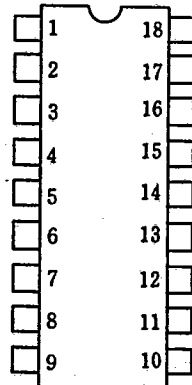
項目	略号	条 件	MIN.	TYP.	MAX.	単 位
動作周波数	$f_{in(4)}$	4ピン $V_{in} = 1\text{V}_{p-p}$ Sinewave	1		7.9	MHz
	$f_{in(17)}$	17ピン $V_{in} = 1\text{V}_{p-p}$ Sinewave	1		14.0	MHz
出力遅延時間	t_{PD}	5ピン $C_L = 20\text{pF}$			120	ns
出力立上り, 立下り時間	t_r, t_f	5ピン $C_L = 20\text{pF}$			40	ns
電 源 電 流	I_{DD}	18ピン $f_{max.(4)} = 7.9\text{MHz}$ $f_{max.(17)} = 14\text{MHz}$			11	mA
入 力 振 幅	V_{in}	4, 17ピン	1.0		V_{DD}	V_{p-p}

外形図/Package Dimensions (Unit : mm)

18ピンプラスチック DIP (300 mil)



端子接続図/Connection Diagram (Top View)



ピン番号	端子名称	機能
1	STB	"N"値を指定する17ビットラッチのストロブ入力端子
2	R	位相比較器のリファレンス入力, LPFが反転型の場合は基準信号を入力する。
3	P-OUT	プログラマブルディバイダの出力端子。
4	P-IN	プログラマブルディバイダの入力端子。
5	PSC	プリスケアラのコントロール出力 Hiで ÷P, L ₀ で ÷(P+1)
6	DATA	17ビットシフトレジスタのデータ入力端子
7	CK	17ビットシフトレジスタのクロック入力端子
8	V	位相比較器のバリエブル入力, LPFが反転型では3ピンと接続
9	GND	システムグラウンド
10	LD	ロックはずれ検出端子(ロックディテクト), ロックで Hi, ロックはずれでパルス出力
11	EO	位相比較器出力(スリーステート)
12	EOD	位相比較器出力(チャージポンプ外付け用) N-ch オープンドレイン
13	EOU	位相比較器出力(チャージポンプ外付け用) CMOS 出力
14	Q ₇	基準周波数用ディバイダ出力 ÷128
15	Q ₁₀	基準周波数用ディバイダ出力 ÷1024
16	Q ₉	基準周波数用ディバイダ出力 ÷512
17	R-IN	基準周波数用ディバイダ入力 1 V _{D-P}
18	V _{DD}	電源端子(+5 V)

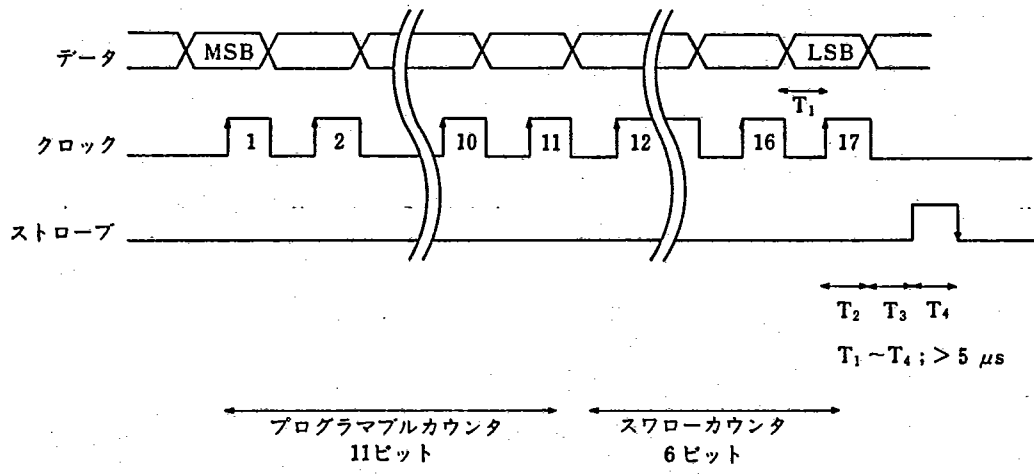
データ入力方法

プログラマブルデバイダの“N”値はバイナリ17ビットのデータをMSB(上位桁)よりシフトレジスタに入力し、最後にストローブ信号によりラッチします。

データは正論理、クロックは立上りでシフト、ストローブはHighレベルでデータがスルーとなり立下りでラッチ、Lowレベルで保持します。

データは、プリスケアラが $\div 64/\div 65$ (6ビット)ではトータルの“N”値をバイナリに直せば問題ありませんが、より小さい分周比、たとえば、 $\div 32/\div 33$, $\div 16/\div 17$ 等ではダミービットを追加する必要があります。

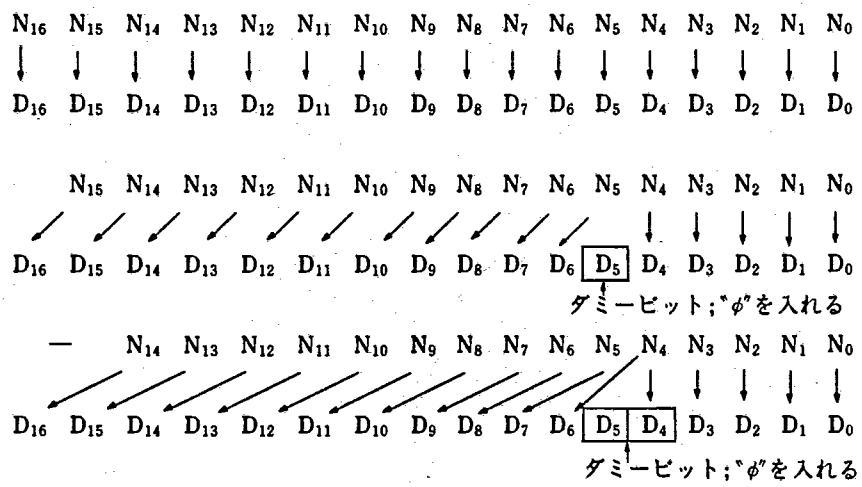
入力タイミング



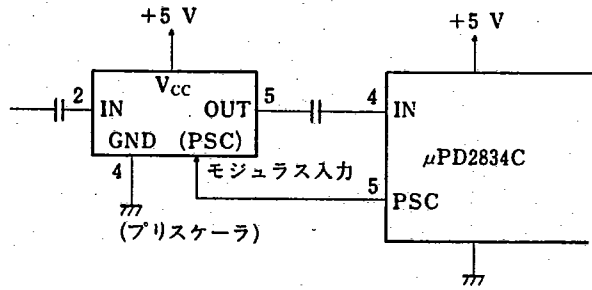
ダミービットの処理

$[N_{16} \sim N_0$ は計算したN値 (N_{16} ; MSB)
 $D_{16} \sim D_0$ は μ PD2834Cへ入力するデータ (D_{16} ; MSB)

- $\div 64/\div 65$ の場合 (ダミー不要)
- $\div 32/\div 33$ の場合 (ダミー1ビット)
- $\div 16/\div 17$ の場合 (ダミー2ビット)



プリスケラとの接続



適合するプリスケラ

- μPB571C (500 MHz 用)
- μPB555C (150 MHz 用)

- ・プリスケラとの接続はプリスケラの出力とプログラマブルディバイダ入力(4ピン)をコンデンサで直流をカットして接続します。
- ・プリスケラのモジュラス入力端子と PLL IC の PSC 出力端子は DC 結合の必要がありダイレクトに接続します。電源およびグラウンドが同電位であればインターフェイスについては μPB571C(500 MHz 用), μPB555C(150 MHz 用)は保障されています。

PLL の極性について

- ・ロウパスフィルタ(LPF)が反転形の場合で、かつ PLL のループ内に VCO より高い局発によるミキサがないか、直接分周のときは位相比較器の入力は R (2ピン)を基準信号に、V (8ピン)をプログラマブルディバイダの出力に接続する。
- ・LPF が非反転(たとえばパッシブフィルタ等)形の場合は R と V の接続を逆にする。

チャージポンプの外付けの方法

- ・チャージポンプを外付けで構成できるよう、CMOS 出力(13ピン), N-ch オープンドレイン(12ピン)が用意されています。
- ・チャージポンプの電源電圧は μPD2834C よりも 3 V まで高くできます。
- ・チャージポンプを P-ch, N-ch のトランジスタ(ただしエンハンスメント形)を用いて構成した例を右図に示します。

