

EVALUATION KIT
AVAILABLE

MAXIM

±5V、1Gps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX104

概要

MAX104は、2.2GHzまでの帯域幅でアナログ信号の正確な数値化が可能なPECLコンパチブルの1Gps、8ビットアナログデジタルコンバータ(ADC)です。マキシム社独自の高度GST-2バイポーラプロセスで製造されたMAX104は、高性能トラック/ホールド(T/H)アンプ及びディジタイザを単一のモノリシックチップに集積化しています。

フルパワー入力帯域幅が2.2GHzと非常に広い内部T/Hは、革新的な設計により、ナイキスト周波数において高性能(有効ビット数7.5以上)を実現しています。完全差動コンパレータ設計及びディコード回路により、アウトオブシーケンス・コードエラー(サーモメータバブル又はスパークルコード)を低減し、 10^{16} クロックサイクルにつき1エラーという優れた準安定性能を提供しています。エラーにより偽のフル又はゼロスケール出力が生じ得る他のADCと異なり、MAX104はエラーの大きさが1LSBに制限されています。

アナログ入力は差動又はシングルエンド用に設計されており、入力電圧範囲は±250mVです。デュアル差動PECLコンパチブル出力経路により、インタフェースが容易になり、また、出力データ速度をサンプリングクロック速度の半分に低減する8:16デマルチプレクサを備えています。PECL出力は+3V~+5V範囲の任意の電源電圧で動作できるため、+3.3V又は+5V基準の機器とコンパチブルです。他のMAX104をインターリーブして、実行システムサンプリング速度を増加させるための制御入力も提供されています。

MAX104のパッケージは25mm x 25mm、192端子のエンハンスドスーパーボールグリッドアレイ(ESBGA™)です。温度範囲は民生用(0°C~+70°C)のものが用意されています。

アプリケーション

- デジタルRF/IF信号処理
- ダイレクトRFダウンコンバージョン
- 高速データ収集
- デジタルオシロスコープ
- 高エネルギー物理
- レーダー/ソナー/ECM機器
- ATE機器

標準動作回路はデータシートの最後に記載されています。

ESBGAはAmkor/Anam社の商標です。

Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

無料サンプル及び最新版データシートの入手には、マキシムのホームページをご利用ください。http://japan.maxim-ic.com

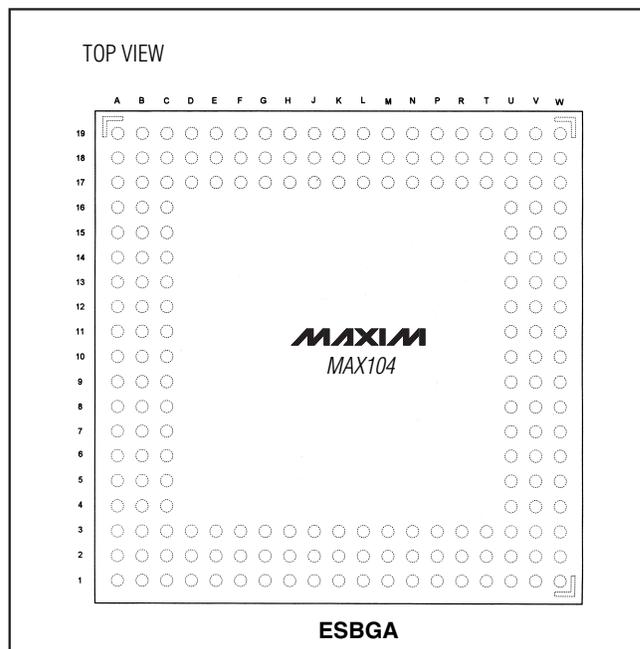
特長

- ◆ 変換速度：1Gps
- ◆ フルパワーアナログ入力帯域幅：2.2GHz
- ◆ 有効ビット数： $f_{IN} = 500\text{MHz}$ (ナイキスト周波数)において7.5以上
- ◆ INL及びDNL： $\pm 0.25\text{LSB}$
- ◆ 50Ωの差動アナログ入力
- ◆ 入力信号範囲：±250mV
- ◆ 内蔵+2.5V高精度バンドギャップ電圧リファレンス
- ◆ ラッチ付差動PECLデジタル出力
- ◆ 低エラーレート：1Gpsにおける準安定状態は 10^{-16}
- ◆ 選択可能な8:16デマルチプレクサ
- ◆ 内部デマルチプレクサリセット入力(リセット出力付)
- ◆ パッケージ：192端子のESBGA

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX104CHC	0°C to +70°C	192 ESBGA

192端子のESBGA ボール割当マトリックス



±5V、1Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX104

ABSOLUTE MAXIMUM RATINGS

V _{CCA} to G _{NDA}	-0.3V to +6V	RSTIN+, RSTIN-	-0.3V to (V _{CCO} + 0.3V)
V _{CCD} to G _{NDD}	-0.3V to +6V	VOSADJ Adjust Input	-0.3V to (V _{CC1} + 0.3V)
V _{CC1} to G _{ND1}	-0.3V to +6V	CLK+ to CLK- Voltage Difference	±3V
V _{CCO} to G _{NDD}	-0.3V to (V _{CCD} + 0.3V)	CLK+, CLK-	(V _{EE} - 0.3V) to (G _{NDD} + 1V)
AUXEN1, AUXEN2 to G _{ND}	-0.3V to (V _{CCD} + 0.3V)	CLKCOM	(V _{EE} - 0.3V) to (G _{NDD} + 1V)
V _{EE} to G _{ND1}	-6V to +0.3V	VIN+ to VIN- Voltage Difference	±2V
Between G _{NDs}	-0.3V to +0.3V	VIN+, VIN- to G _{ND1}	±2V
V _{CCA} to V _{CCD}	-0.3V to +0.3V	Continuous Power Dissipation (T _A = +70°C)	
V _{CCA} to V _{CC1}	-0.3V to +0.3V	192-Contact ESBGA (derate 61mW/°C above +70°C)	4.88W
PECL Digital Output Current	50mA	(with heatsink and 200 LFM airflow,	
REFIN to G _{NDR}	-0.3V to (V _{CC1} + 0.3V)	derate 106mW/°C above +70°C)	8.48W
REFOUT Current	+100µA to -5mA	Operating Temperature Range	
ICONST, IPTAT to G _{ND1}	-0.3V to +1.0V	MAX104CHC	0°C to +70°C
TTL/CMOS Control Inputs (DEMUXEN,		Operating Junction Temperature	+150°C
DIVSELECT)	-0.3V to (V _{CCD} + 0.3V)	Storage Temperature Range	-65°C to +150°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{CCA} = V_{CC1} = V_{CCD} = +5.0V ±5%, V_{EE} = -5.0V ±5%, V_{CCO} = +3.0V to V_{CCD}, REFIN connected to REFOUT, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ACCURACY						
Resolution	RES		8			Bits
Integral Nonlinearity (Note 1)	INL	T _A = +25°C	-0.5	±0.25	0.5	LSB
Differential Nonlinearity (Note 1)	DNL	T _A = +25°C	-0.5	±0.25	0.5	LSB
Missing Codes		No missing codes guaranteed			None	Codes
ANALOG INPUTS						
Full-Scale Input Range	V _{FSR}	Note 1	475	500	525	mVp-p
Common-Mode Input Range	V _{CM}	Signal + offset w.r.t. G _{ND1}		±0.8		V
Input Resistance	R _{IN}	VIN+ and VIN- to G _{ND1} , T _A = +25°C	49	50	51	Ω
Input Resistance Temperature Coefficient	TC _R			150		ppm/°C
VOS ADJUST CONTROL INPUT						
Input Resistance (Note 2)	R _{VOS}		14	25		kΩ
Input V _{OS} Adjust Range		VOSADJ = 0 to 2.5V	±4	±5.5		LSB
REFERENCE INPUT AND OUTPUT						
Reference Output Voltage	REFOUT	Driving REFIN input only	2.475	2.50	2.525	V
Reference Output Load Regulation	ΔREFOUT	0 < I _{SOURCE} < 2.5mA			5	mV
Reference Input Resistance	R _{REF}	Referenced to G _{NDR}	4	5		kΩ

±5V、1Gps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX104

DC ELECTRICAL CHARACTERISTICS (continued)

(V_{CCA} = V_{CC1} = V_{CCD} = +5.0V ±5%, V_{EE} = -5.0V ±5%, V_{CCO} = +3.0V to V_{CCD}, REFIN connected to REFOUT, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLOCK INPUTS (Note 3)						
Clock Input Resistance	R _{CLK}	CLK+ and CLK- to CLKCOM, T _A = +25°C	48	50	52	Ω
Input Resistance Temperature Coefficient	T _{CR}			150		ppm/°C
TTL/CMOS CONTROL INPUTS (DEMUXEN, DIVSELECT)						
High-Level Input Voltage	V _{IH}		2.0			V
Low-Level Input Voltage	V _{IL}				0.8	V
High-Level Input Current	I _{IH}	V _{IH} = 2.4V			50	μA
Low-Level Input Current	I _{IL}	V _{IL} = 0	-1		1	μA
DEMUX RESET INPUT (Note 4)						
Digital Input High Voltage	V _{IH}		-1.165			V
Digital Input Low Voltage	V _{IL}				-1.475	V
PECL DIGITAL OUTPUTS (Note 5)						
Digital Output High Voltage	V _{OH}		-1.025		-0.880	V
Digital Output Low Voltage	V _{OL}		-1.810		-1.620	V
POWER REQUIREMENTS						
Positive Analog Supply Current	I _{CCA}			480	780	mA
Positive Input Supply Current	I _{CC1}			108	150	mA
Negative Input Supply Current	I _{EE}		-290	-210		mA
Digital Supply Current	I _{CCD}			205	340	mA
Output Supply Current (Note 6)	I _{CCO}			75	115	mA
Power Dissipation (Note 6)	P _{DISS}			5.25		W
Common-Mode Rejection Ratio (Note 7)	CMRR	V _{IN+} = V _{IN-} = ±0.1V	40	68		dB
Positive Power-Supply Rejection Ratio (Note 8)	PSRR+	(Note 9)	40	73		dB
Negative Power-Supply Rejection Ratio (Note 8)	PSRR-	(Note 10)	40	68		dB

±5V、1Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX104

AC ELECTRICAL CHARACTERISTICS

(V_{CCA} = V_{CC1} = V_{CCD} = 5.0V, V_{EE} = -5.0V, V_{CCO} = 3.3V, REFIN connected to REFOUT, f_s = 1Gsp/s, f_{IN} at -1dBFS, T_A = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
ANALOG INPUT							
Analog Input Full-Power Bandwidth	BW _{-3dB}				2.2		GHz
Analog Input VSWR	VSWR	f _{IN} = 500MHz			1.1:1		V/V
Transfer Curve Offset	V _{OS}	V _{OSADJ} control input open		-2	0	+2	LSB
DYNAMIC SPECIFICATIONS							
Effective Number of Bits (Note 11)	ENOB ₁₀₀₀	f _{IN} = 1000MHz	Differential			7.52	Bits
			Single-ended			7.40	
	ENOB ₅₀₀	f _{IN} = 500MHz	Differential	7.2	7.55		
			Single-ended			7.49	
	ENOB ₁₂₅	f _{IN} = 125MHz	Differential	7.4	7.74		
			Single-ended			7.73	
Signal-to-Noise Ratio (No Harmonics)	SNR ₁₀₀₀	f _{IN} = 1000MHz	Differential			46.4	dB
			Single-ended			46.4	
	SNR ₅₀₀	f _{IN} = 500MHz	Differential	44.2	47.0		
			Single-ended			47.1	
	SNR ₁₂₅	f _{IN} = 125MHz	Differential	45.4	47.4		
			Single-ended			47.4	
Total Harmonic Distortion (Note 12)	THD ₁₀₀₀	f _{IN} = 1000MHz	Differential			-52.6	dB
			Single-ended			-49.6	
	THD ₅₀₀	f _{IN} = 500MHz	Differential			-52.5	
			Single-ended			-51.3	
	THD ₁₂₅	f _{IN} = 125MHz	Differential			-66.2	
			Single-ended			-67.4	
Spurious-Free Dynamic Range	SFDR ₁₀₀₀	f _{IN} = 1000MHz	Differential			52.8	dB
			Single-ended			52.5	
	SFDR ₅₀₀	f _{IN} = 500MHz	Differential	50	52.3		
			Single-ended			52.3	
	SFDR ₁₂₅	f _{IN} = 125MHz	Differential	62	68.9		
			Single-ended			69.5	
Signal-to-Noise Ratio and Distortion	SINAD ₁₀₀₀	f _{IN} = 1000MHz	Differential			46.0	dB
			Single-ended			46.3	
	SINAD ₅₀₀	f _{IN} = 500MHz	Differential	44.1	46.2		
			Single-ended			45.9	
	SINAD ₁₂₅	f _{IN} = 125MHz	Differential	45.3	47.3		
			Single-ended			47.3	
Two-Tone Intermodulation	IMD	f _{IN1} = 124MHz, f _{IN2} = 126MHz, at -7dB below full-scale			-57.7		dB

±5V、1Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX104

AC ELECTRICAL CHARACTERISTICS (continued)

(V_{CCA} = V_{CC1} = V_{CCD} = +5.0V, V_{EE} = -5.0V, V_{CCO} = +3.3V, REFIN connected to REFOUT, f_s = 1Gsp/s, f_{IN} at -1dBFS, T_A = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS						
Maximum Sample Rate	f _{MAX}		1			Gsp/s
Clock Pulse Width Low	t _{PWL}	Figure 17	0.45			ns
Clock Pulse Width High	t _{PWH}	Figure 17	0.45		5	ns
Aperture Delay	t _{AD}	Figure 4		100		ps
Aperture Jitter	t _{AJ}	Figure 4		<0.5		ps
Reset Input Data Setup Time (Note 13)	t _{SU}	Figure 15	0			ps
Reset Input Data Hold Time (Note 13)	t _{HD}	Figure 15	0			ps
CLK to DREADY Propagation Delay	t _{PD1}	Figure 17		2.2		ns
DREADY to DATA Propagation Delay (Note 14)	t _{PD2}	Figure 17	-50	150	350	ps
DATA Rise Time	t _{RDATA}	20% to 80%, C _L = 3pF		420		ps
DATA Fall Time	t _{FDATA}	20% to 80%, C _L = 3pF		360		ps
DREADY Rise Time	t _{RDREADY}	20% to 80%, C _L = 3pF		220		ps
DREADY Fall Time	t _{FDREADY}	20% to 80%, C _L = 3pF		180		ps
Primary Port Pipeline Delay	t _{PDP}	Figures 6, 7, 8	DIV1, DIV2 modes		7.5	Clock Cycles
			DIV4 mode		7.5	
Auxiliary Port Pipeline Delay	t _{PDA}	Figures 6, 7, 8	DIV1, DIV2 modes		8.5	Clock Cycles
			DIV4 mode		9.5	

- Note 1:** Static linearity parameters are computed from a “best-fit” straight line through the code transition points. The full-scale range (FSR) is defined as 256 x slope of the line.
- Note 2:** The offset control input is a self-biased voltage divider from the internal +2.5V reference voltage. The nominal open-circuit voltage is +1.25V. It may be driven from an external potentiometer connected between REFOUT and GNDI.
- Note 3:** The clock input's termination voltage can be operated between -2.0V and GNDI. Observe the absolute maximum ratings on the CLK+ and CLK- inputs.
- Note 4:** Input logic levels are measured with respect to the V_{CCO} power-supply voltage.
- Note 5:** All PECL digital outputs are loaded with 50Ω to V_{CCO} - 2.0V. Measurements are made with respect to the V_{CCO} power-supply voltage.
- Note 6:** The current in the V_{CCO} power supply does not include the current in the digital output's emitter followers, which is a function of the load resistance and the V_{TT} termination voltage.
- Note 7:** Common-Mode Rejection Ratio is defined as the ratio of the change in the transfer-curve offset voltage to the change in the common-mode voltage, expressed in dB.
- Note 8:** Power-Supply Rejection Ratio is defined as the ratio of the change in the transfer-curve offset voltage to the change in power-supply voltage, expressed in dB.
- Note 9:** Measured with the positive supplies tied to the same potential; V_{CCA} = V_{CCD} = V_{CC1}. V_{CC} varies from +4.75V to +5.25V.
- Note 10:** V_{EE} varies from -5.25V to -4.75V.

±5V、1Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

Note 11: Effective Number of Bits (ENOB) are computed from a curve fit referenced to the theoretical full-scale range.

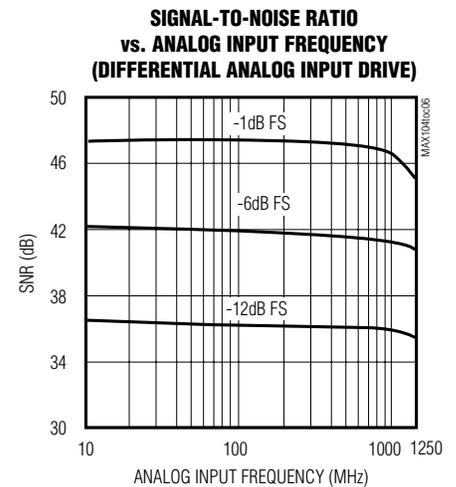
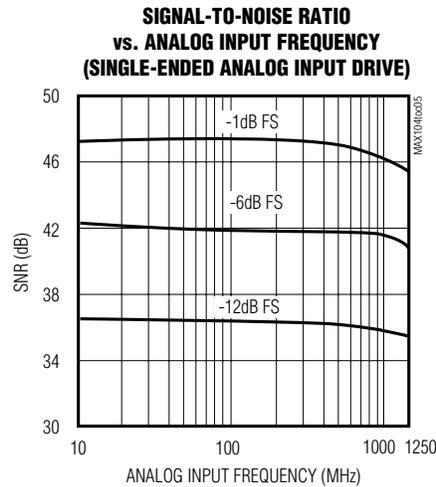
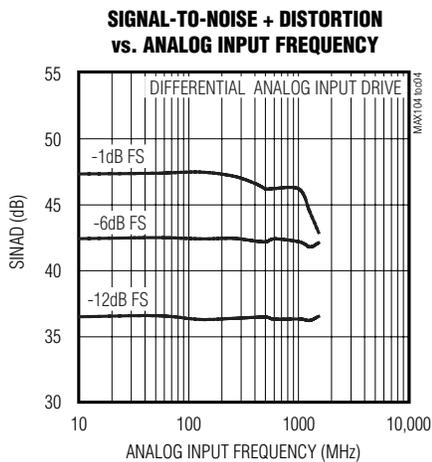
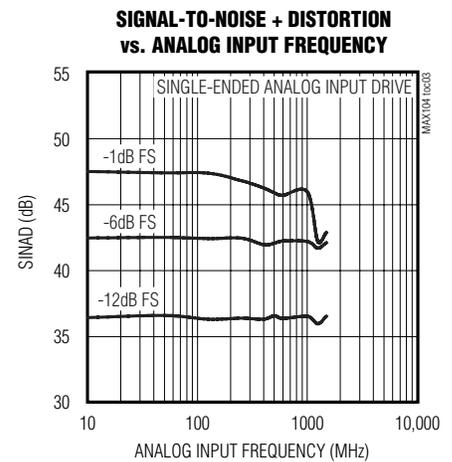
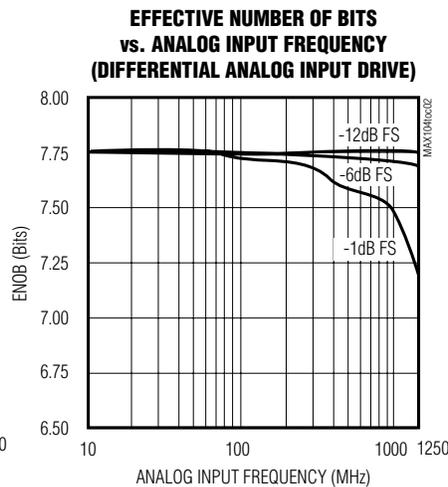
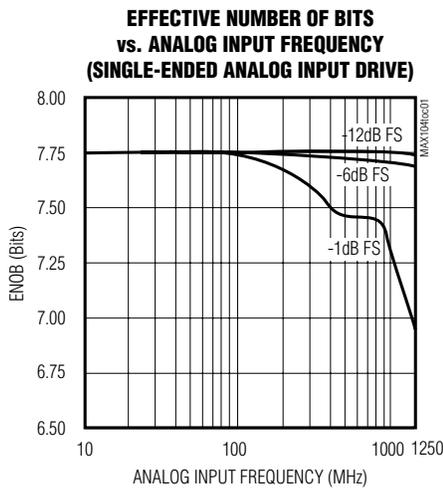
Note 12: Total Harmonic Distortion (THD) is computed from the first five harmonics.

Note 13: Guaranteed by design with a reset pulse one clock period long or greater.

Note 14: Guaranteed by design. The DREADY to DATA propagation delay is measured from the 50% point on the rising edge of the DREADY signal (when the output data changes) to the 50% point on a data output bit. This places the falling edge of the DREADY signal in the middle of the data output valid window, within the differences between the DREADY and DATA rise and fall times, which gives maximum setup and hold time for latching external data latches.

標準動作特性

($V_{CCA} = V_{CC1} = V_{CCD} = +5V$, $V_{EE} = -5V$, $V_{CCO} = +3.3V$, REFIN connected to REFOUT, $f_s = 1Gsp/s$, $T_A = +25^\circ C$, unless otherwise noted.)

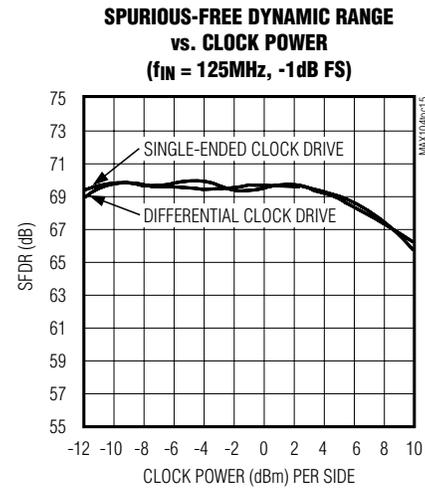
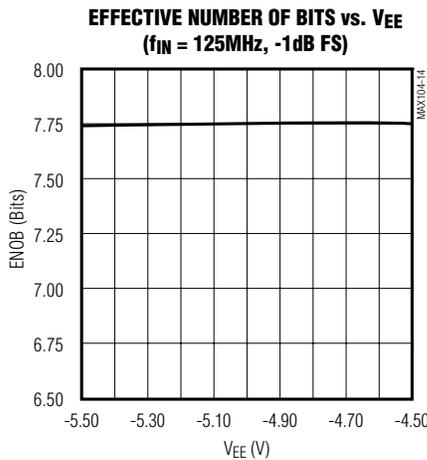
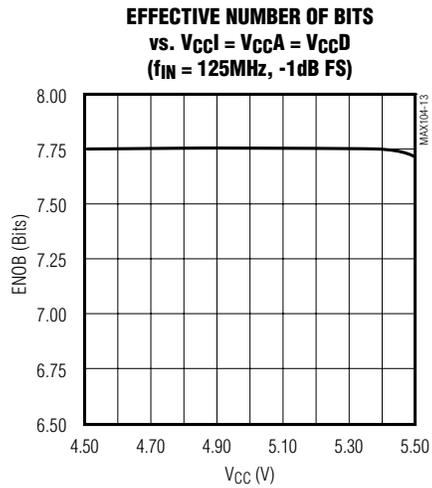
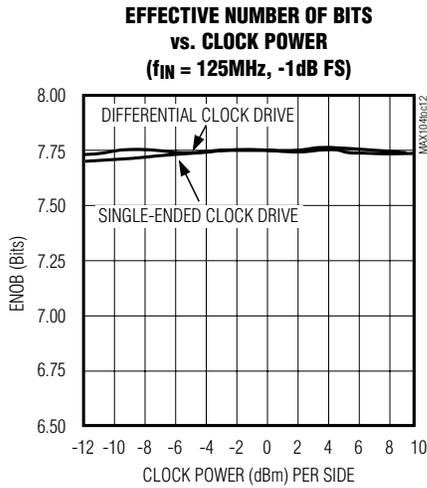
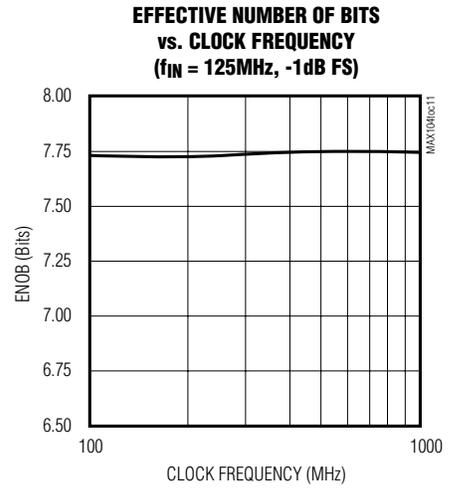
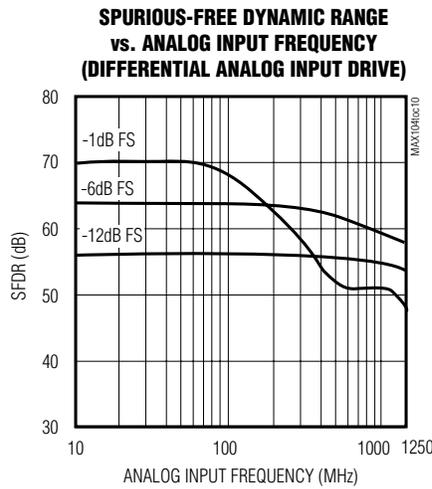
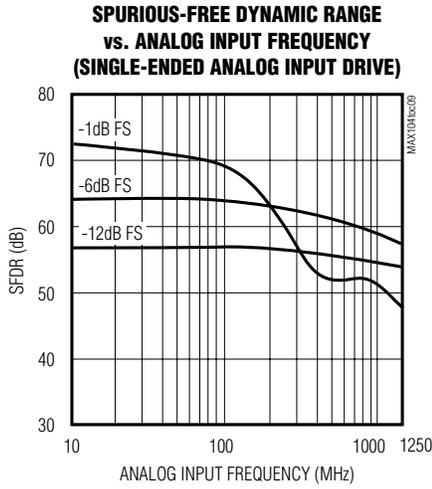


±5V、1Gpsps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX104

標準動作特性(続き)

($V_{CC1} = V_{CC2} = V_{CCD} = +5V$, $V_{EE} = -5V$, $V_{CCO} = +3.3V$, REFIN connected to REFOUT, $f_S = 1Gpsps$, $T_A = +25^\circ C$, unless otherwise noted.)



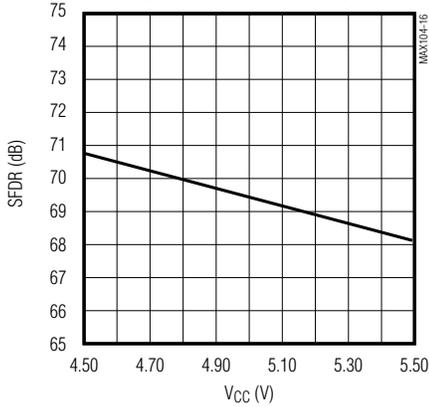
±5V、1Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX104

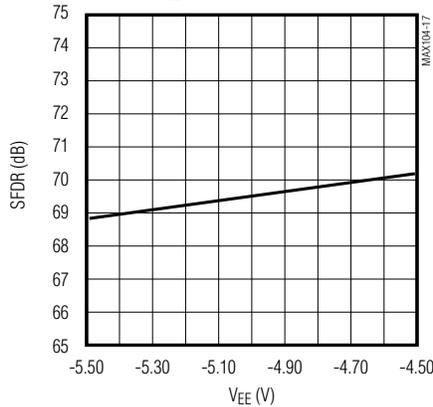
標準動作特性(続き)

($V_{CCA} = V_{CC1} = V_{CCD} = +5V$, $V_{EE} = -5V$, $V_{CCO} = +3.3V$, REFIN connected to REFOUT, $f_S = 1Gsp/s$, $T_A = +25^\circ C$, unless otherwise noted.)

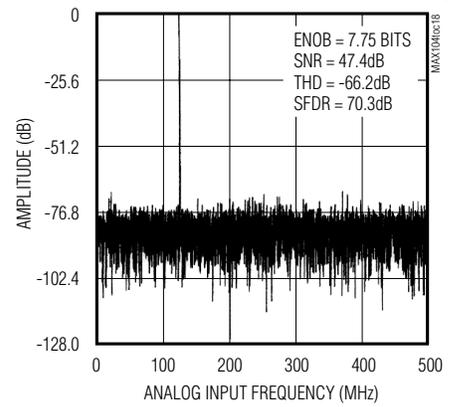
SPURIOUS-FREE DYNAMIC RANGE vs. $V_{CC1} = V_{CCA} = V_{CCD}$
($f_{IN} = 125MHz$, -1dB FS)



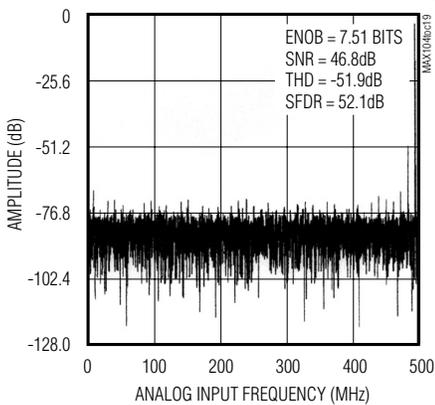
SPURIOUS-FREE DYNAMIC RANGE vs. V_{EE}
($f_{IN} = 125MHz$, -1dB FS)



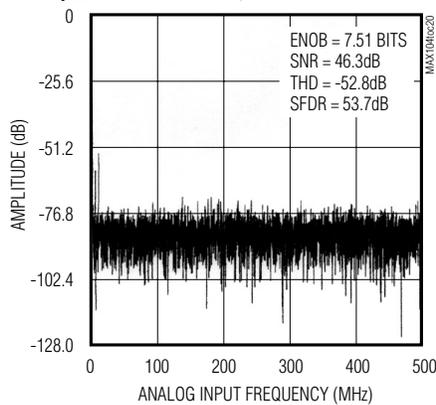
FFT PLOT
($f_{IN} = 125.8545MHz$, RECORD LENGTH 8192)



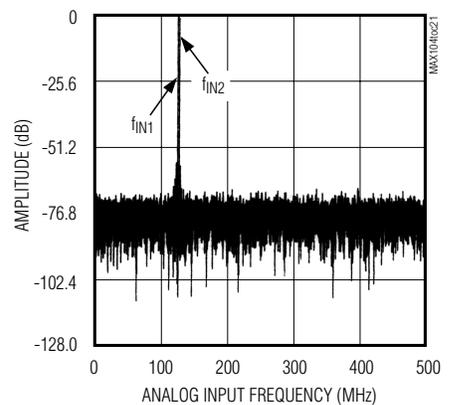
FFT PLOT
($f_{IN} = 494.5068MHz$, RECORD LENGTH 8192)



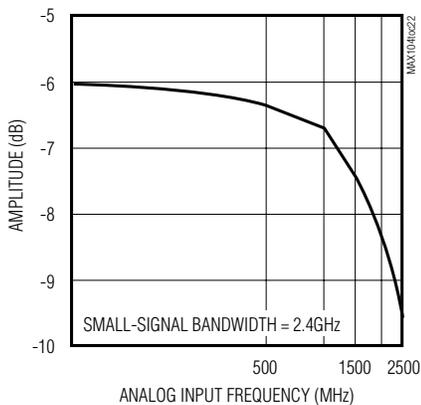
FFT PLOT
($f_{IN} = 1005.0049MHz$, RECORD LENGTH 8192)



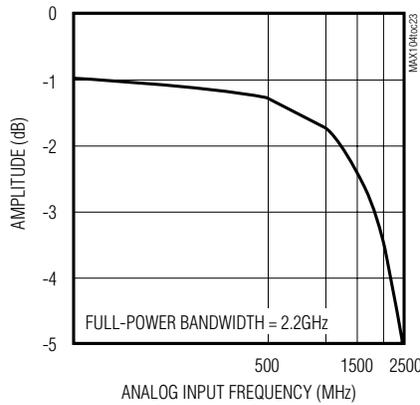
TWO-TONE INTERMODULATION
FFT PLOT ($f_{IN1} = 124MHz$, $f_{IN2} = 126MHz$,
7dB BELOW FULL-SCALE, RECORD LENGTH 8192)



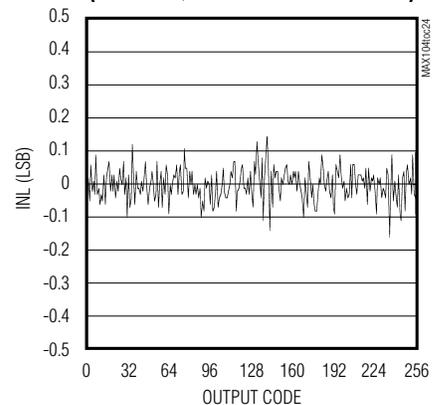
ANALOG INPUT BANDWIDTH
-6dB BELOW FULL-SCALE



ANALOG INPUT BANDWIDTH
FULL-POWER



INTEGRAL NONLINEARITY
vs. OUTPUT CODE
(LOW-FREQUENCY SERVO LOOP DATA)

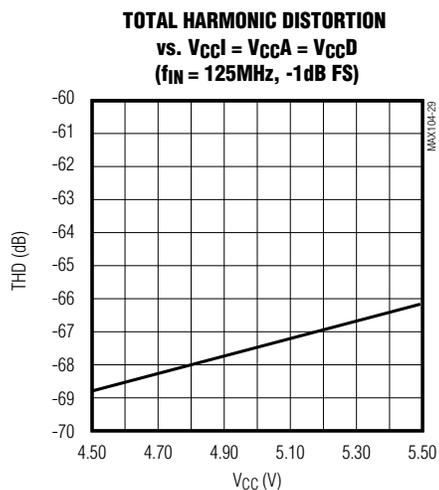
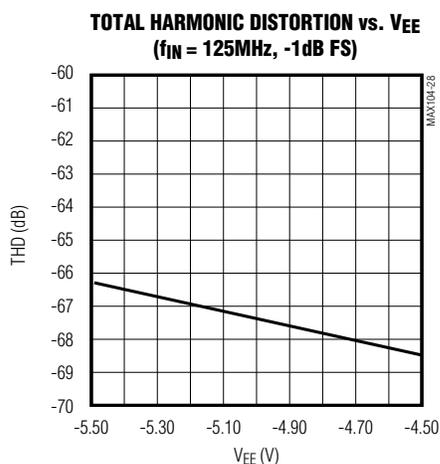
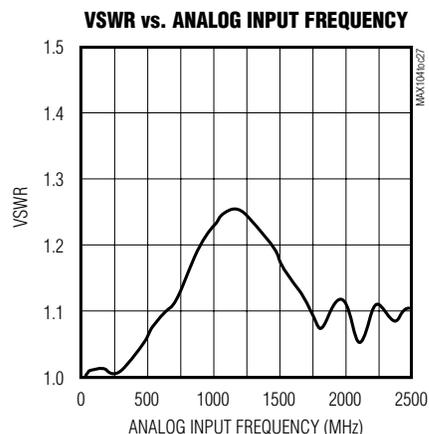
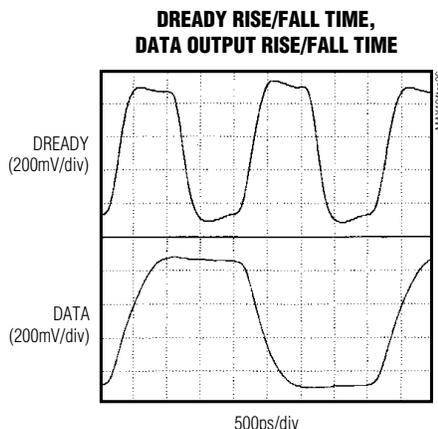
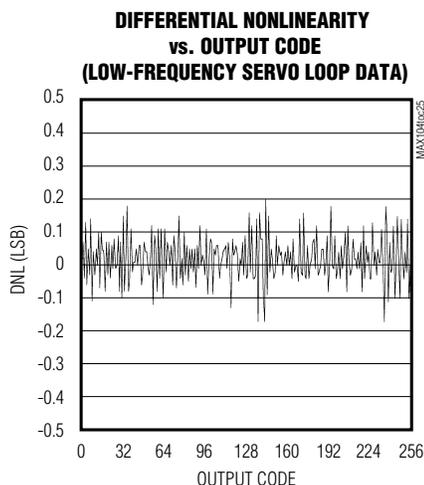


±5V、1Gpsps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX104

標準動作特性(続き)

($V_{CCA} = V_{CC1} = V_{CCD} = +5V$, $V_{EE} = -5V$, $V_{CCO} = +3.3V$, REFIN connected to REFOUT, $f_S = 1Gpsps$, $T_A = +25^\circ C$, unless otherwise noted.)



端子説明

端子	名称	機能
A1–A4, A6, A7, B1, B2, C1, C2, D1, D2, D3, G1, H1, J2, J3, K1–K3, L2, L3, M1, N1, T2, T3, U1, V1, V2, W1–W4	GNDI	アナロググランド。T/Hアンプ、クロック分配、バンドギャップリファレンス及びリファレンスアンプ用。
A5, B5, C5, H2, H3, M2, M3, U5, V5, W5	V_{CC1}	アナログ電源電圧(+5V)。T/Hアンプ、クロック分配、バンドギャップリファレンス及びリファレンスアンプに電源を供給します。
A8, B8, C8, U6, V6, W6	GNDA	アナロググランド。コンパレータアレイ用。
A9, B9, C9, U7, V7, W7	V_{CCA}	アナログ電源電圧(+5V)。アナログコンパレータアレイに電源を供給します。
A10, E17, F2, P3, R17, R18	TESTPOINT (T.P.)	テストポイント。接続しないで下さい。
A11, B11, B16, B17, C11, C16, U9, U17, V9, V17, V18, W9	GNDD	デジタルグランド
A12–A19, B19, C19, D19, E19, F19, G19, H19, J19, K19, L19, M19, N19, P19, T19, U19, V19, W10–W19	V_{CCO}	PECL電源電圧(+3V~+5V)

±5V、1Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX104

端子説明(続き)

端子	名称	機能
B3, B4, C3, C4, E3, F3, G2, G3, N2, N3, U2, U3, U4, V3, V4	V _{EE}	アナログ電源電圧(-5V)。T/Hアンプ、クロック分配、バンドギャップリファレンス及びリファレンスアンプに電源を供給します。
B6, B7	GNDR	リファレンスグラウンド。GNDIに接続する必要があります。
B10, B18, C10, C17, C18, T17, T18, U8, U18, V8, W8	V _{CCD}	デジタル電源電圧(+5V)
B12	P0+	主出力データビット0(LSB)
B13	A0+	補助出力データビット0(LSB)
B14	P1+	主出力データビット1
B15	A1+	補助出力データビット1
C6	REFIN	リファレンス入力
C7	REFOUT	リファレンス出力
C12	P0-	コンプリメンタリ主出力データビット0(LSB)
C13	A0-	コンプリメンタリ補助出力データビット0(LSB)
C14	P1-	コンプリメンタリ主出力データビット1
C15	A1-	コンプリメンタリ補助出力データビット1
D17	DIVSELECT	TTL/CMOSデマルチプレクサ分割選択入力 1: デシメーションDIV4モード 0: デマルチプレクサDIV2モード
D18	AUXEN2	V _{CCO} に接続すると補助ポートに電源が供給されます。GNDDに接続するとパワーダウンします。
E1	ICONST	チップ温度測定テストポイント。「チップ温度測定」の項を参照。
E2	IPTAT	チップ温度測定テストポイント。「チップ温度測定」の項を参照。
E18	DEMUXEN	TTL/CMOSデマルチプレクサイネーブル制御 1: デマルチプレクサをイネーブル 0: デマルチプレクサをディセーブル
F1	VOSADJ	オフセット調整入力
F17	P2-	コンプリメンタリ主出力データビット2
F18	P2+	主出力データビット2
G17	A2-	コンプリメンタリ補助出力データビット2
G18	A2+	補助出力データビット2
H17	P3-	コンプリメンタリ主出力データビット3
H18	P3+	主出力データビット3

±5V、1Gps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX104

端子説明(続き)

端子	名称	機能
J1	VIN-	差動入力電圧(-)
J17	A3-	コンプリメンタリ補助出力データビット3
J18	A3+	補助出力データビット3
K17	DREADY-	コンプリメンタリデータレディックロック
K18	DREADY+	データレディックロック
L1	VIN+	差動入力電圧(+)
L17	P4-	コンプリメンタリ主出力データビット4
L18	P4+	主出力データビット4
M17	A4-	コンプリメンタリ補助出力データビット4
M18	A4+	補助出力データビット4
N17	P5-	コンプリメンタリ主出力データビット5
N18	P5+	主出力データビット5
P1	CLK-	コンプリメンタリサンプリングクロック入力
P2	TESTPOINT (T.P.)	このコンタクトはGNDIに接続する必要があります。
P17	A5-	コンプリメンタリ補助出力データビット5
P18	A5+	補助出力データビット5
R1, R2, R3	CLKCOM	50Ωクロック終端処理リターン
R19	AUXEN1	V _{CCO} に接続すると補助ポートに電源が供給されます。GNDDに接続するとパワーダウンします。
T1	CLK+	サンプリングクロック入力
U10	RSTIN-	コンプリメンタリPECLデマルチプレクサリセット入力
U11	RSTOUT-	コンプリメンタリPECLリセット出力
U12	OR-	コンプリメンタリPECLオーバーレンジビット
U13	A7-	コンプリメンタリ補助出力データビット7(MSB)
U14	P7-	コンプリメンタリ主出力データビット7(MSB)
U15	A6-	コンプリメンタリ補助出力データビット6
U16	P6-	コンプリメンタリ主出力データビット6
V10	RSTIN+	PECLデマルチプレクサリセット入力
V11	RSTOUT+	PECLリセット出力
V12	OR+	PECLオーバーレンジビット
V13	A7+	補助出力データビット7(MSB)
V14	P7+	主出力データビット7(MSB)
V15	A6+	補助出力データビット6
V16	P6+	主出力データビット6

±5V、1Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX104

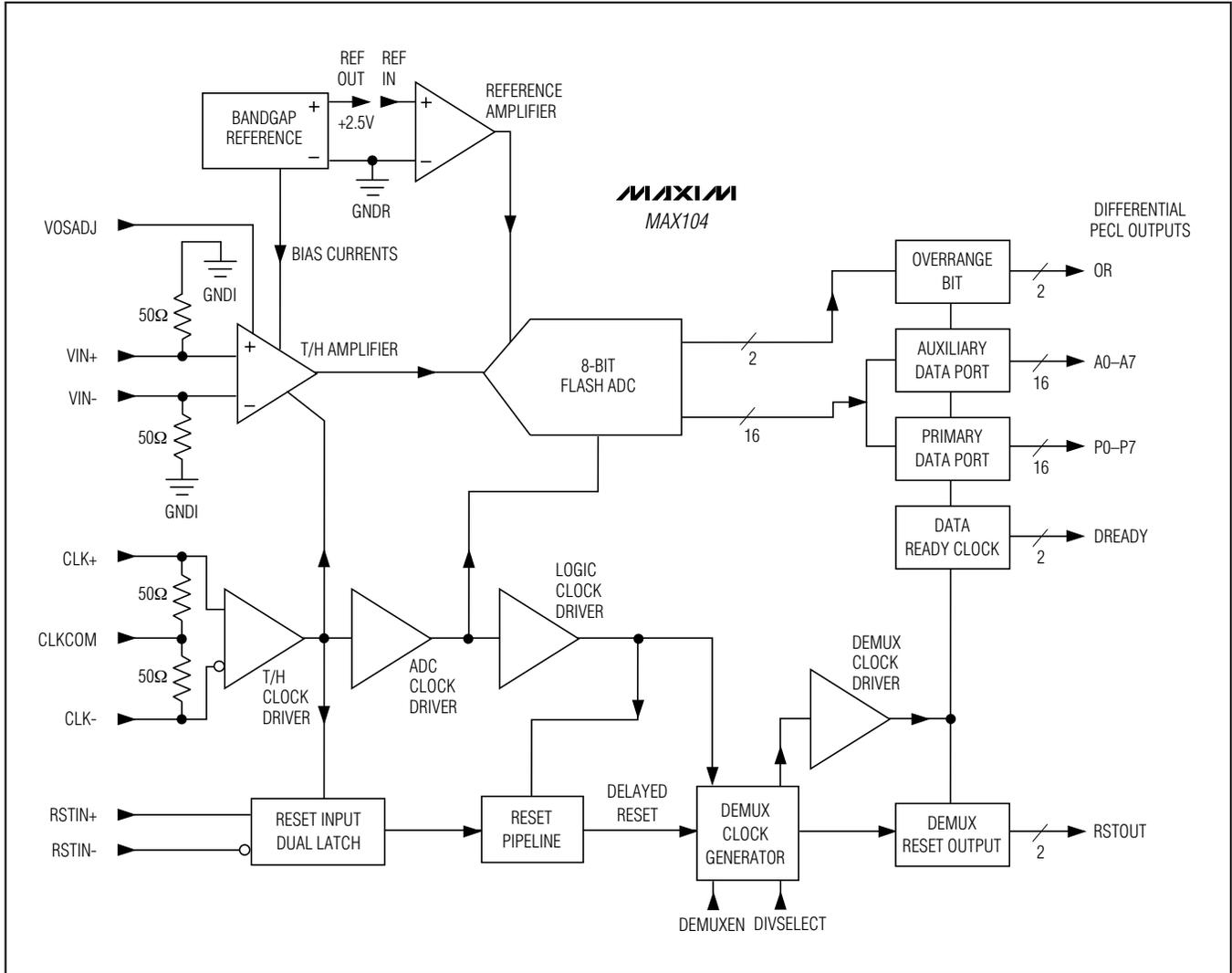


図1. 簡略化ファンクションダイアグラム

詳細

MAX104は、内蔵トラック/ホールド(T/H)アンプ及び差動PECLコンパチブル出力付の8ビット1Gsp/sフラッシュ・アナログデジタルコンバータ(ADC)です。本ADC(図1)は、完全差動8ビットデジタル化及びユニークなエンコード方式を採用することにより、準安定状態を 10^{16} クロックサイクルで1エラーに抑え、しかも1LSB(max)を超えるエラーが生じません。

集積化8:16出力デマルチプレクサは、出力データ速度をサンプリングクロック速度の半分に低減することにより、本製品へのインタフェースを単純化しています。このデマルチプレクサは内部リセット能力を持っているため、複数のMAX104のタイムインターリーブによってさらに高い実効サンプリング速度を実現します。

1Gsp/sクロックで駆動した場合、MAX104はアナログ入力周波数500MHzにおいて標準有効ビット数(ENOB)7.5以上を提供します。MAX104のアナログ入力は差動又はシングルエンド用に設計されており、フルスケール入力範囲は±250mVとなっています。さらに、本ADCは+2.5V高精度バンドギャップリファレンスを内蔵しています。必要に応じて、外部リファレンスを使用することも可能です。

動作原理

MAX104のフラッシュ又はパラレル構造は、全ての一般的な集積化ADC設計の中で最も速いマルチビット変換を提供します。この高速フラッシュ構造のかなめは、革新的な高性能コンパレータ設計です。フラッシュコンバータ及びダウンストリームロジックがコンパレータ

±5V、1Gps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

出力をパラレル8ビットコードに変換し、このバイナリコードをオプションの8:16デマルチプレクサに送ります。ここで、主及び補助ポートが、ポート当たり最大500Mpsまでの速度(MAX104のデマルチプレクサ部の設定に依存)でPECLコンパチブルのデータを出力します。

図2に理想的な伝達関数を示します。

内蔵トラック/ホールドアンプ

これは全てのADCについて共通していますが、変換中に入力波形が急速に変化すると、有効ビット数(ENOB)及び信号対雑音比(SNR)の仕様が劣化します。MAX104の内蔵広帯域(2.2GHz)T/Hアンプはこの影響を低減し、ENOB性能を著しく改善するため、高変換速度で高速アナログデータの高精度捕捉を実現できます。

T/Hアンプは入力信号をバッファし、フルスケール信号入力範囲として±250mVを受け付けます。T/Hアンプは差動50Ω入力終端処理が施されているため、インピーダンスが調整されたラインを使用してMAX104にインタフェースしやすくなっています。図3に、MAX104の内部のT/Hアンプ段の簡略化回路図を示します。

アパーチャ幅、遅延及びジッタ(又は不確実性)は、高速コンバータの動的性能に影響するパラメータです。特にアパーチャジッタは、SNRに直接影響し、大きな誤差を生じずに数値化できる最大スルーレート(dV/dt)を制限します。MAX104は革新的なT/Hアンプ設計によって、アパーチャジッタを0.5ps以下(typ)に抑えています。

アパーチャ幅

アパーチャ幅(t_{AW})は、(例えば、サンプリングブリッジをターンオフしてT/Hユニットをホールドモードにするために)T/H回路がホールドコンデンサを入力回路から切り離すのに要する時間(図4)です。

アパーチャジッタ

アパーチャジッタ(t_{AJ})は、サンプル同士の時間間隔のばらつき(図4)です。

アパーチャ遅延

アパーチャ遅延(t_{AD})はサンプリングクロックの立上がり時と、サンプルが実際にとられる時点の間の時間です(図4)。

内部リファレンス

MAX104は+2.5V高精度リファレンスを内蔵しています。このリファレンスは、REFOUTをREFINに接続することにより使用できます。これにより、リファレンス出力がリファレンスバッファの正入力に接続されます。このバッファの負入力、内部でGNDRに接続されています。GNDRは、ユーザのアプリケーション基板上で

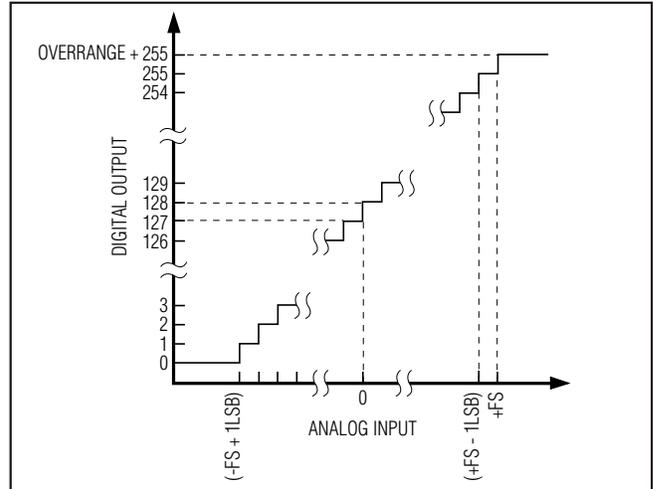


図2. 伝達関数

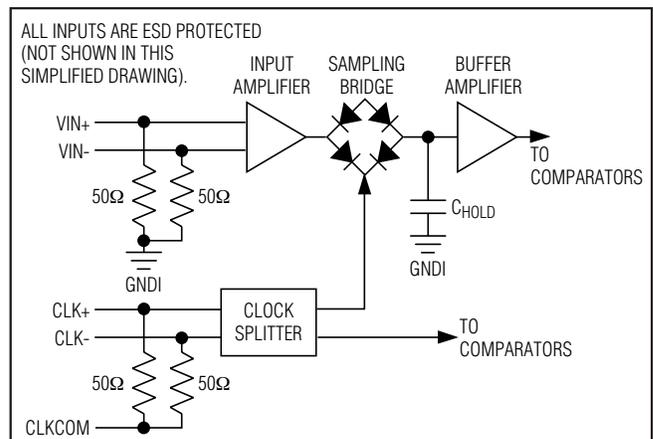


図3. 2.2GHz T/Hアンプの内部構造

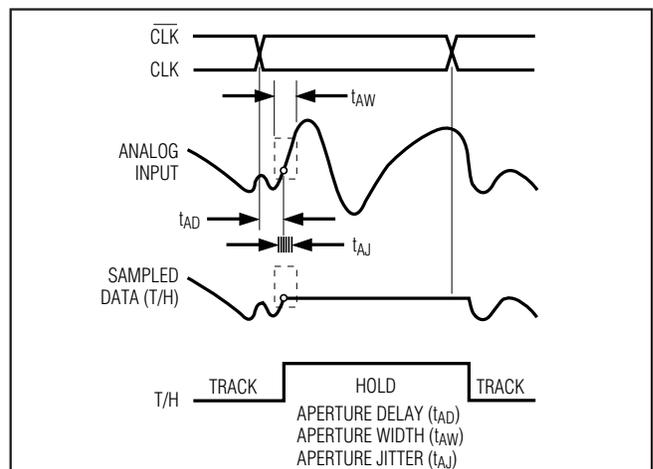


図4. T/Hアパーチャのタイミング

±5V、1Gbps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

GNDDに接続されていることが必要です。REFOUTは、必要に応じて外部機器を駆動するために2.5mAまで出力できます。

可変外部リファレンスを使用してADCのフルスケール範囲を調節できます。外部リファレンスを使用するには、高精度リファレンスをREFINに接続し、REFOUTピンを未接続にしておいて下さい。この構成においては、2つのリファレンスの競合を避けるため、REFOUTを同時に接続しないで下さい。REFINの標準入力抵抗は5kΩで、+2.5V±200mVの入力電圧を受け付けます。最高の性能を得るには、MAX104の内部リファレンスの使用をお勧めします。

デジタル出力

MAX104は、オフセットバイナリフォーマットでデータを差動PECL出力に提供します。図5にPECL出力セルの簡略化回路図を示します。全てのPECL出力はV_{CC0}によって駆動されます。V_{CC0}として+3.0V~V_{CCD}間の任意の電圧が可能であるため、+3.3V又は+5Vのいずれの機器ともフレキシブルなインタフェースが可能です。公称V_{CC0}電源電圧は+3.3Vです。

MAX104の全てのPECL出力はオープンエミッタ型で、各伝送ラインの終端で(V_{CC0}~2V)に50Ωで終端処理しておく必要があります。表1に、MAX104のPECL出力及びそれらの機能を示します。

デマルチプレクサの動作

MAX104のデータデマルチプレクサは、2つのTTL/CMOSコンパチブル入力(DEMUXEN、DIVSELECT)によって制御される3つの異なる動作モードを提供します(「デマルチプレックスDIV2モード」, 「非デマルチプレックスDIV1モード」及び「デシメーションDIV4モード」の項を参照)。

表1. PECL出力機能

PECL OUTPUT SIGNALS	FUNCTIONAL DESCRIPTION
P0+, P0-, P1+, P1-, P2+, P2-, P3+, P3-, P4+, P4-, P5+, P5-, P6+, P6-, P7+, P7-	Primary-Port Differential Outputs from LSB to MSB. A "+" indicates the true outputs; a "-" denotes the complementary outputs.
A0+, A0-, A1+, A1-, A2+, A2-, A3+, A3-, A4+, A4-, A5+, A5-, A6+, A6-, A7+, A7-	Auxiliary-Port Differential Outputs from LSB to MSB. A "+" indicates the true outputs; a "-" denotes the complementary outputs.
DREADY+, DREADY-	Data-Ready Clock True and Complementary Outputs. These signal lines are used to latch the output data from the primary to the auxiliary output ports. Data changes on the rising edge of the DREADY clock.
OR+, OR-	Overrange True and Complementary Outputs
RSTOUT+, RSTOUT-	Reset Output True and Complementary Outputs

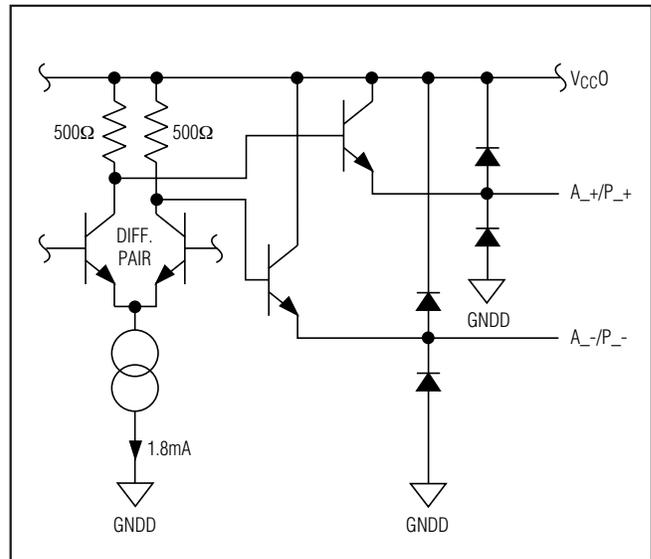


図5. 簡略化PECL出力構造

DEMUXENは、内部1:2デマルチプレクサの動作をイネーブル/ディセーブルします。DEMUXENがロジックハイになると、内部デマルチプレクサがアクティブになり、ロジックローになると非アクティブになります。内部デマルチプレクサがイネーブルされた状態で、DIVSELECTは動作モードの選択を制御します。DIVSELECTがローの時はデマルチプレックスDIV2モードになり、DIVSELECTがハイの時はデシメーションDIV4モードになります(表2)。

±5V、1Gps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

非デマルチプレックスDIV1モード

MAX104は、非デマルチプレックスDIV1モードにおいて最大500Mspsまで動作可能です(表2)。このモードにおいては、内部デマルチプレックスはディセーブルされ、サンプリングされたデータは主ポートのみに現れます。補助ポートにはそのデータが1クロックサイクル遅れて現れます(図6)。補助出力ポートは主出力ポートと同じデータストリームを含むため、AUXEN1及びAUXEN2をデジタルグランド(GNDD)に接続することにより、補助ポートをシャットダウンして電力を節約することができます。これにより、内部バイアスセルがパワーダウンして、補助ポートの両方の出力(真及びコンプリメンタリ)がロジックハイレベルにプルアップされます。全ての補助出力ポートからPECL終端電源

($V_{CC0} - 2V$)に接続されている外部50Ω終端抵抗を取り外すことにより、さらに電力を節約できます。

デマルチプレックスDIV2モード

MAX104は、内部で選択可能なDIV2モードを備えています(表2)。このモードは、出力データ速度をサンプルクロック速度の半分に低減します。デマルチプレックスされた出力はデュアル8ビットフォーマットの形になり、主及び補助出力ポートに2つの連続するサンプルがデータレディクロックの立上がりエッジで現れます(図7)。補助データポートが以前のサンプルを含み、主出力が最新のデータサンプルを含みます。補助ポートPECL出力ドライバをパワーアップするには、AUXEN1とAUXEN2が V_{CC0} に接続されている必要があります。

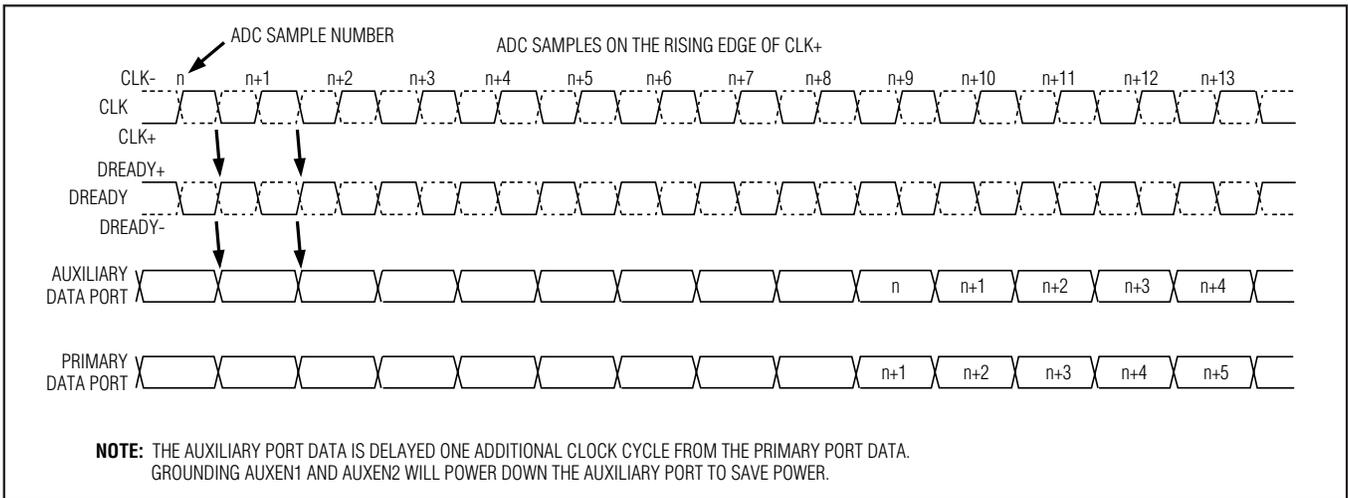


図6. 非デマルチプレックスDIV1モードのタイミング図

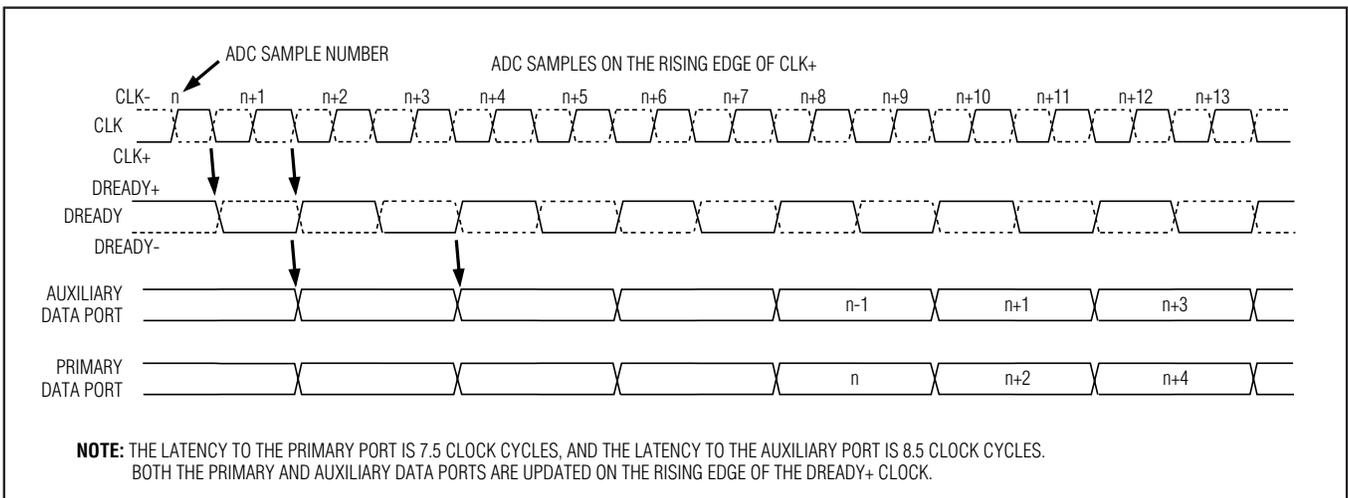


図7. デマルチプレックスDIV2モードのタイミング図

±5V、1Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

デシメーションDIV4モード

MAX104は、特殊なデシメーションされたデマルチプレックス出力モードを備えています（図8）。このモードにおいては、ADCは入力サンプルを1つおきに捨てて、入力サンプリング速度の1/4の速度でデータを出力します。このモードは出力データ速度が遅くなるため、システムデバッグに便利です。入力クロックが1GHzの場合、DIV4モードの出力データ速度は出力ポート当たり250MHzに低減されます（表2）。入力のサンプルが1つおきに捨てられるため、コンバータの実効サンプル速度は500MHzとなります。

オーバーレンジ動作

主及び補助デマルチプレックス出力の両方について、単一の差動PECLオーバーレンジ出力ビット(OR+、OR-)が提供されています。オーバーレンジビットの動作は、

内部デマルチプレクサの状態に依存します。デマルチプレックスDIV2モード及びデシメーションDIV4モードにおいては、ORビットは主又は補助ポートがオーバーレンジのサンプルを含んでいる場合にフラグを発生します（表2）。非デマルチプレックスDIV1モードの場合、ORポートは主出力ポートがオーバーレンジサンプルを含んでいる場合にのみフラグを発生します。

アプリケーション情報

シングルエンドのアナログ入力

MAX104のT/Hアンプは、シングルエンド及び差動の両アナログ入力においてフルスピードで動作するように設計されています（図9）。入力VIN+及びVIN-はレーザートリミングされた50Ω終端抵抗を内蔵しており、優れた電圧定常波比(VSWR)性能を提供します。

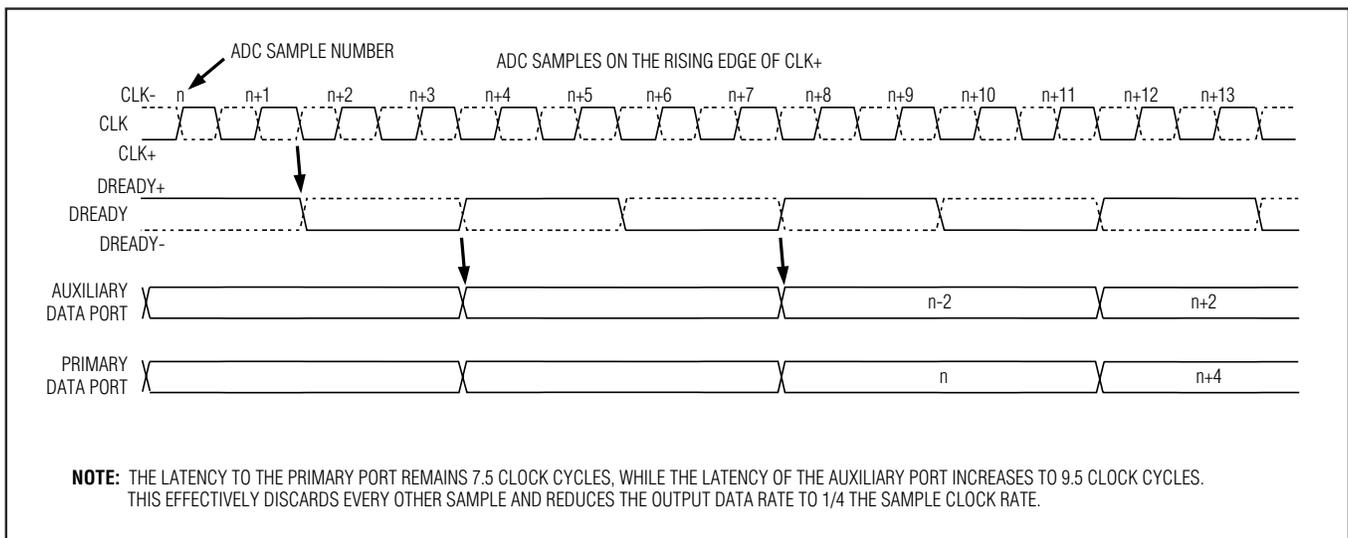


図8. デシメーションDIV4モードのタイミング図

表2. デマルチプレクサの動作

DEMUXEN	DIVSELECT	DEMUX MODE	OVERRANGE BIT OPERATION
Low	X	DIV1 500Msps (max)	Flags overrange data appearing in primary port only.
High	Low	DIV2 500Msps/port	Flags overrange data appearing in either the primary or auxiliary port.
High	High	DIV4 250Msps/port	

X = 任意

±5V、1Gpsps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

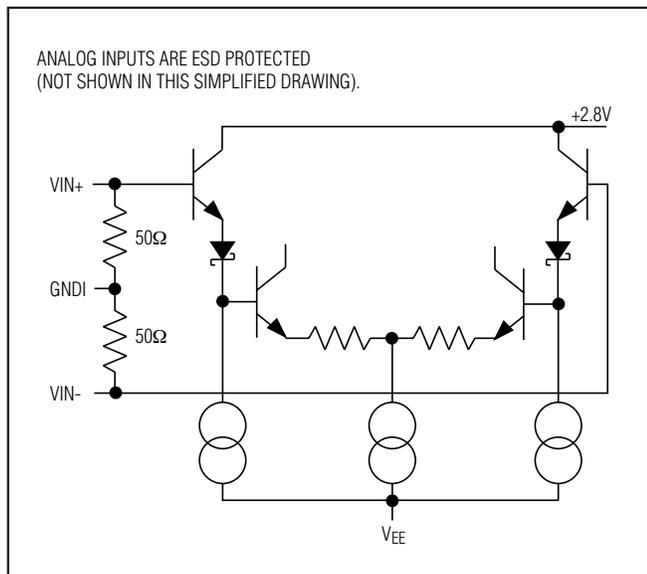


図9. 簡略化アナログ入力構造(シングルエンド/差動)

標準的なシングルエンド構成において、アナログ入力信号(図10a)は同相入力(VIN+)のT/Hアンプ段に入り、逆相入力(VIN-)は外部50ΩでGNDIに逆終端処理されています。シングルエンド動作においては、入力振幅±250mVが可能です。表3に、シングルエンド動作における入力電圧及び対応する出力コードを示します。

差動アナログ入力

差動入力駆動(図10b)でフルスケールデジタル出力を得るには、VIN+とVIN-の間に250mVp-pを印加する必要があります(VIN+ = +125mV、VIN- = -125mV)。中間スケールのデジタル出力コード(01111111又は10000000)は、VIN+とVIN-の間に電圧差がないときに生じます。ゼロスケールのデジタル出力コードを得る

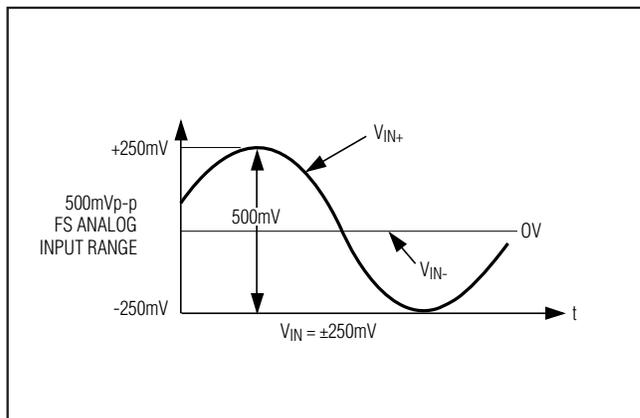


図10a. シングルエンドアナログ入力信号

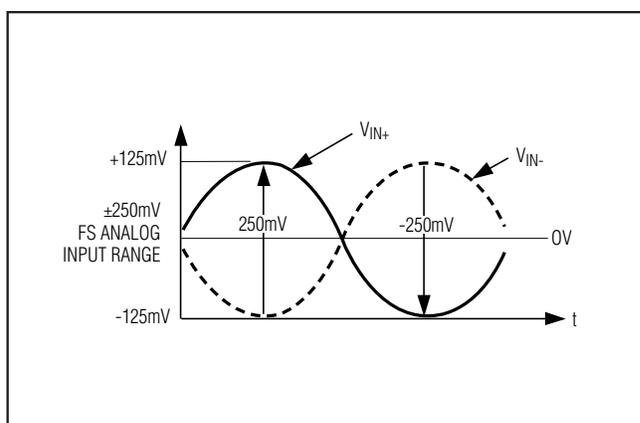


図10b. 差動アナログ入力信号

には、同相(VIN+)入力が-125mV、逆相入力(VIN-)が+125mVであることが必要です。最高の性能を得るには、差動入力駆動をお勧めします。表4に、差動入力電圧と対応する出力コードを示します。

表3. シングルエンド動作の理想的な入力電圧と出力コードの関係

VIN+	VIN-	OVERRANGE BIT	OUTPUT CODE
+250mV	0V	1	11111111 (full scale)
+250mV - 1LSB	0V	0	11111111
0V	0V	0	01111111 toggles 10000000
-250mV + 1LSB	0V	0	0000001
-250mV	0V	0	00000000 (zero scale)

±5V、1Gbps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

表4. 差動動作の理想的な入力電圧と出力コードの関係

VIN+	VIN-	OVERRANGE BIT	OUTPUT CODE
+125mV	-125mV	1	11111111 (full scale)
+125mV - 0.5LSB	-125mV + 0.5LSB	0	11111111
0V	0V	0	01111111 toggles 10000000
-125mV + 0.5LSB	+125mV - 0.5LSB	0	00000001
-125mV	+125mV	0	00000000 (zero scale)

オフセット調整

これらのデバイスは、システムオフセットを補償するための制御入力(VOSADJ)を提供しています。オフセット調整入力は、内部+2.5V高精度リファレンスからの自己バイアス分圧されています。公称開放電圧はリファレンス電圧の半分です。標準的な入力抵抗が25kΩのこのピンをREFOUTとGNDIの間に接続された外部10kΩポテンショメータで駆動することにより、オフセットエラーを補正できます(図11)。この制御機能によるオフセット調整範囲は±5.5LSB(typ)です。

クロック動作

MAX104は、シングルエンドと差動の両動作に設計されたクロック入力を備えているため、入力駆動の必要条件がフレキシブルになっています(図12)。各クロック入力は、チップ上のレーザトリミングされた50Ω抵抗でCLKCOM(クロック終端リターン)に対して終端処理されています。CLKCOM終端電圧は、グランド~-2V間の任意電圧に接続することにより、標準ECL駆動レベルとコンパチブルにできます。

クロック入力は内部のプリアンプでバッファされているため、小振幅のサイン波ソースでもデータコンバータが適正に動作します。MAX104は、振幅が僅か100mV(-10dBm)のシングルエンド低位相ノイズサイン波クロック信号で動作するように設計されています。これにより、外部ECLクロックバッファ及びそれに伴うジッタを排除できます。

シングルエンドクロック入力(サイン波ドライブ)

低位相ノイズのサイン波ソースをシングルクロック入力にAC又はDCカップリングすることにより、優れた性能が得られます(図13a、表5)。適正なDCバランスを得るには、駆動されていないクロック入力を外部でGNDIに対して50Ω逆終端処理して下さい。

クロックドライブパワーレベルが-10dBm~+10dBm(クロック信号振幅100mV~1V)の範囲であれば、データコンバータの動的性能にほとんど影響しません。MAX104

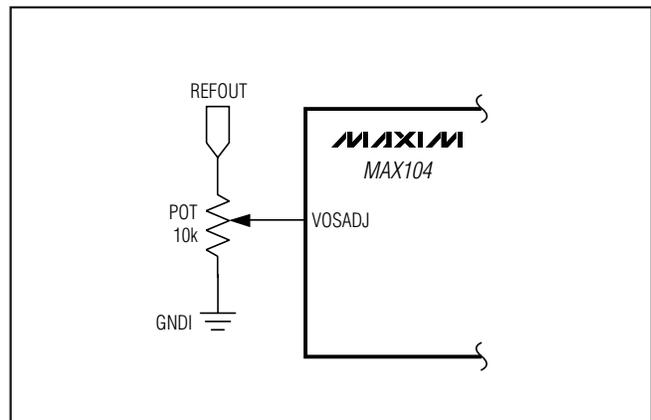


図11. 外部10kΩポテンショメータによるオフセット調節

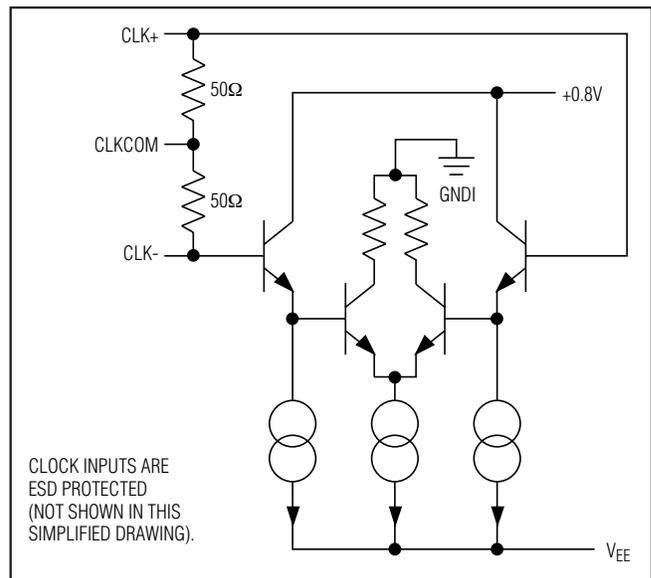


図12. 簡略化クロック入力構造(シングルエンド/差動)

±5V、1Gps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

動的性能の仕様は、+4dBm(クロック信号振幅+500mV)のシングルエンドクロックドライブを使用して測定されています。入力アンプ段の飽和を防ぐため、クロックパワーレベルを最大+10dBmに制限して下さい。

差動クロック入力(サイン波ドライブ)

適切な平衡不平衡変成器又はトランスを使用してシングルエンドのサイン波ソースを差動ドライブに変換すると、差動クロックドライブ(図13b、表5)の利点を活用できます。高精度の内蔵のレーザトリミングされた50Ωクロック終端抵抗によって、優れた振幅マッチングが保証されます。適正な入力振幅必要条件については、「シングルエンドクロック入力(サイン波ドライブ)」を参照して下さい。

シングルエンドクロック入力(ECLドライブ)

MAX104をシングルエンドECLクロックドライブ用に設定するには、クロック入力を図13cに示す方法で接続して下さい(表5)。駆動されていないクロック入力

にノイズがカップリングして動的性能を劣化させるのを防ぐため、良好なバイパスを備えたV_{BB}電源(-1.3V)が必須です。

差動クロック入力(ECLドライブ)

CLKCOMにおけるクロック終端電圧を-2Vに設定することにより、MAX104を標準的な差動(図13d、表5)ECLクロックソースで駆動できます。クロック終端リターン(CLKCOM)は、ADCにできるだけ近いところで0.01μFのコンデンサを使用してGNDIにバイパスして下さい。

クロック入力のACカップリング

クロック入力ACカップリングされている場合、正を基準とするECL(PECL)でクロック入力CLK+及びCLK-を駆動することもできます。この条件においては、CLKCOMをGNDIに接続して下さい。駆動されていないクロック入力、駆動されている入力のカップリングに使用されているものと同じ値のコンデンサと50Ω抵抗

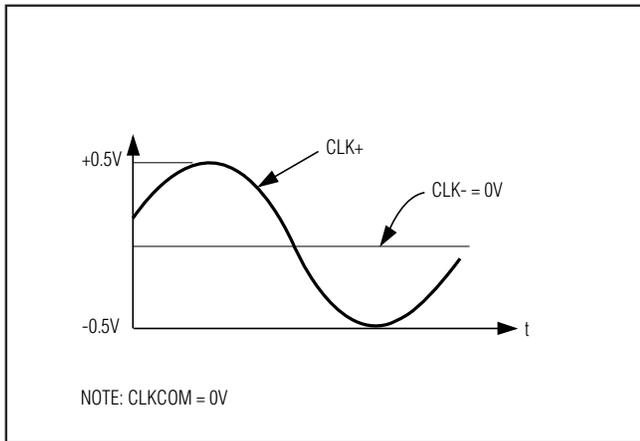


図13a. シングルエンドのクロック入力信号

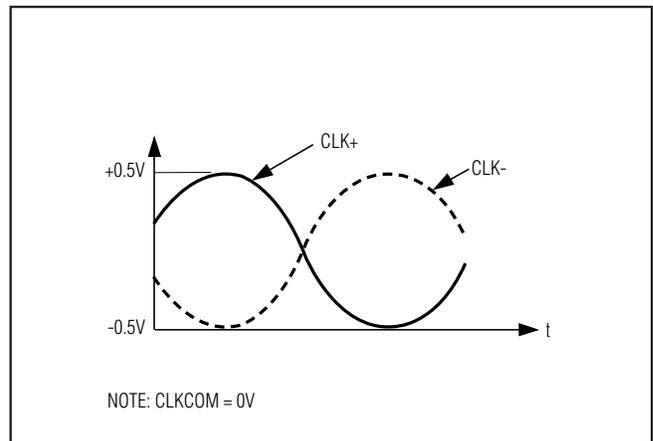


図13b. 差動クロック入力信号

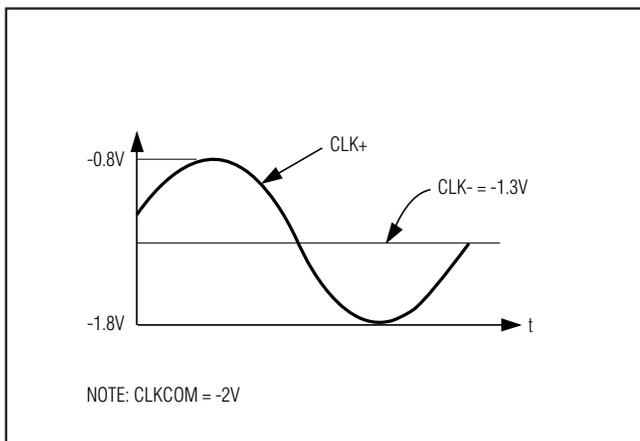


図13c. シングルエンドのECLクロックドライブ

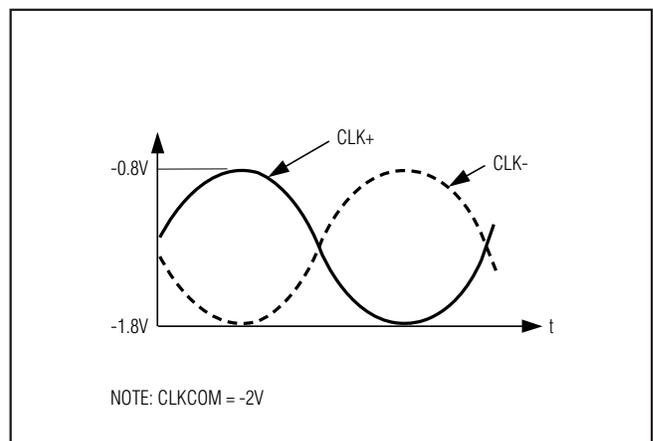


図13d. 差動ECLクロックドライブ

±5V、1Gps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

表5. DCカップリングのクロック駆動オプション

CLOCK DRIVE	CLK+	CLK-	CLKCOM	REFERENCE
Single-Ended Sine Wave	-10dBm to +4dBm	External 50Ω to GNDI	GNDI	Figure 13a
Differential Sine Wave	-10dBm to +4dBm	-10dBm to +4dBm	GNDI	Figure 13b
Single-Ended ECL	ECL Drive	-1.3V	-2V	Figure 13c
Differential ECL	ECL Drive	$\overline{\text{ECL}}$ Drive	-2V	Figure 13d

を直列に接続したもので、GNDIに対して逆終端処理されている場合には、シングルエンドのECL/PECL/サイン波駆動も可能です。

デマルチプレクサのリセット動作

MAX104は、出力デジタルデータのデータ速度をサンプルクロックデータの半分に低減する内部1:2デマルチプレクサを備えています。デマルチプレクサのリセットは、複数のMAX104をインターリーブする時、及び外部デマルチプレクサを同期させる時に必要となります。図1の簡略化ブロックダイアグラムには、4つのメイン回路ブロックからなるデマルチプレクサリセット信号経路が示されています。入力から出力に向かって、リセット入力デュアルラッチ、リセットパイプライン、デマルチプレクサクロック発生器及びリセット出力があります。デマルチプレクサリセット動作及びこのセクションの制御に関する信号は、表6に記載されています。

リセット入力デュアルラッチ

リセット入力デュアルラッチ回路ブロックは、MAX104のPECL出力を駆動しているものと同じ V_{CC0} 電源を基準とする差動PECLリセット入力を受け付けます。リセットを同期させる必要のないアプリケーションにおいては、リセット入力をオープンにしておいてかまいません。この場合、リセット入力は内部50kΩ抵抗と20μA電流ソースによって適正なレベルに自己バイアスされます。この組み合わせがRSTIN+とRSTIN-の間に-1Vの差を生成して内部リセット回路をディセーブルします。50Ωで($V_{CC0} - 2V$)に終端処理されたPECLロジックレベルで駆動された場合、内部バイアスネットワークは容易にオーバードライブされます。図14にリセット入力構造の略図を示します。

リセット入力データを適正にラッチするには、サンプルクロックの立上がりエッジから見たセットアップ時間(t_{SU})及びデータホールド時間(t_{HD})の仕様が満たされている必要があります。図15のタイミング図に、リセット入力とサンプリングクロックの間のタイミング関係を示します。

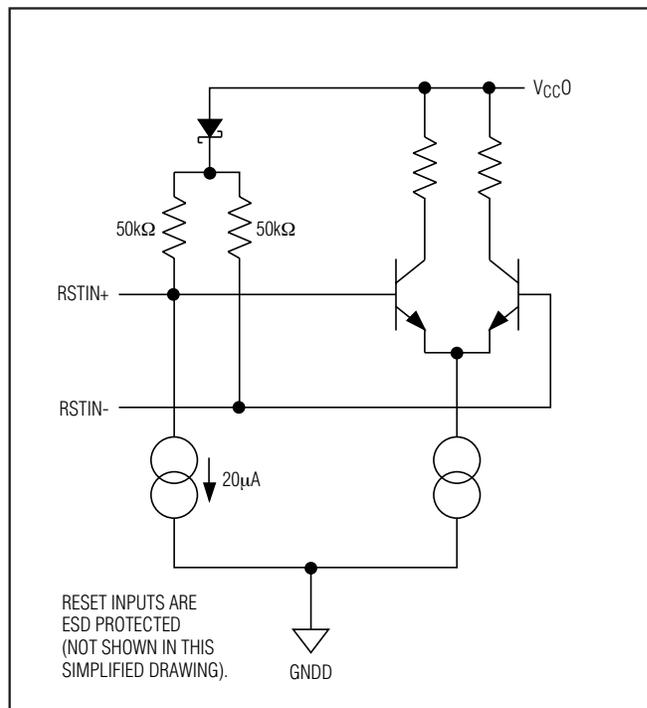


図14. リセット入力構造の略図

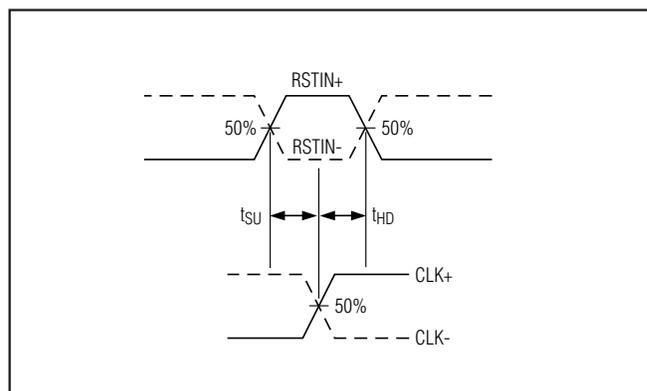


図15. リセット入力タイミングの定義

±5V、1Gpsps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

表6. デマルチプレクサ動作及びリセット制御信号

SIGNAL NAME	TYPE	FUNCTION
CLK+, CLK-	Sampling clock inputs	Master ADC timing signal. The ADC samples on the rising edge of CLK+.
DREADY+, DREADY-	Differential PECL outputs	Data-Ready PECL Output. Output data changes on the rising edge of DREADY+.
RSTIN+, RSTIN-	Differential PECL inputs	Demux reset input signals. Resets the internal demux when asserted.
RSTOUT+, RSTOUT-	Differential PECL outputs	Reset outputs for resetting additional external demux devices

リセットパイプライン

リセット信号経路における次のセクションはリセットパイプラインです。このブロックの目的は、変換されたアナログデータがADCを通り抜ける待ち時間と一致するように、クロックサイクルの待ち時間を付加することです。このようにすると、リセットデータがRSTOUT+/RSTOUT- PECL出力に到達したときに、RSTIN+/RSTIN-でリセット入力の発生が停止された時点で、主及び補助ポートに存在するアナログデータと時間的に調整されます。

デマルチプレクサクロック発生器

デマルチプレクサクロック発生器は、デマルチプレクス及び非デマルチプレクス動作の様々なモードに必要とされるDIV1、DIV2又はDIV4クロックを発生します。TTL/CMOS制御入力DEMUXEN及びDIVSELECTは、デマルチプレクスモードの選択を制御します(表2を参照)。図16と図17のタイミング図は、それぞれDIV1、DIV2及びDIV4モードにおける出力タイミング及びデータアラインメントを示しています。

デバイスのパワーアップ時には、CLK+/CLK-入力におけるサンプリングクロックとDREADY+/DREADY-出力におけるデータレディクロックの間の位相関係はランダムです。全ての2分周回路について共通していることですが、これらのクロックの間は2通りの位相関係がありえます。これらの位相の間の差は、DIV2-DREADYクロックの単なる反転です。この関係は、図16のタイミング図に示されています。

インターリーブ等、2つ以上のMAX104を利用して実効サンプリング速度を高めるアプリケーションにおいては、最初のパワーアップ時に全てのMAX104を既知のDREADY位相にリセットして下さい。この同期操作は、デバイス間の出力サンプルの順番を設定するために必要です。コンバータをリセットするとこの同期操作が達成されます。リセット信号は、デマルチプレクサクロック発生器ブロックの内部カウンタを強制的に既知の位相状態にします。

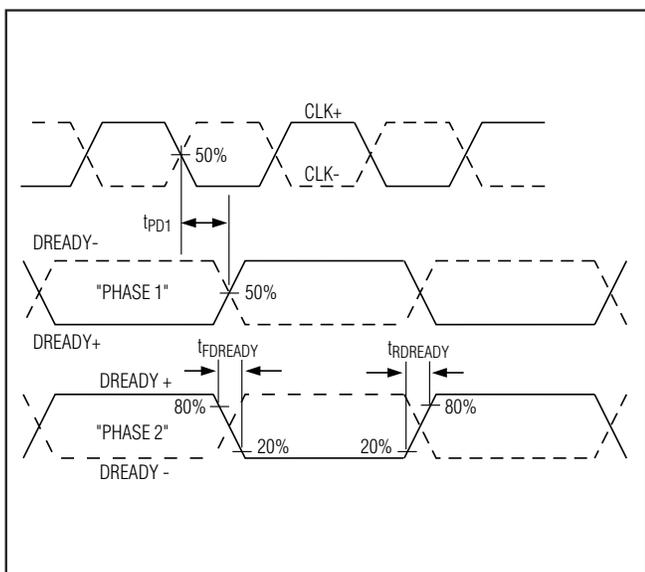


図16. デマルチプレクスDIV2モードにおけるCLK及びDREADYタイミング(2通りのDREADY位相を図示)

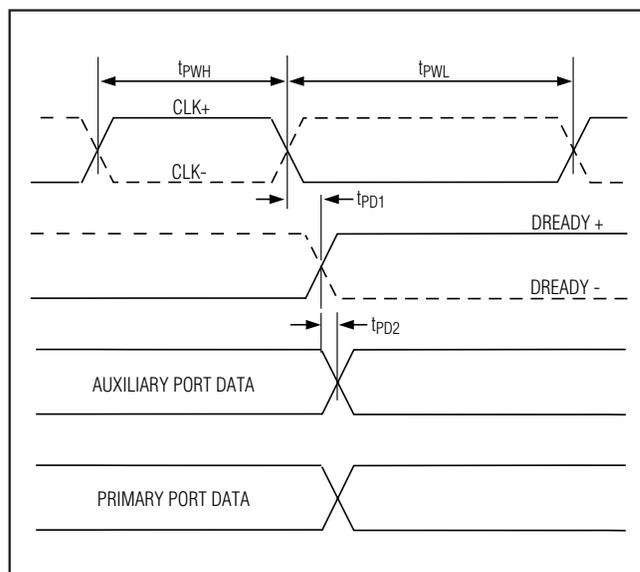


図17. 全てのモード(DIV1、DIV2、DIV4)の出力タイミング

±5V、1Gbps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

リセット出力

最後に、リセット信号は差動PECLフォーマットでリセット信号経路の最後のブロックに表れます。RSTOUT+/RSTOUT-は、出力データ速度をさらに低減する必要のあるアプリケーションにおいて、追加の外部デマルチプレクサをリセットするために使用される時間調整されたリセット信号を出力します。多くのデマルチプレクサデバイスは、クロックで駆動されている間にリセット信号がいくつかのクロックサイクルの間発生し続けることを必要とします。これを達成するため、MAX104のDREADYクロックはRSTOUTが発生している間トグルし続けます。

単一のデバイスの場合、同期リセットは必要ありません。これは、出力ポートにおけるサンプルの順番がDREADYクロックの位相に依らず不変だからです。DIV2モードにおいては、補助ポートのデータは8.5クロックサイクルだけ遅延され、主ポートのデータは7.5クロックサイクル遅延されます。古い方のデータはDREADYクロックの位相に関係なく常に補助ポートにあります。

リセット出力信号RSTOUTの遅延(6.5クロックサイクル)は、主ポートの遅延よりも1クロックサイクルだけ少なく

なっています。このようにRSTOUTは待ち時間が減らされているため、主及び補助ポートの同期データの開始を印付けることができます。RSTOUT信号がゼロに戻る時、DREADYクロック位相がリセットされます。

DREADYクロックの入力クロックに対する位相は2通り可能であるため、考慮すべきタイミング図が2つあります。最初のタイミング図(図18)は、DREADYクロック位相が既にリセットされている時の、RSTOUTタイミングと補助及び主出力ポートのデータアラインメントを示しています。この例においては、RSTINパルスの長さは2クロックサイクルです。この条件下ではDREADYクロックが中断されずに続き、補助及び主ポートのデータストリームも中断されずに続きます。

2番目のタイミング図(図19)は、DREADY位相がリセット位相と反対である場合の結果を示しています。この場合、DREADYクロックはサンプルクロックの1サイクルを「取り消し」、リセット位相に再び同期します。補助及び主ポートのデータストリームが逆転していることに注意して下さい。リセットが発生する前に、補助ポートは「偶数」サンプルを含んでおり、主ポートは「奇数」サンプルを含んでいます。RSTOUTの発生が停止した後(これが

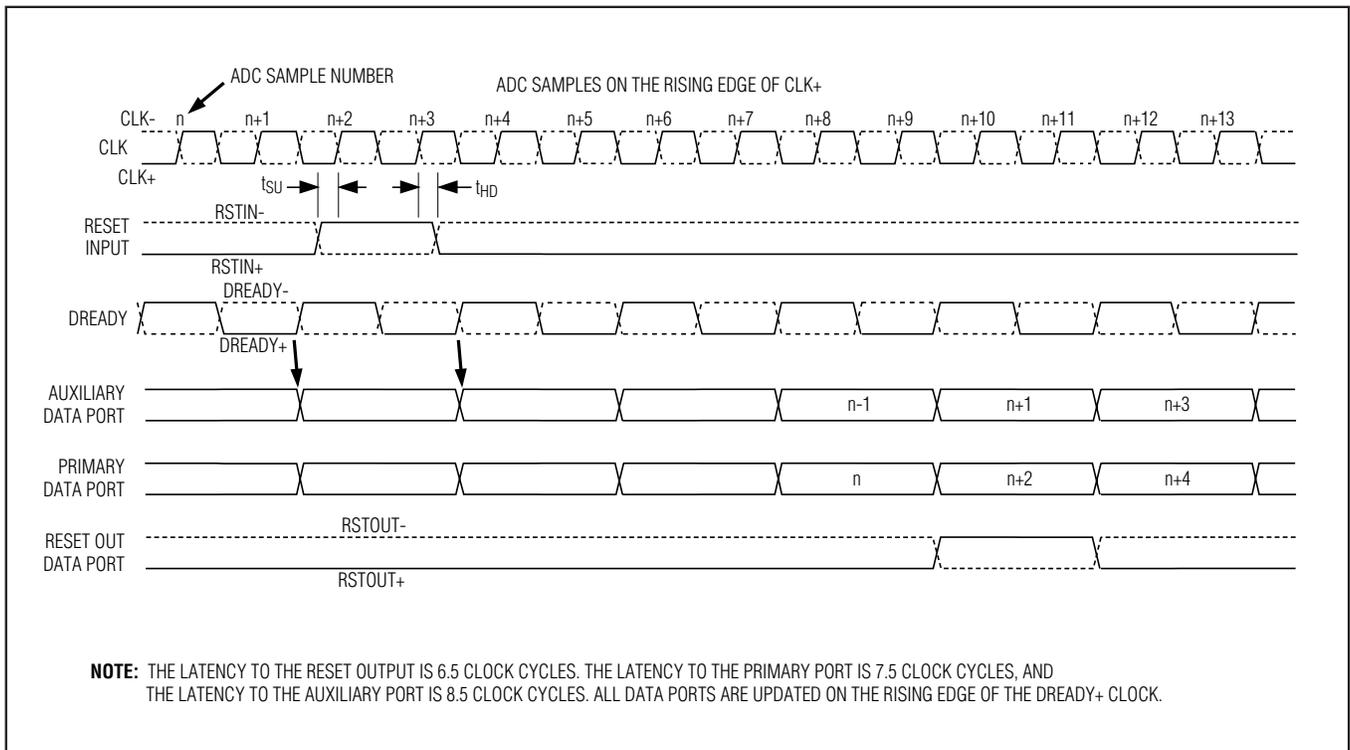


図18. デマルチプレックスDIV2モードにおけるリセット出力のタイミング(DREADYがアラインメントされている場合)

±5V、1Gps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

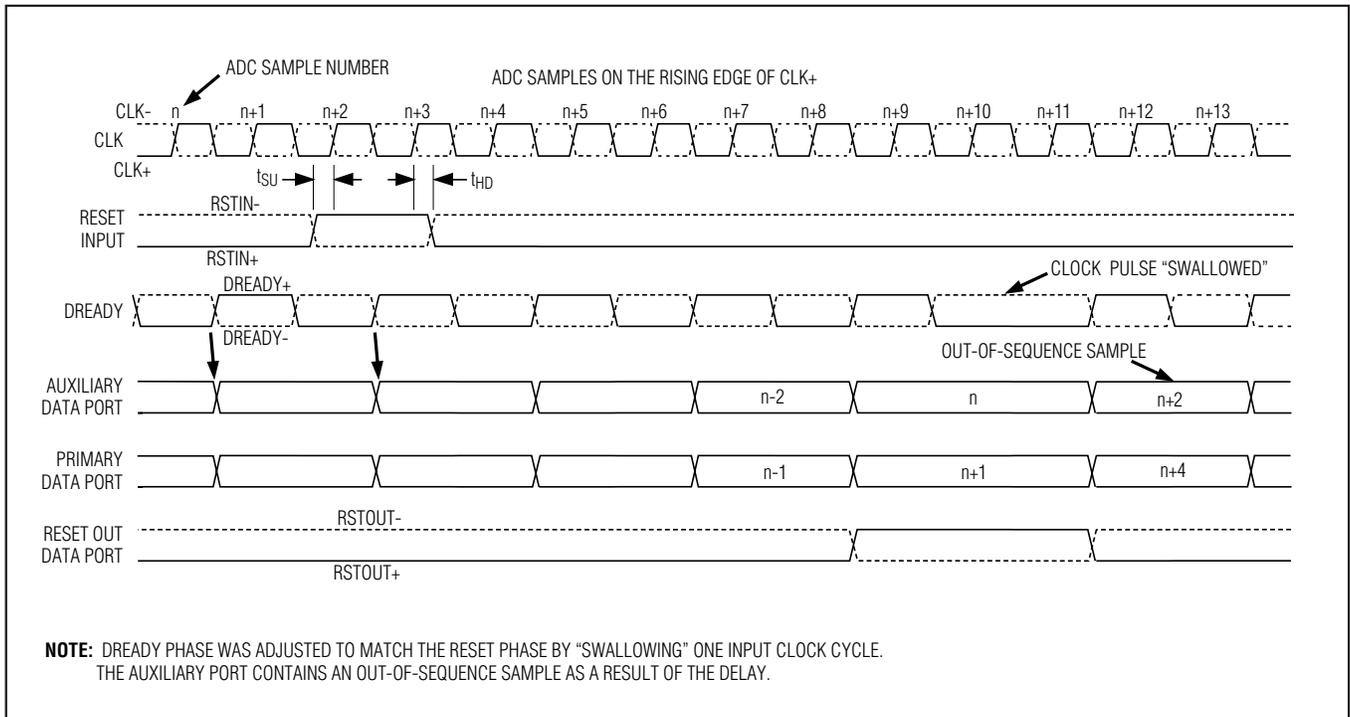


図19. デマルチプレクサDIV2モードにおけるリセット出力のタイミング(DREADYが再アラインメントされた場合)

DREADYクロックのリセット位相の開始を印付けます)、これらのポートの中のサンプルの順番が逆転していることに注意して下さい。補助ポートはシーケンスに合わないサンプルも含んでいます。これはDREADYをリセット位相に再び同期させるために必要だったクロックサイクルの「取り消し」の結果です。また、DREADY位相に関係なく、古い方のサンプルは常に補助ポートにあることに注意して下さい。

これらの例は、2クロックサイクルの長さのリセット入力信号の結果生じる組み合わせを図示しています。サンプルクロックに対するセットアップ時間及びホールド時間の必要条件が満たされている場合は、内部MAX104デマルチプレクサを長さ1クロックサイクルだけのリセットパルスでリセットすることも可能です。しかし、その他に外部デマルチプレクサを使用している場合にはこれは推奨できません。

多くのデマルチプレクサデバイスでは、クロックで駆動されている間にリセット信号が発生している必要があること、また1クロックサイクルよりも長いリセットを要する可能性があることに注意して下さい。さらに重要なことは、DREADYクロックの位相が再同期のために1クロックサイクルが「取り消し」ような位相であった場合、リセット出力はまったく生じなくなります。実効的には、RSTOUT信号がクロックパルスと共に

「取り消す」こととなります。完全なシステムリセットを補償する最善の方法は、外部デマルチプレクサの完全なリセットに必要な数のDREADYクロックサイクルの間RSTINを発生し続けることです。

チップ温度の測定

チップ温度の測定を必要とするアプリケーションにおいては、 I_{CONST} 及び I_{PTAT} (コンタクト I_{CONST} 及び I_{PTAT})の電流を測定することにより、通常動作条件におけるMAX104のチップ温度を求めることができます。これらは公称100 μ Aの電流で、27 $^{\circ}$ Cで等しくなるように設計されています。これらの電流は、MAX104の内部高精度+2.5Vバンドギャップリファレンスから供給されます。 I_{CONST} は温度に依存しないように設計されているのに対して、 I_{PTAT} は絶対温度に直接比例します。これらの電流は、 V_{CC1} を基準とするPNP電流ソースから供給され、GNDIに接続された2つの直列ダイオードに流れ込みます。コンタクト I_{CONST} 及び I_{PTAT} はオープンのままにしておかれません。これは、内部キャッチダイオードが電流ソースの飽和を防ぐためです。チップ温度を測定する最も単純な方法は、GNDIを基準とする電流計で各電流を測定することです(この電流計がキャッチダイオードをシャットオフします)。摂氏のチップ温度は次式で計算されます。

±5V、1Gbps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

$$T_{DIE} = 300 \times \left[\frac{I_{PTAT}}{I_{CONST}} \right] - 273$$

チップ温度を測定するもう1つの方法では、図20に示すオペアンプ回路を使用します。この回路はチップ温度に比例する電圧を生成します。この信号を使用したアプリケーションとしては、MAX104のチップ温度を一定に保つための冷却ファンの速度制御が挙げられます。この回路は、 I_{CONST} 及び I_{PTAT} 電流を電圧 V_{CONST} 及び V_{PTAT} に変換することで動作します(この時これらが+27°Cで同じ値になることを考慮に入れてスケールします)。この電圧差が、可変利得の計測器アンプとして構成された2つのアンプによって増幅されます。回路利得の公称値は4.5092V/Vです。計測器アンプの利得は次式で与えられます。

$$A_V = \frac{V_{TEMP}}{V_{CONST} - V_{PTAT}}$$

$$A_V = 1 + \frac{R1}{R2} + 2 \times \frac{R1}{R3}$$

この回路のキャリブレーションを行うには、まずJU1のピン2~3を接続してPTAT経路の入力をゼロにしてください。MAX104がパワーアップした状態で、 V_{TEMP} 出力が-2.728VになるまでポテンショメータR3を調節してください。キャリブレーションが完了した後、JU1のピン1~2を接続すると回路の通常動作が回復します。このようにすると、 V_{TEMP} ノードにおける電圧は次式に従って実際のMAX104のチップ温度に比例します。

$$T_{DIE} (^{\circ}C) = 100 \times V_{TEMP}$$

オペアンプスケールリング回路を使用したチップ温度測定の全精度は、主に回路内の抵抗の精度とマッチングによって制限されます。

熱管理

アプリケーション環境によっては、ESBGAパッケージのMAX104の基板実装の後で外部ヒートシンクをパッケージに取り付けることが必要になる場合もあります。既存のオープンツールのヒートシンクは、標準的なヒートシンクメーカから入手可能です(「ヒートシンクメーカ」を参照)。ヒートシンクはすでに接着剤が付いているため、パッケージへの取付が容易です。

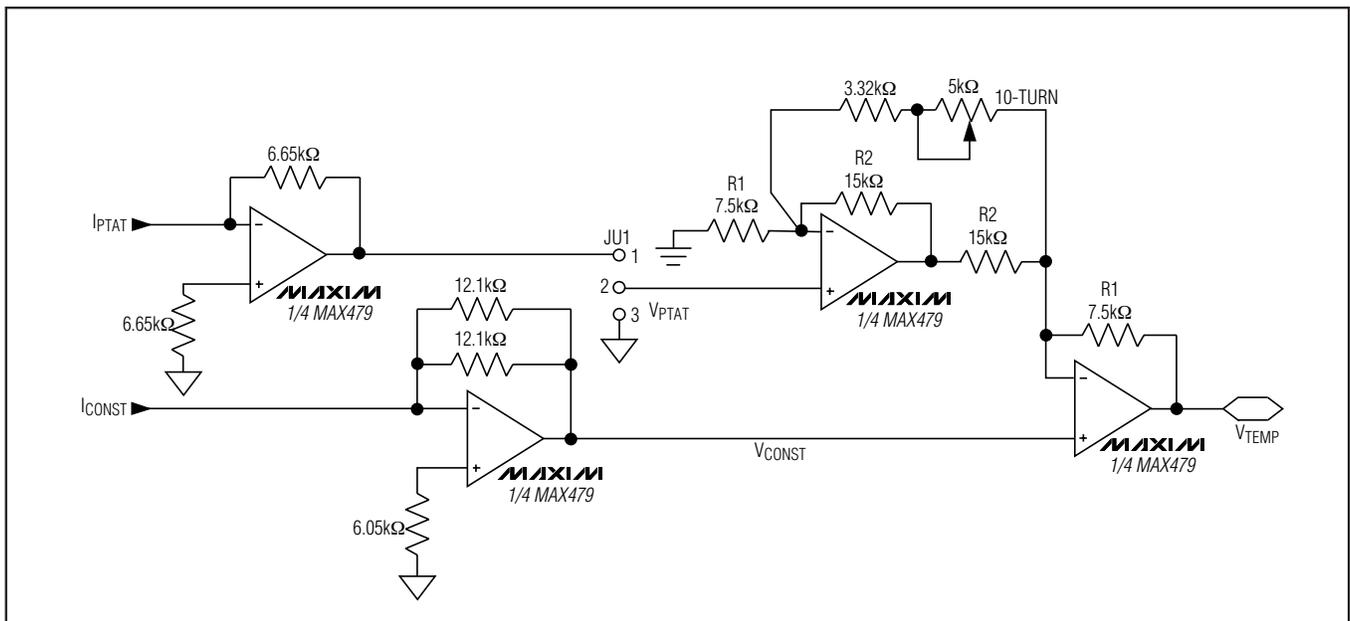


図20. MAX479を使用したチップ温度収集回路

±5V、1Gps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX104

表7. ヒートシンクがある場合とない場合の
MAX104の熱的性能

AIRFLOW (linear ft./min.)	MAX104 θ_{JA} (°C/W)	
	WITHOUT HEATSINK	WITH HEATSINK
0	16.5	12.5
200	14.3	9.4
400	13	8.3
800	12.5	7.4

熱的性能

MAX104は、ジャンクションから周囲環境への熱抵抗を求めるためにモデル化されています。表7に、本ADCの熱的性能パラメータを示します。

周囲温度： $T_A = +70^\circ\text{C}$

ヒートシンク寸法：25mm x 25mm x 10mm

基板サイズ及びレイアウト：4インチx4インチ
2信号層
2電源層

ヒートシンクメーカー

Aavid Engineering社及びIERC社は、25mm x 25mm ESBGAパッケージに合うオープンツールの薄型ヒートシンクを提供しています。

Aavid Engineering, Inc.

電話：714-556-2665

ヒートシンクカタログ番号：335224B00032

ヒートシンク寸法：25mm x 25mm x 10mm

International Electronic Research Corporation (IERC)

電話：818-842-7277

ヒートシンクカタログ番号：BDN09-3CB/A01

ヒートシンク寸法：23.1mm x 23.1mm x 9mm

バイパス/レイアウト/電源

グランディングと電源デカップリングは、MAX104の性能に強く影響します。クロック周波数が1GHzで分解能が8ビットである場合、望ましくないデジタルクロストークが入力、リファレンス、電源及びグランド接続部を通じてカップリングし、ADCの動的性能に悪影響を与えます。このため、グランディング及び電源デカップリングのガイドラインに忠実に従ってください(図22)。

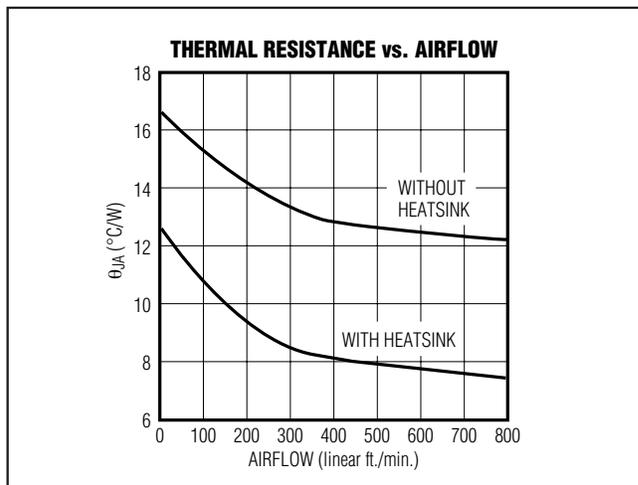


図21. MAX104の熱的性能

マキシム社では、グランドプレーンと電源プレーンが別々になった複層プリント基板(PCB)の使用を強く推奨します。MAX104は、アナログとデジタルのグランド接続部が別々になっているため(それぞれGNDA、GNDI、GNDR及びGNDD)、プリント基板はアナログとデジタルのグランド部が別々になっており、一点のみ(電源での星型グランド)で接続されるようにして下さい。デジタル信号はデジタルグランドプレーンの上に引き、アナログ信号はアナロググランドプレーンの上に引いて下さい。デジタル信号は、敏感なアナログ入力、リファレンス入力及びクロック入力から遠ざけて下さい。クロック、アナログ入力及びデジタル出力等の高速信号は、MAX104EVKITで使用されているような50Ωマイクロストリップラインを使用して配線して下さい。

MAX104は、アナログとデジタルの電源入力が別々になっています。即ち、 V_{EE} (-5Vアナログ及びサブストレート電源)及び V_{CC1} (+5V)がT/Hアンプ、クロック分配、バンドギャップリファレンス及びリファレンスアンプを駆動し、 V_{CCA} (+5V)がADCのコンパレータアレイに電源を供給し、 V_{CCO} (+3V~ V_{CCD})が全てのPECLベースの回路セクションに電源を供給し、さらに V_{CCD} (+5V)がデータコンバータの全てのロジック回路に電源を供給しています。

パワーアップ中に、MAX104の V_{EE} 電源コンタクトがオープンのままになることは許されません。この状態を避けるため、 V_{EE} とGNDIの間に高速ショットキダイオード(モトローラ1N5817等)を付加して下さい。このダイオードは、デバイスのサブストレートが順方向バイアスしてラッチアップの原因になるのを防ぎます。

±5V、1Gbps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

全ての電源は、プリント基板に入るところで大きなタンタル又は電解コンデンサを使用してデカップリングして下さい。最高の性能を得るには、全ての電源を適切なグラウンドにバイパスして下さい。このバイパスには、電源ノイズを除去するための10 μ Fタンタルコンデンサと、非常に周波数の高いノイズを除去するためにMAX104の直近に配置された0.01 μ Fコンデンサ及び高品質の47pFセラミックチップコンデンサを並列にしたものを使用して下さい。

静的パラメータの定義

積分非直線性(INL)

積分非直線性は、実際の伝達関数値の直線からの偏差です。この直線は、最良の直線フィット(実際の伝達曲線に最も近い近似)あるいはオフセット及び利得誤差を nul(ゼロ)にした後に伝達関数の終点間を結んだ線です。MAX104の静的直線性パラメータは、最良直線フィット法により測定されています。

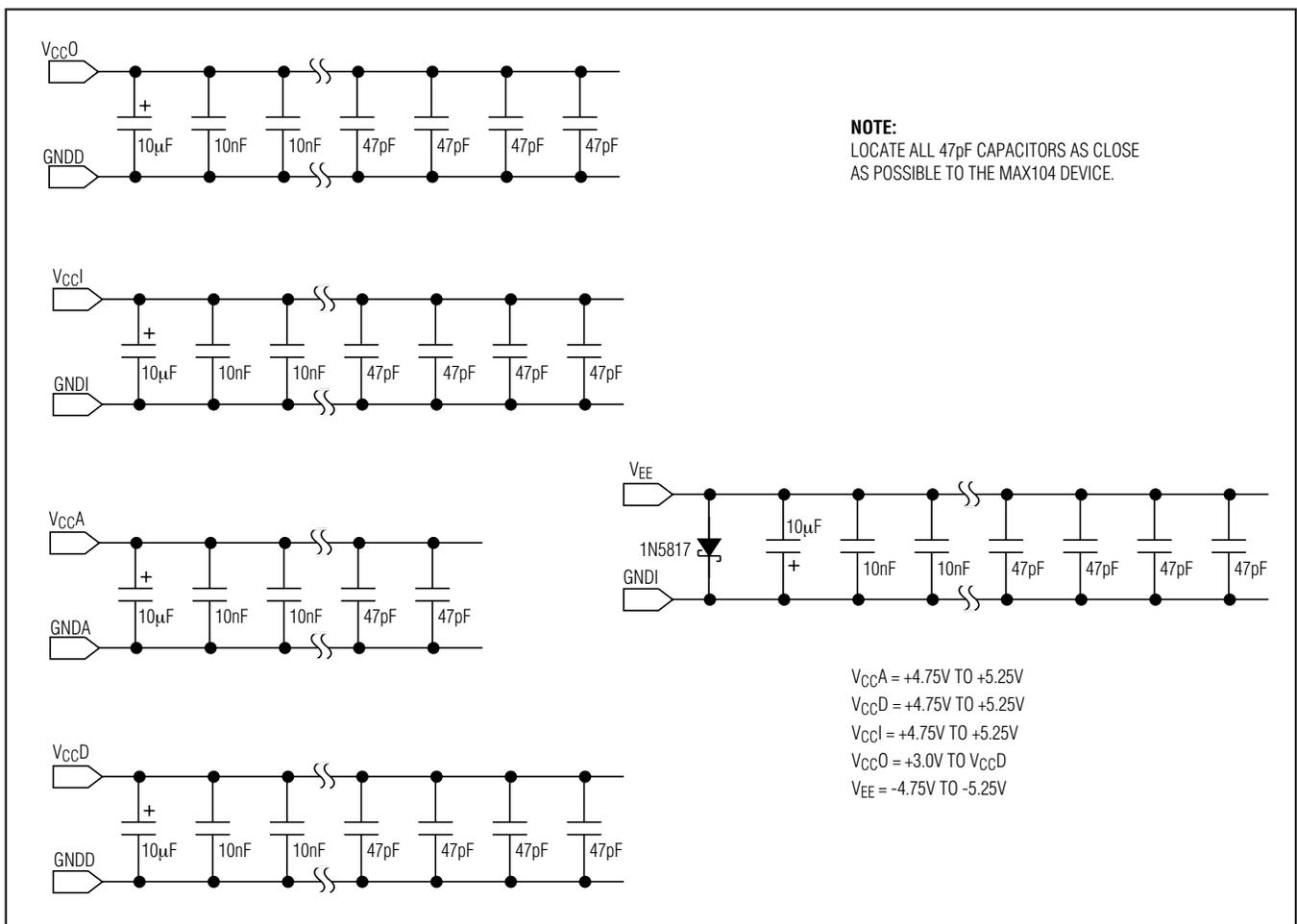


図22. MAX104のバイパスとグラウンド接続

±5V、1Gbps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

微分非直線性(DNL)

微分非直線性は、実際のステップの高さと1LSBの理想的な値の間の差です。DNLの大きさが1LSB未満であれば、そのDACはミッシングコードがないこと、及びコードは単調性であることが保証されます。

ビットエラーレート(BER)

(サンプルが取られたときの)アナログ入力電圧がある入力コンパレータの決定点の近くになっていると、準安定状態に起因するエラーが起こり得ます。このエラーの大きさは、コンパレータネットワーク内のそのコンパレータの位置に依存します。MSBのコンパレータであった場合には、このエラーはフルスケールに達します。MAX104はユニークなエンコード方式でこれらのエラーの大きさを1LSBに制限することにより、この問題を解決しています。これらのエラーが発生する確率は、 10^{16} クロックサイクル(typ)につき1回まで低減されています。

動的パラメータの定義

信号対雑音比(SNR)

デジタルサンプルから完璧に再構築された波形の場合、理論的最大SNRはフルスケールアナログ入力(RMS値)のRMS数値化エラー(残留エラー)に対する比です。理想的な最小アナログデジタルノイズは数値化エラーのみに起因し、ADCの分解能(Nビット)によって直接決まります。

$$\text{SNR}(\text{MAX}) = (6.02 \times N + 1.76)\text{dB}$$

現実には、数値化ノイズの他にもサーマルノイズ、リファレンスノイズ、クロックジッタ等のノイズソースがあります。このため、SNRの計算にはRMS信号とRMSノイズの比をとります。RMSノイズは、全てのスペクトル成分から基本波、最初の5つの高調波及びDCオフセットを差し引いたものです。

実効ビット数(ENOB)

ENOBは、特定の入力周波数及びサンプリング速度におけるADCの全体的な精度を示します。理想的なADCのエラーは、数値化エラーのみに起因します。ENOBは、理想的なフルスケール範囲を基準とする曲線フィットから計算されます。

信号対雑音+歪み(SINAD)

SINADは実効ビット数(ENOB)を使用して、次式で計算します。

$$\text{SINAD} = (6.02 \times \text{ENOB}) + 1.76$$

全高調波歪み(THD)

THDは、入力信号の最初の4つの高調波RMS和と基本波そのものの比です。これは次式で表されます。

$$\text{THD} = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right)$$

ここで、 V_1 は基本波の振幅、 $V_2 \sim V_5$ は2次～5次高調波の振幅です。

スプリアスフリーダイナミックレンジ(SFDR)

SFDRは、基本波(最大信号成分)と次に大きなスプリアス成分(DCオフセットを除く)のRMS値の比をデシベル単位で表したものです。

相互変調歪み(IMD)

ツートーンIMDは、いずれかの入力トーンと最悪の3次(以上)相互変調積の比をデシベル単位で表したものです。入力トーンレベルは-7dBフルスケールです。

チップ情報

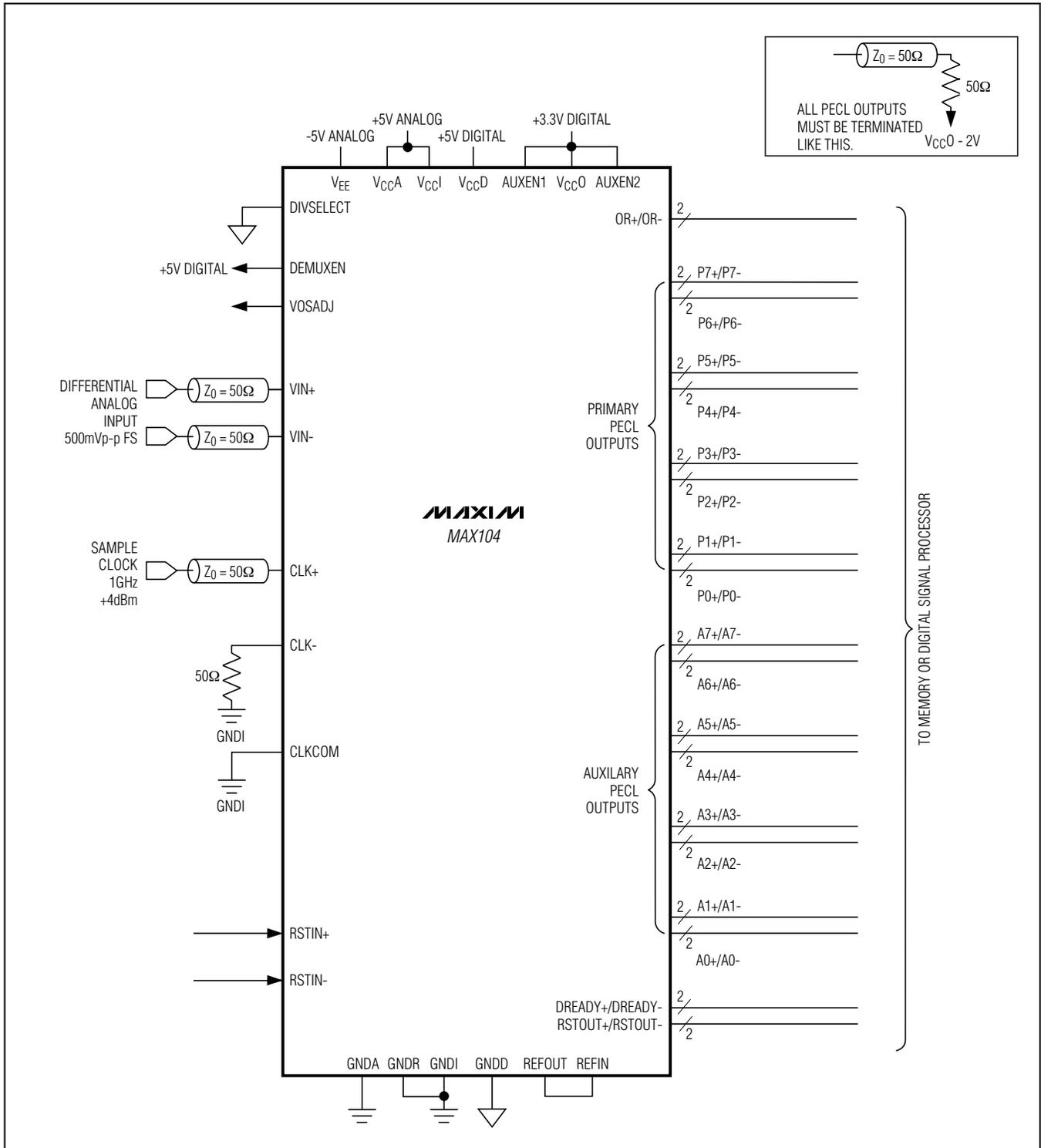
TRANSISTOR COUNT: 20,486

SUBSTRATE CONNECTED TO VEE

±5V、1Gsp/s、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX104

標準動作回路



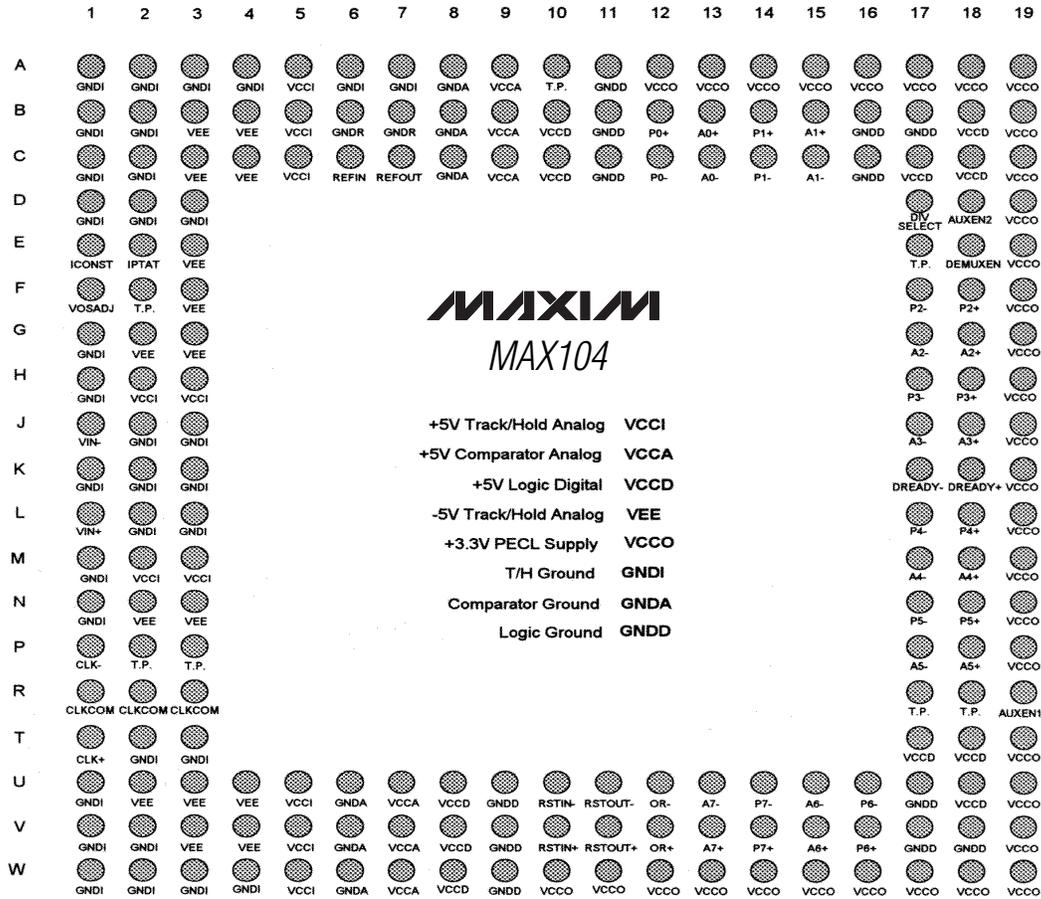
±5V、1Gpsps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX104

192コンタクトのESBGAプリント基板ランドパターン

TOP VIEW

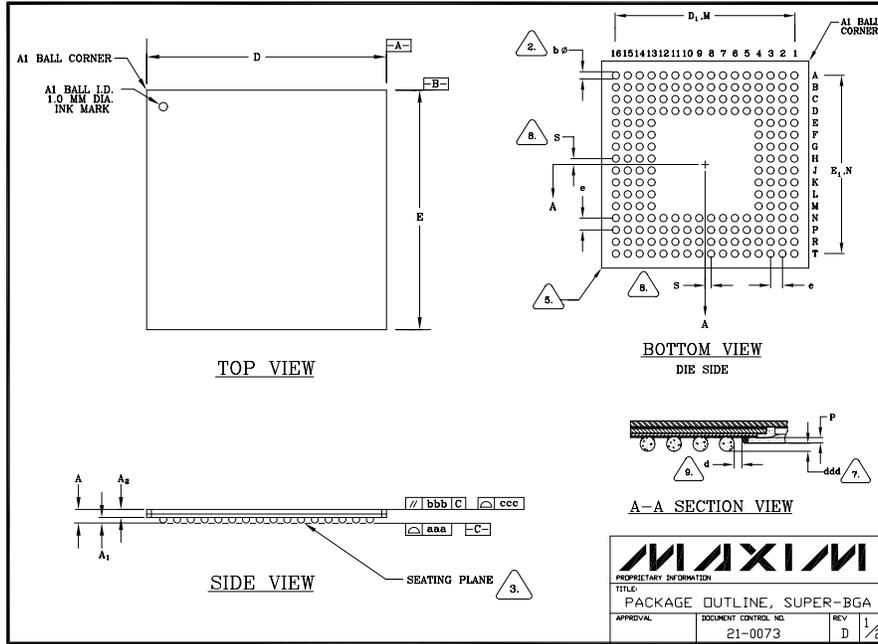
MAX104 192 Ball ESBGA Printed Circuit Board (PCB) Land Pattern



±5V、1Gbps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



NOTES: UNLESS OTHERWISE SPECIFIED

- ALL DIMENSIONS AND TOLERANCES CONFORM TO ANSI Y14.5M-1982.
- DIMENSION "D" IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER, PARALLEL TO PRIMARY DATUM [C-C].
- PRIMARY DATUM [C-C] AND SEATING PLANE ARE DEFINED BY THE SPHERICAL CROWNS OF THE SOLDER BALLS.
- THE 192 BALL 25 X 25 MM SBCGA HAS 3 ROWS OF BALLS. THE 256 BALL 27 X 27 MM SBCGA HAS 4 ROWS OF BALLS.
- SHAPE AT CORNER.

SINGLE FORM
- ALL DIMENSIONS ARE IN MILLIMETERS.
- HEIGHT FROM BALL SEATING PLANE TO PLANE OF ENCAPSULANT.
- "S" IS MEASURED WITH RESPECT TO [A-A] AND [B-B] AND DEFINES THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "S"=0.00; WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW THE VALUE "S"=e/2. "S" MAY BE EITHER .000 OR e/2 FOR EACH VARIATION.
- THE DIMENSION FROM THE OUTER EDGE OF THE RESIN DAM TO THE EDGE OF THE INNERMOST ROW OF SOLDER BALL PADS IS TO BE A MINIMUM OF 0.50mm.
- "SUPER BGA" IS A REGISTERED TRADEMARK OF AMKOR TECHNOLOGIES.
- MEETS JEDEC MS034.

STANDARD BODY SIZE DIMENSION TABLE

BODY SIZE SYMBOL	25.0 X 25.0MM PACKAGE			27.0 X 27.0MM PACKAGE			BODY SIZE NOTE
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	
A	1.41	1.54	1.67	1.41	1.54	1.67	OVERALL THICKNESS
A1	0.56	0.63	0.70	0.56	0.63	0.70	BALL HEIGHT
A2	0.85	0.91	0.97	0.85	0.91	0.97	BODY THICKNESS
D	24.90	25.00	25.10	26.90	27.00	27.10	BODY SIZE
D1	22.76	22.86	22.96	24.03	24.13	24.23	BALL FOOTPRINT
E	24.90	25.00	25.10	26.90	27.00	27.10	BODY SIZE
E1	22.76	22.86	22.96	24.03	24.13	24.23	FOOTPRINT
M,N	19 x 19			20 x 20			BALL MATRIX
b	0.60	0.75	0.90	0.60	0.75	0.90	BALL DIAMETER
d	0.6			0.6			MIN. DISTANCE FROM TO BALLS
e	1.27			1.27			BALL PITCH
aaa	0.15			0.15			COPLANARITY
bbb	0.15			0.15			PARALLEL
ccc	0.20			0.20			TOP PLANES
ddd/δ	0.15	0.33	0.50	0.15	0.33	0.50	SEATING PLANE CLEARANCE
P	0.20	0.30	0.35	0.20	0.30	0.35	ENCAPSLATION HEIGHT
S	0.00			0.635			SOLDER BALL PLACEMENT

MAXIM
PROPRIETARY INFORMATION
TITLE: PACKAGE OUTLINE, SUPER-BGA
APPROVAL: DOCUMENT CONTROL NO. 21-0073 REV D 2/2

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

30 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2002 Maxim Integrated Products, Inc. All rights reserved.

MAXIM is a registered trademark of Maxim Integrated Products.