

MN4264

65,536 ビット NMOS ダイナミック RAM 65,536-Bit NMOS Dynamic RAM

■ 概要

MN4264 は、16,384 ワード×4ビットのNチャンネルMOSダイナミックRAMで、+5V±10%の単一電源、TTLコンパチブル、3ステートコモンI/O端子のほか、CASピフォアRASリフレッシュ機能など数々の特長を備えています。

アドレス入力をマルチプレックスする技術により、18ピン・プラスチックDILパッケージに封入しており、密度の高い実装が可能です。ピン端子配列は、スタンダードな18ピン・パッケージRAMに対応しております。

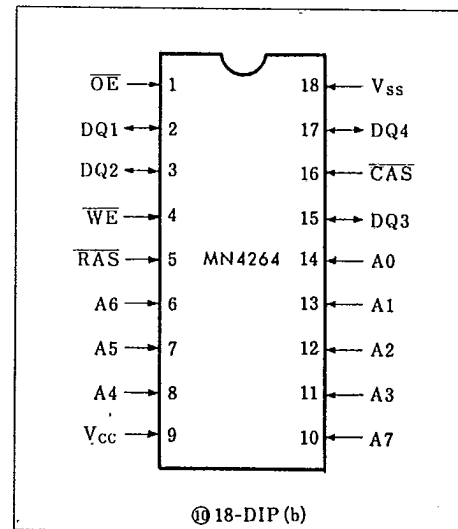
■ Description

The MN4264 is a high-speed Dynamic Random Access Memory, organized as 16,384 words by 4 bits. It is fully TTL compatible for inputs and outputs, and operates from a single +5V±10% power supply.

■ 特徴

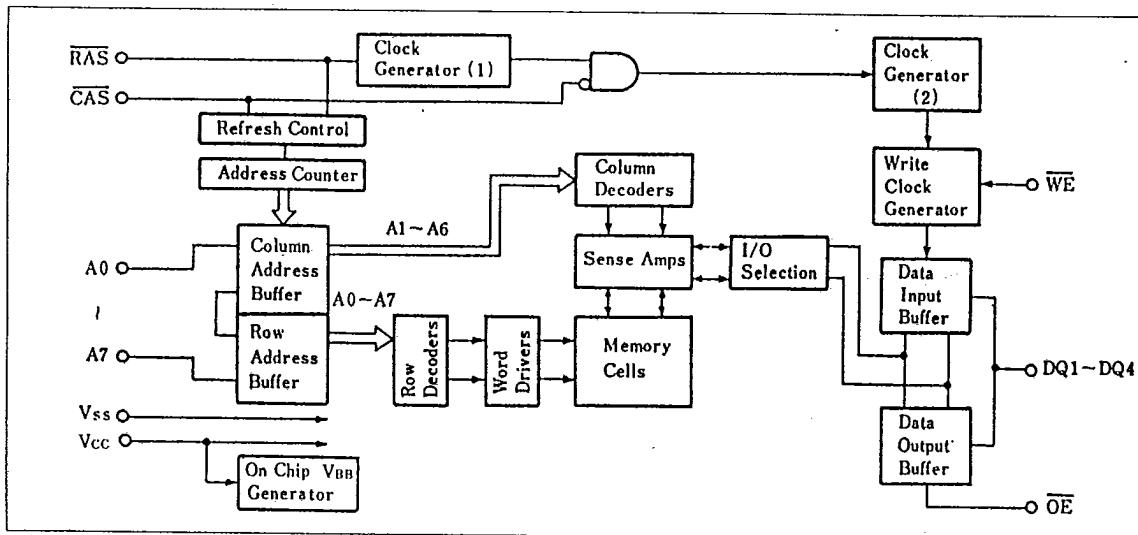
- メモリ構成：16,384ワード×4ビット
- アクセス時間：最大150ns
- サイクル時間：最小260ns
- 低消費電力：最大275mW(動作時)
：最大27.5mW(スタンバイ時)
- 電源：+5V±10%

■ 端子配置図/Pin Assignment



- 全入出力TTLコンパチブル
- 128リフレッシュサイクル/2ms(A0-A6)
- CASピフォアRASリフレッシュ、RASオンリーリフレッシュ、ヒドンリフレッシュが可能
- リードモディファイライト、ページモードが可能
- 18ピン・プラスチックDILパッケージ

■ ブロック図/Block Diagram



6932852 PANASONIC INDL, ELECTRONIC
メモリ

72C 06316

D

MN4264

T-46-23-17

■ 絶対最大定格/Absolute Maximum Ratings (Ta=25°C)

Item	Symbol	Rating	Unit
電源電圧	V _{CC}	-1.0~7.0	V
入力電圧	V _{IN}	-1.0~7.0	V
出力電圧	V _{OUT}	-1.0~7.0	V
出力短絡電流	I _{OS}	50	mA
許容損失	P _D	1	W
動作周囲温度	T _{opr}	0~+70	°C
保存温度	T _{stg}	-55~+150	°C

■ 動作条件/Operating Conditions (Ta=0~+70°C)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電圧	V _{CC}		4.5	5.0	5.5	V
	V _{SS}		0	0	0	V
入力電圧ハイレベル(全入力)	V _{IH}		2.4		V _{CC} +1.0	V
入力電圧ローレベル(全入力)	V _{IL}		-1.0		0.8	V

■ DC特性/DC Characteristics

Item	Symbol	min.	typ.	max.	Unit	Note
動作電流(平均電源電流) (\overline{RAS} , \overline{CAS} サイクリング; $t_{rc} = \text{min.}$)	I _{CC1}			50	mA	1)
スタンバイ電流(電源電流) ($\overline{RAS} = \overline{CAS} = V_{IH}$)	I _{CC2}			5	mA	
RAS オンリーリフレッシュ電流 (平均電源電流, \overline{RAS} サイクリング, $\overline{CAS} = V_{IH}$; $t_{rc} = \text{min.}$)	I _{CC3}			40	mA	1)
ページモード電流 (平均電源電流, $\overline{RAS} = V_{IL}$, \overline{CAS} サイクリング; $t_{rc} = \text{min.}$)	I _{CC4}			40	mA	1)
CAS ビフォア RAS リフレッシュ電流 (平均電源電流, \overline{RAS} サイクリング, CAS ビフォア \overline{RAS})	I _{CC5}			43	mA	1)
入力リーク電流 ($0V \leq V_{IN} \leq 5.5V$)	I _{L1}	-10	0.1	10	μA	
出力リーク電流 ($0V \leq V_{OUT} \leq 5.5V$)	I _{L0}	-10	0.1	10	μA	
出力電圧ローレベル (I _{OL} = 4.2mA)	V _{OL}			0.4	V	
出力電圧ハイレベル (I _{OH} = -5mA)	V _{OH}	2.4			V	

Note 1) I_{CC1}, I_{CC3}, I_{CC4}, I_{CC5} はサイクルレートと出力負荷状態で決まります。

■ 端子容量/Terminal Capacitance (V_{CC} = 5V ± 10%, Ta = 25°C)

Item	Symbol	min.	typ.	max.	Unit
入力容量 (A0~A8)	C _{I1}	—	—	6	pF
入力容量 (\overline{RAS} , \overline{CAS} , \overline{WE} , \overline{OE})	C _{I2}	—	—	10	pF
入出力容量 (DQ1~DQ4)	C _{I/O}	—	—	12	pF

6932852 PANASONIC INDL. ELECTRONIC

72C 06317 D

メモリ

MN4264

T-46-23-17

■ AC特性/AC Characteristics ^{1), 2)}

Item	Symbol	min.	max.	Unit	Note
リフレッシュ間隔	tREF		2	ms	
ランダムリード/ライトサイクル時間	tRC	260		ns	
リード/ライトサイクル時間	tRWC	370		ns	
ページモードサイクル時間	tPC	145		ns	
RASからのアクセス時間	tRAC		150	ns	4), 6), 7)
CASからのアクセス時間	tCAC		75	ns	5), 6), 7)
出力ターンオフ遅延時間	tOFF	0	40	ns	8)
トランジション時間(立上り, 立下り)	tT	3	50	ns	3)
RASプリチャージ時間	tRP	100		ns	
RASパルス幅	tRAS	150	10,000	ns	
RASホールド時間	tRSH	75		ns	
CASプリチャージ時間(ページモード時)	tCP	60		ns	
CASパルス幅	tCAS	75	10,000	ns	
CASホールド時間	tCSH	150		ns	
RAS, CAS遅延時間	tRCD	25	75	ns	7)
CASプリチャージ時間(ページモード以外)	tCPN	55		ns	
RAS, CASプリチャージ時間	tCRP	30		ns	
ロウアドレスセットアップ時間	tASR	0		ns	
ロウアドレスホールド時間	tRAH	15		ns	
コラムアドレスセットアップ時間	tASC	0		ns	
コラムアドレスホールド時間	tCAH	20		ns	
リードコマンドセットアップ時間	tRCS	0		ns	
リードコマンドホールド時間	tRCH	0		ns	
ライトコマンドセットアップ時間	tWCS	0		ns	10)
ライトコマンドホールド時間	tWCH	40		ns	
ライトコマンドホールド時間(対RAS)	tWCR	115		ns	
ライトコマンドパルス幅	tWP	40		ns	
WEからのCASホールド時間	tRWL	60		ns	
WEからのRASホールド時間	tCWL	60		ns	
データ入力セットアップ時間	tDS	0		ns	9)
データ入力ホールド時間	tDH	30		ns	9)
データ入力ホールド時間(対RAS)	tDHR	105		ns	
CAS, WE遅延時間	tCWD	120		ns	10)
RAS, WE遅延時間	tRWD	195		ns	10)
リードコマンドホールド時間(対RAS)	tRRH	20		ns	
OEからのアクセス時間	tOEA		40	ns	
OE・データ遅延時間	tOED	40		ns	
OEからのターンオフ遅延時間	tOEZ	0	40	ns	
RAS・CASセットアップタイム(CASビフォアRAS)	tFCS	30		ns	
RAS・CASホールドタイム(CASビフォアRAS)	tFCH	30		ns	
RASプリチャージからのCASアクティブディレイ	tRPC	20		ns	
リード・ライトサイクル	tRTC	515		ns	11)
RASパルス幅	tTRAS	405		ns	11)

Note 1) メモリが正常に動作するためには電源投入後最小200 μ sのポーズ時間と、その後で数サイクルのダミーサイクルが必要です。
 (一般的には8回のリフレッシュサイクルを加えてください。内部リフレッシュカウンタを使用する場合は、64パルス以上の、CASビフォアRASリフレッシュサイクルをダミーとして加えてください。)

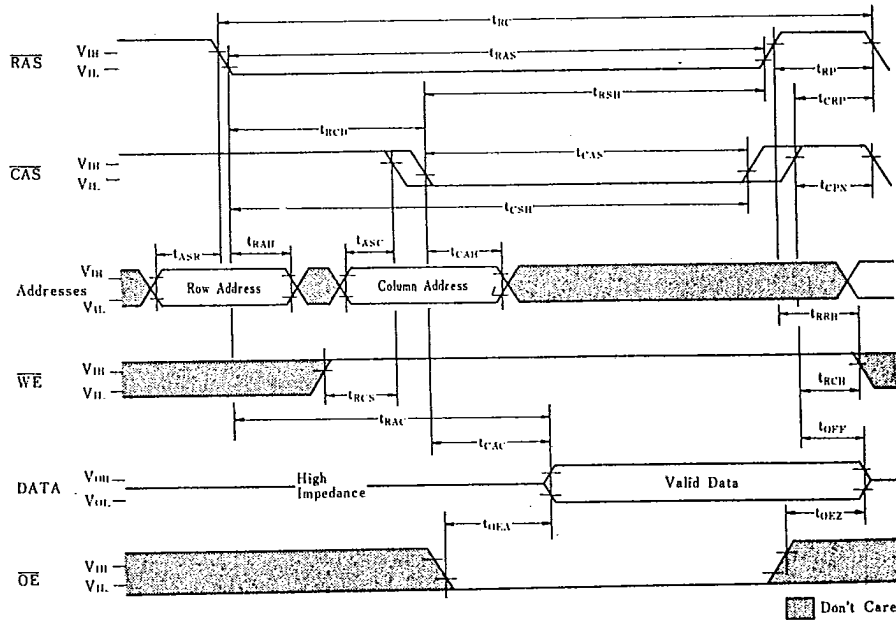


T-46-23-17

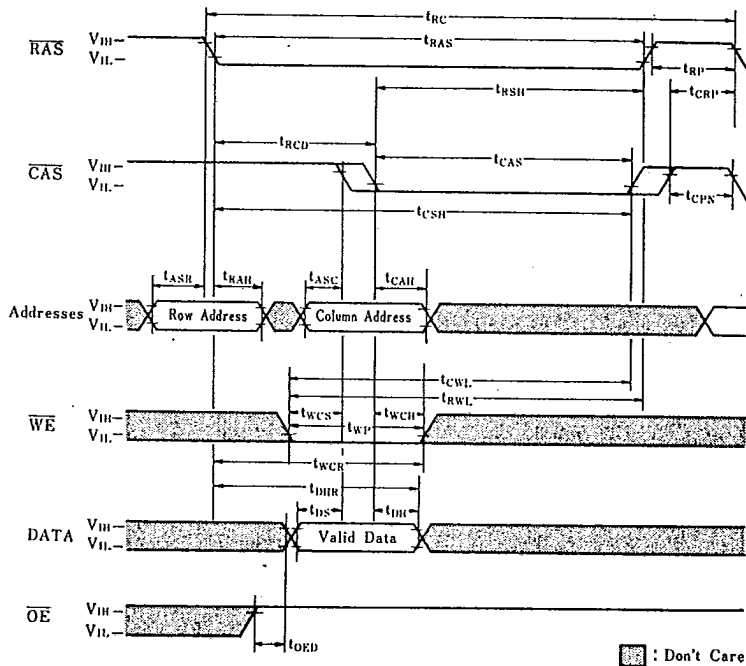
- 2) 測定は、 $t_r = 5\text{ns}$ として行なっています。
- 3) タイミング測定、立上り時間、立下り時間は V_{IL} , V_{IH} を基準としています。
- 4) $t_{rCD} \leq t_{rCD}(\text{max.})$ の場合。
- 5) $t_{rCD} \geq t_{rCD}(\text{max.})$ の場合。
- 6) $2TTL + 100\text{pF}$ 負荷
- 7) $t_{rCD}(\text{max.})$ は $t_{rAC}(\text{max.})$ が保証される t_{rCD} の最大ポイントで、動作限界点ではありません。もし、 $t_{rCD} > t_{rCD}(\text{max.})$ になった場合は、アクセス時間は $t_{rCD} + t_{CAC}$ となります。
- 8) t_{OFF} は、出力が高インピーダンス状態になる時間を定義してあります。
- 9) これらのパラメータは、アーリーライトサイクルの場合、 $\overline{\text{CAS}}$ の立下りのエッジから、リード・モディファイ・ライトサイクルの場合は、 $\overline{\text{WE}}$ の立下りエッジから測定されます。
- 10) $t_{wCS} \leq t_{wCS}(\text{min.})$ はアーリーライトサイクルとなるための条件で、 Dout はそのサイクル中、高インピーダンスになります。
 $t_{cWD} \geq t_{cWD}(\text{min.})$, $t_{rWD} \geq t_{rWD}(\text{min.})$ は、リード・モディファイ・ライトサイクルとなるための条件で、 Dout には選択されたアドレスのデータが出力されます。また、この2つの条件のどちらにも該当しない場合の Dout はそのサイクル中、不確定となります。
- 11) $\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ リフレッシュ・カウンタテストサイクルのみの規定です。

■ タイミング図/Timing Diagram

● リードサイクル/Read Cycle

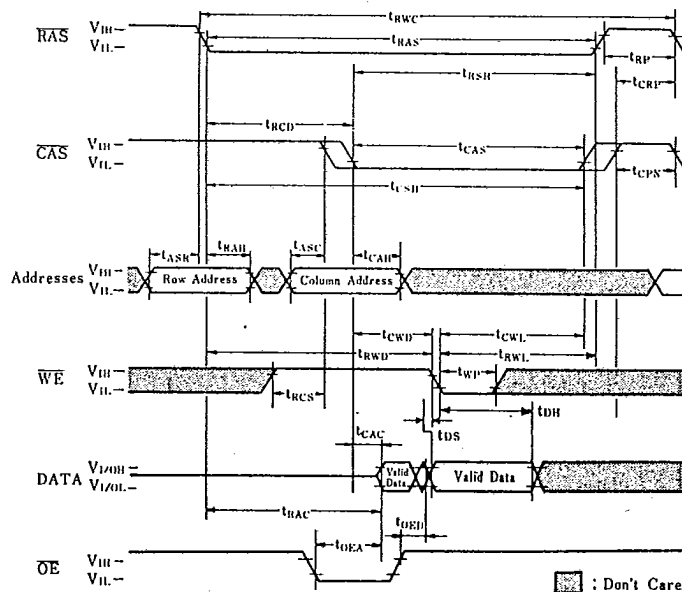


● ライトサイクル / Write Cycle (Early Write)

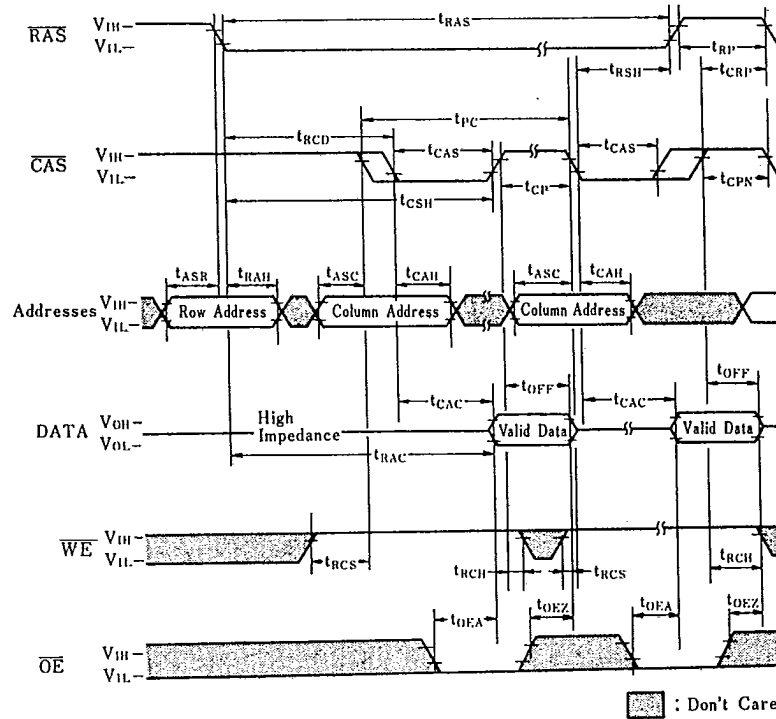


● リード・ライト / リード・モディファイ・ライトサイクル

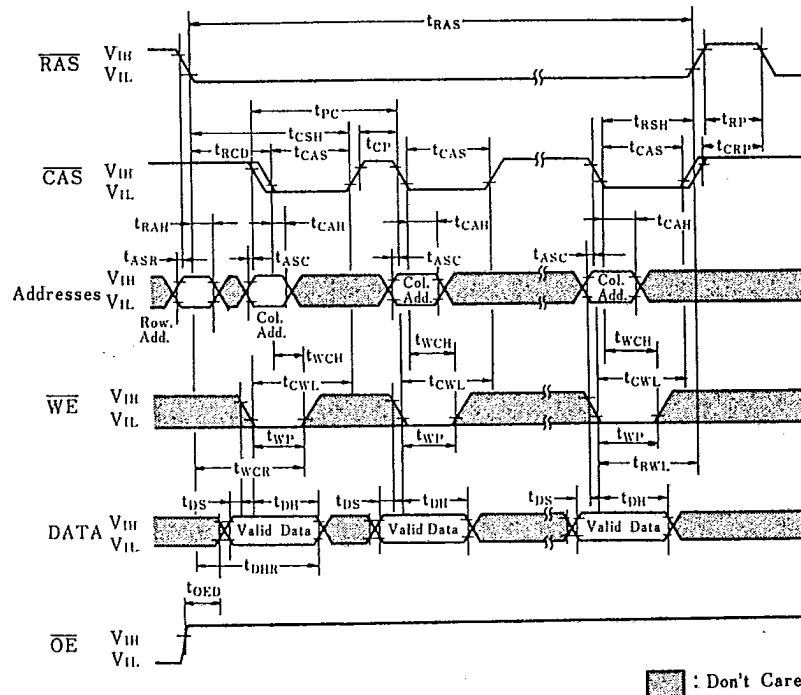
Read Write / Read Modify-Write Cycle



● ページモードリードサイクル / Page Mode Read Cycle

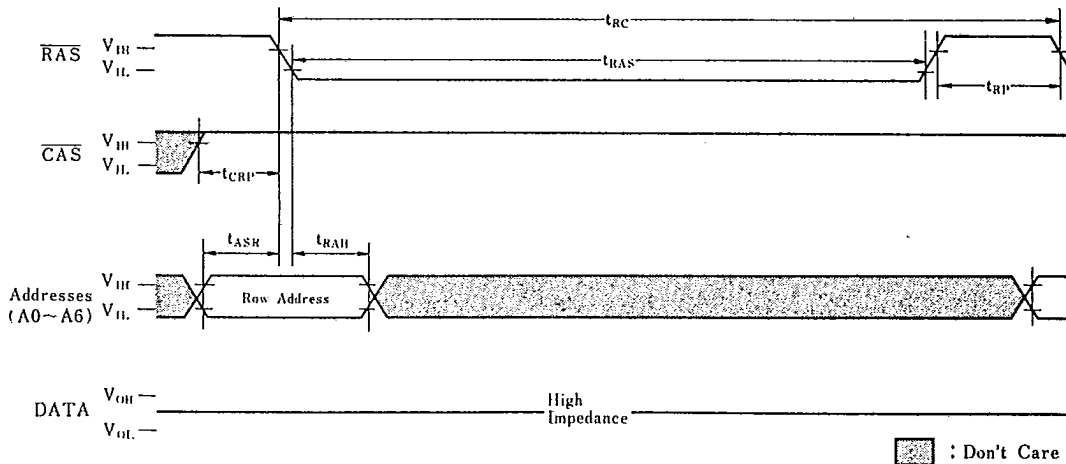


● ページモードライトサイクル / Page Mode Write Cycle

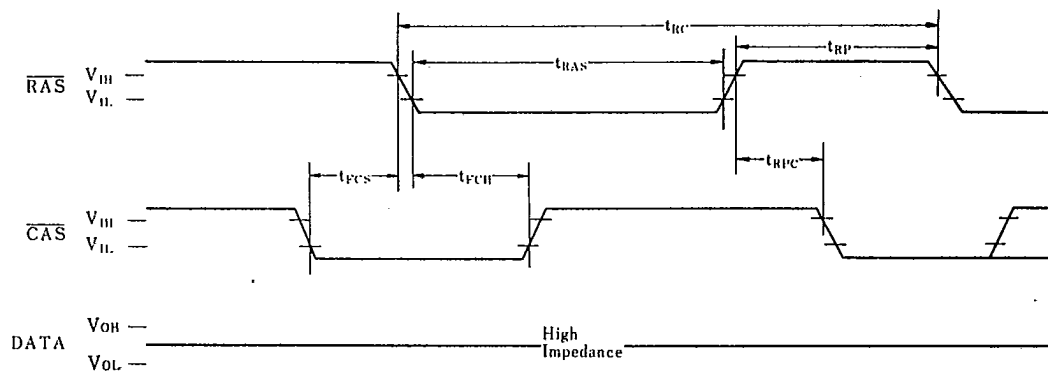


● $\overline{\text{RAS}}$ オンリー・リフレッシュサイクル / " $\overline{\text{RAS}}$ Only" Refresh Cycle

Note: $\overline{\text{WE}}$ = Don't Care



● $\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ リフレッシュサイクル / $\overline{\text{CAS}}$ Before $\overline{\text{RAS}}$ Refresh Cycle



■ 動作説明

● リードサイクル

リードサイクルは、選択するセルの行アドレスを決定し、 $\overline{\text{RAS}}$ の立下りによって開始されます。アドレスのセットアップと $\overline{\text{RAS}}$ の立下りの時間の遅れは t_{ASR} によって規定されます。 $\overline{\text{RAS}}$ が "L" レベルに達し、行アドレスがホールドされるのに要する時間は、 t_{RAH} によって規定されます。行アドレスがホールドされた後、アドレスを列アドレスに切り換えます。列アドレスが決定されたら $\overline{\text{CAS}}$ を立ち上げます。 $\overline{\text{RAS}}$ の立下りから $\overline{\text{CAS}}$ の立下りまでの時間を t_{RC} といいます。列アドレスのセットアップと $\overline{\text{CAS}}$ の立下りのタイミングは t_{ASC} によって規定され、また、列アドレスがホールドされるのに必要な時間は t_{CAH} によって規定されています。

$t_{RC}(\text{max.})$ は、MN4264 の動作限界ではありません。 $\overline{\text{CAS}}$

が $t_{RC}(\text{max.})$ より遅く立ち下がったとき、 $\overline{\text{RAS}}$ からのアクセスタイム (t_{RC}) は、 t_{RC} が $t_{RC}(\text{max.})$ より越えた分だけ遅れます。 $\overline{\text{CAS}}$ が "L" レベルに達した後、データが出力されるまでデータ入・出力端子は高インピーダンス状態のままです。

$\overline{\text{CAS}}$ の立下りからデータが出力されるまでの時間を t_{CAC} と呼び、 $\overline{\text{RAS}}$ の立下りからデータが出力されるまでの時間を t_{RC} と呼びます。 t_{RC} の最小値は $t_{RC}(\text{max.})$ と t_{CAC} の和から計算されます。

このように選択されたセルから読み出されたデータは、 $\overline{\text{CAS}}$ あるいは $\overline{\text{OE}}$ が "H" レベルになるまで出力されたままの状態を続けます。 $\overline{\text{CAS}}$ あるいは $\overline{\text{OE}}$ が "H" レベルに立ち上った後は、データ入・出力端子は高インピーダンス状態になります。

T-46-23-17

●ライトサイクル

ライトサイクルは、 $\overline{\text{CAS}}$ が“L”レベルにある状態のとき、または $\overline{\text{CAS}}$ が“L”レベルになる前に、 $\overline{\text{WE}}$ が“L”レベルになることによって行なわれます。 $\overline{\text{OE}}$ が“L”レベルのときでも、後者の場合にはデータ入・出力端子はライトサイクルを可能とする状態（高インピーダンス状態）になります。ライトサイクルには、ライトサイクルとリード／ライトサイクルの2つのモードがあります。

ライトサイクル——書込み動作を始めるためには、 $\overline{\text{CAS}}$ が立ち下がるときに書込みデータが有効になっていなければなりません。このモードでは、 D_{IN} と $\overline{\text{WE}}$ はサイクル時間を決定するクリティカルパス信号にはなりません。 $\overline{\text{WE}}$ の“L”レベル状態はデータがセルに取り込まれるまでの間、そのレベルを保っていなければなりません。この時間を t_{WP} で規定しています。

$\overline{\text{WE}}$ が“L”レベルになり、書込みデータが取り込まれるまでに要する時間を t_{DH} と呼んでいます。このサイクルをアーリーライトサイクルと呼んでいます。

リード／ライトサイクル——一般に、リード／ライトサイクルとは、リードサイクルとして開始し、あるタイミング仕様が満たされると同時にライトサイクルの機能が可能になる動作モードを指します。

リード・モディファイ・ライトは、この動作の一種です。このモードでは、 D_{IN} と $\overline{\text{WE}}$ はサイクルタイムを規定するクリティカルパス信号になります。

●クロックオフタイミング

$\overline{\text{RAS}}$ と $\overline{\text{CAS}}$ は、 D_{OUT} を有効にするために、ある時間活性化（“L”）しなければなりません。これは $\overline{\text{CAS}}$ の場合、 $t_{\text{CAS}}(\text{min.})$ で、 $\overline{\text{RAS}}$ の場合は $t_{\text{RSH}}(\text{min.})$ で制御されます。 $\overline{\text{RAS}}$ の終了後、 $\overline{\text{RAS}}$ は内部回路をプリチャージするために必要な時間“H”レベルにしなければなりません。これに関するタイミングは t_{RP} で規定しています。また、 $\overline{\text{CAS}}$ のプリチャージに必要な時間は t_{CP} で規定しています。

●データ入力

データ入力端子の情報は、ライトサイクルに設定された場合に内部に書き込まれます。データ入力レジスタのストロブは、 $\overline{\text{WE}}$ と $\overline{\text{CAS}}$ の立下りの遅い方になります。したがって、データのセットアップとホールド時間は、いずれも遅い方の立下りによって規定されます。

リード／ライトサイクルでは、入出力ラインにデータを加える前に、出力バッファを高インピーダンス状態にしなければなりません。そのためには、 $\overline{\text{OE}}$ をハイレベルにし、出力ディセーブルを行なう必要があります。

●データ出力

MN4264の出力バッファは、2個の標準TTL負荷のファンアウトをもった3ステートTTLコンパチブルです。 $\overline{\text{CAS}}$ が“H”レベルになると出力は高インピーダンス状態になります。リードサイクルでは、 t_{RAC} と t_{OEA} が満足された後、出力がアクティブとなります。出力は、 $\overline{\text{CAS}}$ と $\overline{\text{OE}}$ が両方ローレベルであるとき、その状態を保ち続けます。

アーリーライトサイクルでは、出力は常に高インピーダンス状態になります。リード・ライト／リード・モディファイ・ライトサイクルでは、出力はリードサイクルと同様な状態となります。

●出力コントロール

出力コントロールは $\overline{\text{OE}}$ によって行ないます。 $\overline{\text{OE}}$ が“H”レベルのとき、出力は高インピーダンス状態を保ちます。また、 $\overline{\text{OE}}$ が“L”レベルのとき、出力はイネーブルになります。出力は、 $\overline{\text{CAS}}$ と $\overline{\text{OE}}$ によってコントロールが可能となります。

リードサイクルでは、 $\overline{\text{OE}}$ 、 $\overline{\text{CAS}}$ のいずれかが“H”レベルになると、出力は高インピーダンス状態になります。

●ページモード

ページモード機能とは、同じ行アドレスで、列アドレスの異なる情報を連続的に読出し、または書込みをすることで、消費電流を増加させることなく速いスピードで動作させることができます。この動作は、 $\overline{\text{RAS}}$ 信号を“L”状態に保持し、連続したメモリ動作の間、行アドレスを維持することにより行なわれます。ページモードの動作で、 $\overline{\text{RAS}}$ 系の信号に関連した電力が節約できます。また、新しい行アドレスをストロブする時間がいりませんので、アクセス時間とサイクル時間を短くできます。ページモードにおける連続動作では「リード」、「ライト」、「リード・モディファイ・ライト」のいずれのシーケンスも可能です。

● $\overline{\text{RAS}}$ オンリーリフレッシュ

ダイナミックセルマトリクスのリフレッシュは、2msごとに128の行アドレスを与えることにより行なわれます。通常、メモリ動作において選択されたセルと同じ行に接続されているセルは、自動的にリフレッシュされています。

$\overline{\text{RAS}}$ オンリーリフレッシュモードは $\overline{\text{CAS}}$ を“H”レベルにし、 $\overline{\text{RAS}}$ のみ動作させ、128の行アドレスのおののを選択することによって、それぞれの行に接続されているすべてのセルのリフレッシュを行なう動作モードです。 $\overline{\text{RAS}}$ オンリーリフレッシュモードにすると、 $\overline{\text{CAS}}$ の動

6932852 PANASONIC INDL, ELECTRONIC

72C 06323 D

メモリ

T-46-23-17

MN4264

きに伴う電力の消費がないために、通常、メモリ動作に比較して消費電力を低減できます。

●CASビフォアRASリフレッシュ

MN4264では、CASビフォアRASリフレッシュという新しいリフレッシュモードが使用できます。

RASが“L”レベルになる前に、セットアップタイム(t_{fcs})を満足して、CASが“L”レベルになると、チップ上にあるリフレッシュコントロールクロックゼネレータと、リフレッシュアドレスカウンタが起動され、内部リフレッシュアドレスカウンタを使ったリフレッシュが実行されます。

リフレッシュ動作が実行されると、内部リフレッシュアドレスカウンタは、次のCASビフォアRASリフレッシュサイクルのために自動的に1ビット進みます。したがって、128回のCASビフォアRASリフレッシュサイクルによって、全ビットがリフレッシュされます。

内部リフレッシュアドレスカウンタは、CASビフォアRASリフレッシュ入力が印加された場合のみ動作します。

このリフレッシュモードの使用により、リフレッシュアドレス用外部回路を省略できます。

●ヒドンリフレッシュ

ヒドンリフレッシュサイクルは、リードサイクルから、CASパルス幅を広げることによって、前サイクルでの読出しデータを出力に保持しながら、他のアドレスをリフレッシュすることを可能にします。

通常、リードサイクル終了後、CASを“L”レベルに保ったままRASを“H”レベルにし、所定のプリチャージタイム($T_{rp}(\min.)$)以降にCASを“L”レベルにしたままでCASビフォアRASリフレッシュを行ないます。このとき、内部リフレッシュアドレスによる動作なので、外部からのアドレス入力は無効となります。

●CASビフォアRASリフレッシュ・カウンタテストサイクル

MN4264の内部リフレッシュコントロール回路を確認するために、CASビフォアRASリフレッシュカウンタテストサイクルを使用します。この方法は、コラムアドレスを固定して内部アドレスカウンタからのローアドレスによって選択される128のセルに固定データを書き込み、外部アドレスを使ったリード・モディファイ・ライトサイクルで、1コラム分のデータが書き込まれていることをチェックするものです。実際の機能チェックは、以下の手順で行ないます。

- 1)電源投入後の正常動作を確保するためダミーサイクルを加えます。これには、通常64回のRASビフォ

アRASリフレッシュサイクルを加えてください。

- 2)コラムアドレスを固定して、CASビフォアRASリフレッシュカウンタテストサイクルを繰り返すことにより、内部カウンタより発生される128のロウアドレスにオール“0”を書き込みます。(A7のカウンタアドレスは内部で“0”に固定されています。)
- 3)外部からアドレスを入力し、リード・モディファイ・ライトサイクルで128すべてのロウアドレスにデータが書き込まれていることを確認します。その後、同じサイクルで、新しくオール“1”を128すべてのロウアドレスに書き込みます。(ただし、A7のロウアドレスは“0”としてください。)
- 4)3)で書き込まれたオール“1”のデータを確認します。
- 5)テストパターンをオール“1”にして、2)、3)、4)を繰り返します。

なお、テストを始める前には、通常のテストパターンを使って、すべてのメモリセルが確実に選択されることを確認しておく必要があります。