

1. 概要

AK4591は9系統のステロ入力から2系統を選択して内蔵する2個の24ビットADC入力へ振り分ける入力セレクトを組み込んだADC4ch,DAC6chのCODECです。9種類の音楽ソースから2種類を選択することが可能なのでオーディオにおけるリソースインターフェース用途に適しています。

内蔵の2個のステロADCはダイナミックレンジが97dB,内蔵するDACは6chでダイナミックレンジは8kHz~96kHzまでのサブリンク周波数に対応しDR:107dB(48kHz使用時)と高性能です。また,AK4591 は64pin LQFPの小さなパッケージを採用しているので省スペースが必要なオーディオ等に最適です。

2. 特徴

入力セレクト

- 差動入力2系統+シングルエンド入力7系統 から任意の2系統を選択

ADC: 4チャンネル (ステレオADC2系統)

- 24-bit 64 x Over-sampling delta sigma
- DR ,S/N: 97dBA (Fs: 48kHz 差動入力使用の場合)
- S/(N+D): 92 dB (Fs: 48kHz 差動入力使用の場合)
- 8kHzから96kHzまでのサンプリングに対応可
- DCオフセットキャンセル用HPF(ハイパスフィルタ)内蔵

DAC: 6チャンネル (ステレオDAC3系統)

- 24-bit 128 x Over-sampling advanced multi-bit
- DR : 107dBA (6ch) (Fs:48kHz)
- S/N : 108dBA (6ch) (Fs:48kHz)
- S/(N+D): 90 dB (6ch) (Fs:48kHz)
- 8kHzから96kHzまでのサンプリングに対応可

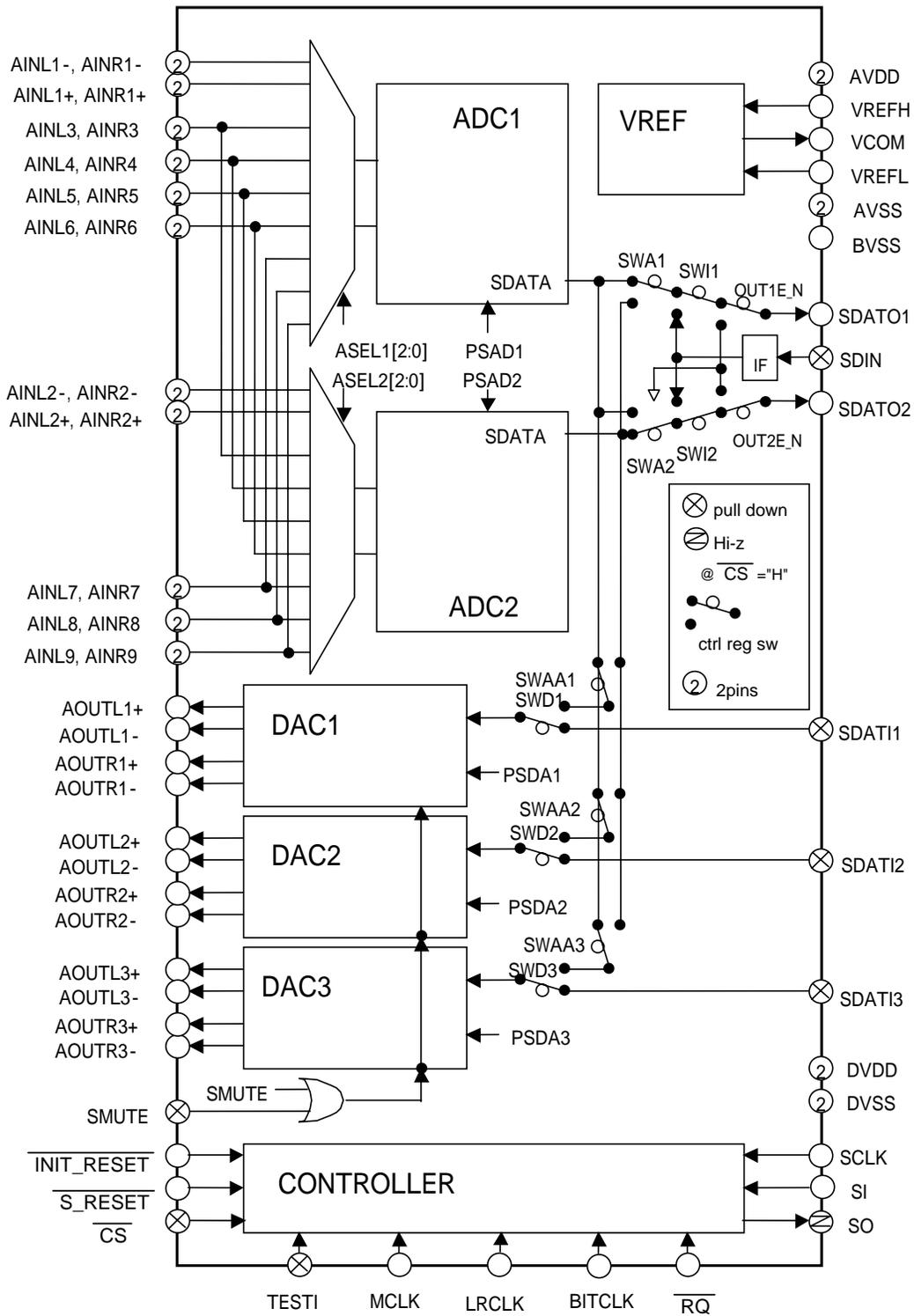
デジタルインタフェース

- オーディオインタフェース シリアルデータ入力 8ch
- オーディオインタフェース シリアルデータ出力 4ch
- マイコンインタフェース 入出力 1系統

その他

- 電源電圧: +3.3V ±0.3V
- 動作温度範囲: -40°C~85°C
- パッケージ : 64pin LQFP(0.5mm pitch)

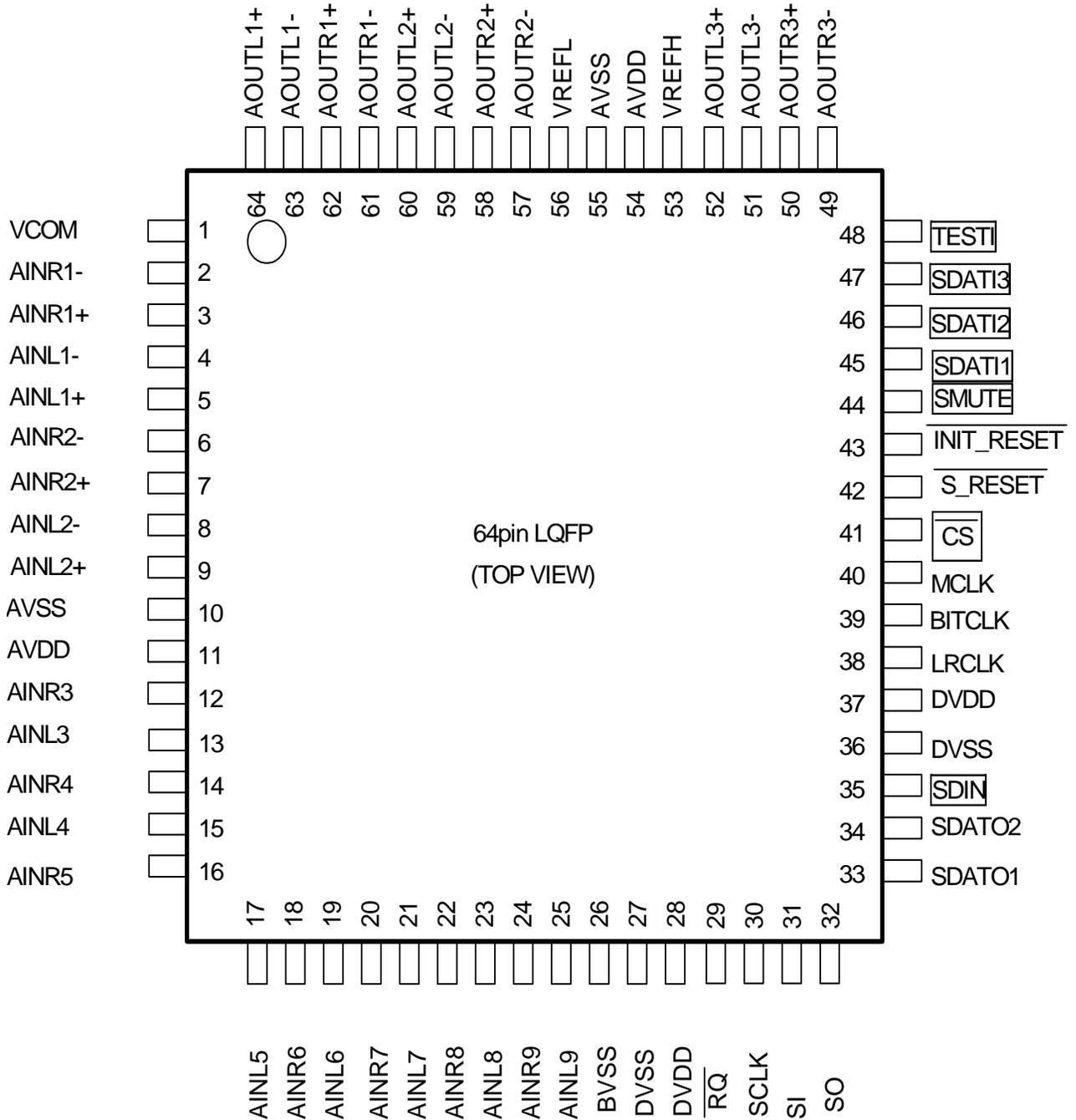
3. ブロック図



このブロック図は、AK4591を簡略的に示したもので、回路図を表しているわけではありません。

4 . 入出力端子説明

(1) ピン配置図



注) *** は プルダウンピンです。

(2) ピン機能

ピンNO.	ピン名称	I/O	機能	分類
1	VCOM	○	コモン電圧出力ピン 0.1 μ Fと10 μ FのコンデンサをAVSSとの間に接続します。 外部回路には使用しないで下さい。	アナログ出力
2	AINR1-	┆	ADC1 Rch 反転アナログ入力ピン	アナログ入力
3	AINR1+	┆	ADC1 Rch 非反転アナログ入力ピン	
4	AINL1-	┆	ADC1 Lch 反転アナログ入力ピン	
5	AINL1+	┆	ADC1 Lch 非反転アナログ入力ピン	
6	AINR2-	┆	ADC2 Rch 反転アナログ入力ピン	
7	AINR2+	┆	ADC2 Rch 非反転アナログ入力ピン	
8	AINL2-	┆	ADC2 Lch 反転アナログ入力ピン	
9	AINL2+	┆	ADC2 Lch 非反転アナログ入力ピン	
10	AVSS	-	アナログ部グランドピン 0V (シリコン基板電位)	
11	AVDD	-	アナログ部電源ピン 3.3V(typ)	
12	AINR3	┆	ADC1またはADC2の Rch シングルエンドアナログ入力ピン3	アナログ入力
13	AINL3	┆	ADC1またはADC2の Lch シングルエンドアナログ入力ピン3	
14	AINR4	┆	ADC1またはADC2の Rch シングルエンドアナログ入力ピン4	
15	AINL4	┆	ADC1またはADC2の Lch シングルエンドアナログ入力ピン4	
16	AINR5	┆	ADC1またはADC2の Rch シングルエンドアナログ入力ピン5	
17	AINL5	┆	ADC1またはADC2の Lch シングルエンドアナログ入力ピン5	
18	AINR6	┆	ADC1またはADC2の Rch シングルエンドアナログ入力ピン6	
19	AINL6	┆	ADC1またはADC2の Lch シングルエンドアナログ入力ピン6	
20	AINR7	┆	ADC1またはADC2の Rch シングルエンドアナログ入力ピン7	
21	AINL7	┆	ADC1またはADC2の Lch シングルエンドアナログ入力ピン7	
22	AINR8	┆	ADC1またはADC2の Rch シングルエンドアナログ入力ピン8	
23	AINL8	┆	ADC1またはADC2の Lch シングルエンドアナログ入力ピン8	
24	AINR9	┆	ADC1またはADC2の Rch シングルエンドアナログ入力ピン9	
25	AINL9	┆	ADC1またはADC2の Lch シングルエンドアナログ入力ピン9	
26	BVSS	-	グランドピン 0V (シリコン基板電位)	
27	DVSS	-	デジタル部グランドピン 0V	デジタル電源
28	DVDD	-	デジタル部電源ピン 3.3V(typ)	
29	$\overline{\text{RQ}}$	┆	マイコンインターフェース用リクエストピン $\overline{\text{RQ}} = "L"$ (かつ $\overline{\text{CS}} = "L"$) の時マイコンとのインタフェースが可能です。	マイコンインターフェース
30	SCLK	┆	マイコンインターフェース用シリアルデータクロックピン クロックを入力しない時は、SCLK="H"にして下さい。	
31	SI	┆	マイコンインターフェース用シリアルデータ入力ピン アクセスしない場合は、SI="L", SCLK="H", $\overline{\text{RQ}} = "H"$ にして下さい。	
32	SO	○	マイコンインターフェース用シリアルデータ出力ピン $\overline{\text{CS}} = "H"$ にすると、SOはHi-Zになります。	
33	SDATO1	○	ADC1 シリアルデータ出力ピン 前詰め、I ² Sフォーマット又は後詰め24bit, 16bitで出力可能。	
34	SDATO2	○	ADC2 シリアルデータ出力ピン 前詰め、I ² Sフォーマット又は後詰め24bit, 16bitで出力可能。	オーディオインターフェース
35	SDIN	┆	デジタルシリアルデータ入力ピン (プルダウン付) スルー又は、I ² Sフォーマット、前詰め、後詰め24bit, 16bit入力可能。	

ピンNO.	ピン名称	I/O	機 能	分 類
36	DVSS	-	デジタル部グランドピン 0V	デジタル電源
37	DVDD	-	デジタル部電源ピン 3.3V(typ)	
38	LRCLK		LRチャンネル選択ピン 1fsクロックを入力します。	システムクロック
39	BITCLK		シリアルビットクロックピン 64fsのクロックを入力します。(48fs,32fsクロックも条件付で可能です。)	
40	MCLK		マスタークロック入力ピン	
41	$\overline{\text{CS}}$		マイコンインタフェース用チップセレクトピン(プルダウン付) $\overline{\text{CS}}$ ="H"にすると、SIピンのデータは取り込まれず、SOはHi-Zになります。 $\overline{\text{CS}}$ 機能を使用しない場合はDVSSに接続してください。	マイコンインタフェース
42	$\overline{\text{S_RESET}}$		システムリセットピン	リセット
43	$\overline{\text{INIT_RESET}}$		イニシャルリセットピン(初期化用) AK4591を初期化するのに使用します。	
44	SMUTE		ソフトミュートピン(プルダウン付) DAC部のデジタルソフトミュートを行います。“H”のときソフトミュート開始、“L”で解除です。(コントロールレジスタでの設定も可能です。)	コントロール
45	SDAT11		DAC1 シリアルデータ入力ピン(プルダウン付) 前詰め、I ² Sフォーマット又は後詰め24bit,16bitで入力可能。	オーディオインターフェース
46	SDAT12		DAC2 シリアルデータ入力ピン(プルダウン付) 前詰め、I ² Sフォーマット又は後詰め24bit,16bitで入力可能。	
47	SDAT13		DAC3 シリアルデータ入力ピン(プルダウン付) 前詰め、I ² Sフォーマット又は後詰め24bit,16bitで入力可能。	
48	TEST1		テストピン(プルダウン付) DVSSに接続してください。	コントロール
49	AOUTR3-	O	DAC3 Rch アナログ反転出力ピン	アナログ出力
50	AOUTR3+	O	DAC3 Rch アナログ非反転出力ピン	
51	AOUTL3-	O	DAC3 Lch アナログ反転出力ピン	
52	AOUTL3+	O	DAC3 Lch アナログ非反転出力ピン	
53	VREFH		アナログ部基準電圧入力ピン 通常AVDD(54pin)と接続し、0.1μFと10μFのコンデンサを、AVSSとの間に接続します。	アナログ入力
54	AVDD	-	アナログ部電源ピン 3.3V(typ)	アナログ電源
55	AVSS	-	アナログ部グランドピン 0V(シリコン基板電位)	
56	VREFL		アナログ部基準電圧入力ピン 通常AVSS(55pin)と接続します。	アナログ入力
57	AOUTR2-	O	DAC2 Rch アナログ反転出力ピン	アナログ出力
58	AOUTR2+	O	DAC2 Rch アナログ非反転出力ピン	
59	AOUTL2-	O	DAC2 Lch アナログ反転出力ピン	
60	AOUTL2+	O	DAC2 Lch アナログ非反転出力ピン	
61	AOUTR1-	O	DAC1 Rch アナログ反転出力ピン	
62	AOUTR1+	O	DAC1 Rch アナログ非反転出力ピン	
63	AOUTL1-	O	DAC1 Lch アナログ反転出力ピン	
64	AOUTL1+	O	DAC1 Lch アナログ非反転出力ピン	

注) デジタル入力ピン(29,30,31,35,38~48pin)は、オープンにしないで下さい。ただし、プルダウン(プルダウン付と表示)を除きます。(プルダウンは使用しない場合、オープンもしくはDVSSに接続してください。TEST1ピンはDVSSに接続することを推奨します。)

5 . 絶対最大定格

(AVSS,BVSS,DVSS=0V : すべての電圧はグランドに対する値です)

項目	記号	min	max	単位
電源電圧				
Analog(AVDD)	VA	-0.3	4.6	V
Digital(DVDD)	VD	-0.3	4.6	V
AVSS(BVSS)-DVSS 注1	GND		0.3	V
入力電流(除:電源ピン)	IIN	-	±10	mA
アナログ入力電圧				
AINL1+,AINL1-,AINR1+,AINR1-, AINL2+,AINL2-,AINR2+,AINR2-, AINL3~9,AINR3~9,VREFH,VREFL		-0.3	VA+0.3	V
デジタル入力電圧	VIND	-0.3	VD+0.3	V
動作周囲温度	Ta	-40	85	
保存温度	Tstg	-65	150	

注1 AVSS(BVSS)とDVSSは、同電位にして下さい。

注意: これらの限界以上での動作は素子の永久破壊を引き起こす可能性があります。
この極限状態では通常動作は保証されません。

6 . 推奨動作条件

電源電圧

(AVSS,DVSS,BVSS=0.0V : 全ての電圧はグランドに対する値です)

項目	記号	min	typ	max	単位
電源電圧					
AVDD	VA	3.0	3.3	3.6	V
DVDD	VD	3.0	3.3	3.6	V
基準電圧					
VREFH 注1)	VRH		VA		V
VREFL 注2)	VRL		0.0		V

注1) VREFHは通常AVDDに接続します。

注2) VREFLは通常AVSSに接続します。

注意 アナログ入力電圧、出力電圧はVREFH-VREFLの電圧に比例します。

7 . 電気的特性

(1) アナログ特性

(特記なき場合は $T_a=25$; $AVDD=DVDD=3.3V$; $VREFH=AVDD$; $VREFL=AVSS$; $BITCLK=64fs$;
 信号周波数1kHz; 測定周波数=20Hz~20kHz(@48kHz)、20Hz~40kHz(@96kHz);
 $MCLK=12.288MHz(256fs@48kHz)$ 、 $24.576MHz(256fs@96kHz)$; ADC全差動入力;
 オーディオインターフェースフォーマット後詰め16Bits時、およびBITCLK32fs時は除く)

パラメータ		min	typ	max	単位	
ADC部	分解能	24			Bits	
	ダイナミック特性					
	S/(N+D)	fs = 48kHz (-1dBFS) (注1)	82	92		dB
		fs = 96kHz (-1dBFS) (注1)		88		dB
	ダイナミックレンジ	fs = 48kHz (A7フィルタ) (注1,2)	87	97		dB
		fs = 96kHz (注1,2)		93		dB
	S/N	fs = 48kHz (A7フィルタ) (注1)	87	97		dB
		fs = 96kHz (注1)		93		dB
	チャンネル間アイレーション	(f=1kHz) (注3)	90	115		dB
	DC精度					
	チャンネル間ゲインミスマッチ			0.1	0.3	dB
	アナログ入力					
	入力電圧 (差動入力)	(注4)	± 1.85	± 2.00	± 2.15	Vp-p
入力電圧 (シングルエンド入力)	(注5)	1.85	2.00	2.15	Vp-p	
入力インピーダンス	(注6)	22	33		k	
DAC部	分解能	24			Bits	
	ダイナミック特性					
	S/(N+D)	fs = 48kHz (0dBFS)	80	90		dB
		fs = 96kHz (0dBFS)		88		dB
	ダイナミックレンジ	fs = 48kHz (A7フィルタ) (注2)	97	107		dB
		fs = 96kHz (注2)		102		dB
	S/N	fs = 48kHz (A7フィルタ)	97	108		dB
		fs = 96kHz		103		dB
	チャンネル間アイレーション	(f=1kHz) (注7)	90	105		dB
	DC精度					
	チャンネル間ゲインミスマッチ			0.2	0.5	dB
	アナログ出力					
	出力電圧 (AOUT+)-(AOUT-) (注8)		3.36	3.66	3.96	Vp-p
負荷抵抗		5			k	
負荷容量				20	pF	

注意

1. シングルエンド入力の場合、特性は悪くなります。
2. -60dBFSの信号を入力したときのS/(N+D)です。
3. 各入力セクタごとのL、Rに対して、-1dBFSの信号を入力した場合のL - R間のアイレーションです。
4. 対象となる入力ピンは、AINL1+, AINL1-, AINR1+, AINR1-, AINL2+, AINL2-, AINR2+, AINR2-です。
尚、差動入力電圧 ($V_{AIN}=(AIN+)-(AIN-)$)のゲインは ($\pm FS=\pm (VREFH-VREFL) \times (2.0/3.3)$) です。
5. 対象となる入力ピンは、AINL3~L9, AINR3~R9です。
尚、シングルエンド入力電圧のゲインは ($FS=(VREFH-VREFL) \times (2.0/3.3)$) です。
6. 対象となる入力ピンは、AINL1+, AINL1-, AINR1+, AINR1-, AINL2+, AINL2-, AINR2+, AINR2-, AINL3~L9, AINR3~R9です。
7. 各DACごとのL、Rに対して、0dBFSの信号を入力した場合の、L - R間のアイレーションです。
8. $VREFH=AVDD$, $VREFL=AVSS$ 時のゲイン出力電圧。

(2) DC特性

VDD=AVDD=DVDD=3.0~3.6V(typ=3.3V), Ta=-40 ~85

パラメータ	記号	min	typ	max	単位
ハイレベル入力電圧	VIH	80%VDD			V
ローレベル入力電圧	VIL			20%VDD	V
ハイレベル出力電圧 Iout=-100μA	VOH	VDD-0.5			V
ローレベル出力電圧 Iout=100μA	VOL			0.5	V
入力リーク電流 注1)	Iin			± 10	μA
入力リーク電流 プルダウパシ 注2)	Iid		22		μA

注：

1. プルダウパシを除きます。
2. プルダウパシ(Typ150k)は次の通りです。

SDIN, \overline{CS} , SMUTE, SDAT11, SDAT12, SDAT13, TEST1

入出力レベルを本文中では、ローレベルでは”L”もしくは0、ハイレベルでは”H”もしくは1と表記します。基本的には、レジスタなどのバス(シリアル, パラレル)的な記述には0, 1表記を用いています。

(3) 消費電流

AVDD=DVDD=3.0~3.6V(typ=3.3V, max=3.6V), Ta=25 ; マスタークロック(MCLK)=24.576MHz=256fs[fs=96kHz];

パラメータ	min	typ	max	単位
電源電流				
1)動作時				
a) AVDD		78		mA
b) DVDD		27		mA
c) Total(a+b)		105	150	mA

(4) デジタルフィルタ特性

記載値は設計値を参考データとして転記したものであり、特性保証値ではありませんが、テスターによるデジタルファンクションテストのパスにより設計的に保証されます。

4-1) ADC部：

($T_a=25$; AVDD,DVDD=3.0~3.6V; $f_s=48\text{kHz}$;HPF=off)

パラメータ	記号	min	typ	max	単位
通過域 $\pm 0.005\text{dB}$ (-6.0dB)	PB	0	24.00	21.5	kHz
阻止域 (注1)	SB	26.5		-	kHz
通過域リップル (注2)	PR			± 0.005	dB
阻止域減衰量 (注3)	SA	80			dB
群遅延歪	GD			0	μs
群遅延 ($T_s=1/f_s$)	GD		29.3		Ts

注：ハイパスフィルタの特性は含まれていません。

1. 阻止域は $f_s=48\text{kHz}$ のとき、26.5kHzから3.0455MHzです。
2. 通過域は $f_s=48\text{kHz}$ のとき、DCから21.5kHzです。
3. $f_s=48\text{kHz}$ のときアナログ変調器は3.072MHzでアナログ入力をサンプリングします。サンプリング周波数の整数倍の帯域 ($n \times 3.072\text{MHz} \pm 21.99\text{kHz}$; $n=0,1,2,3,\dots$) では入力信号はデジタルフィルタによって減衰されません。

4-2) DAC部

4-2-1) DAF=0(CONT5 D4) : fs = 48kHz

(Ta=25 ; AVDD,DVDD=3.0~3.6V; fs=48kHz)

パラメータ	記号	min	Typ	max	単位
デジタルフィルタ					
通過域	PB	0		21.2	kHz
±0.08dB		-	21.7	-	kHz
(-0.28dB) (注1)		-	24.0	-	kHz
(-6.0dB)					
阻止域	SB	26.5			kHz
(注1)					
通過域リップル	PR			±0.04	dB
阻止域減衰量	SA	47			dB
群遅延 (Ts=1/fs) (注2)	GD	-	15.0		Ts
デジタルフィルタ + アナログフィルタ					
振幅特性	0~20.0kHz		±0.5		dB

注：1．通過域、阻止域の周波数はfs(システムサンプリングレート)に比例し、

PB=0.4535fs(@-0.28dB),SB=0.5519fsです。

- 2．デジタルフィルタによる演算遅延で、24ビットデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

4-2-2) DAF=1(CONT5 D4) : fs = 48kHz

(Ta=25 ; AVDD,DVDD=3.0~3.6V; fs=48kHz)

パラメータ	記号	min	Typ	max	単位
デジタルフィルタ					
通過域	PB	0		20.6	kHz
±0.02dB		-	21.7	-	kHz
(-0.48dB) (注1)		-	24.0	-	kHz
(-6.0dB)					
阻止域	SB	27.4			kHz
(注1)					
通過域リップル	PR			±0.01	dB
阻止域減衰量	SA	59			dB
群遅延 (Ts=1/fs) (注2)	GD	-	15.0		Ts
デジタルフィルタ + アナログフィルタ					
振幅特性	0~20.0kHz		±0.5		dB

注：1．通過域、阻止域の周波数はfs(システムサンプリングレート)に比例し、

PB=0.4535fs(@-0.48dB),SB=0.5704fsです。

- 2．デジタルフィルタによる演算遅延で、24ビットデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

(5) スイッチング特性**5-1) システムクロック**

(AVDD=DVDD=3.0~3.6V, Ta=-40 ~85)

パラメータ	記号	min	typ	max	単位
MCLK					
デューティ比		40	50	60	%
CKS=0 注1	fMCLK				
DFS[1:0]=0h		2.0	12.288	12.8	MHz
DFS[1:0]=1h		8.0	8.192	12.8	MHz
DFS[1:0]=2h		20.48	24.576	25.0	MHz
CKS=1 注1	fMCLK				
DFS[1:0]=0h		3.5	18.432	19.2	MHz
DFS[1:0]=1h		12.0	12.288	19.2	MHz
クック立ち上がり時間	tCR			6	ns
クック立ち下がり時間	tCF			6	ns
LRCLK 周波数 注1	fs		1	-	fs
DFS[1:0]=0h		8		48	kHz
DFS[1:0]=1h		8		12	kHz
DFS[1:0]=2h		80		96	kHz
クック立ち上がり時間	tLR			6	ns
クック立ち下がり時間	tLF			6	ns
BITCLK 周波数 注2	fBCLK	(32)		64	fs
ハイレベル幅	tBCLKH	72			ns
ローレベル幅	tBCLKL	72			ns
クック立ち上がり時間	tBR			6	ns
クック立ち下がり時間	tBF			6	ns

注1) CKS,DFS[1:0]は、コントロールレジスタの設定値です。

注2) BITCLKは、通常64fsですが、48fs,32fsも使用することが出来ます。ただし、48fs,32fsは使用条件が限定されます。

5-2) リセット

(AVDD=DVDD=3.0~3.6V, Ta=-40 ~85)

パラメータ	記号	min	typ	max	単位
INIT_RESET 注1	tRST	400			ns
S_RESET 注1	tRST	400			ns

注1 電源投入時は、"L"でかまいませんが、電源が確実に立ち上がった後、min値を満足する必要があります。

5-3) オーディオインターフェース

(AVDD=DVDD=3.0~3.6V, Ta=-40 ~85 , CL=20pF)

パラメータ	記号	min	typ	max	単位
BITCLK " から LRCLK への遅延時間 注1	tBLRD	40			ns
LRCLK から BITCLK " への遅延時間 注1	tLRBD	40			ns
LRCLK から シリアルデータ出力遅延時間	tLRD			40	ns
BITCLK から シリアルデータ出力遅延時間	tBSOD			40	ns
シリアルデータ入力 ラッチセットアップ時間	tBSIDS	40			ns
シリアルデータ入力 ラッチホールド時間	tBSIDH	40			ns
SDIN から SDATO1, SDATO2 への遅延時間 (スレーを選択した場合)	tSISO			45	ns

注1 この規格値は、LRCLKのエッジとBITCLKの" "が重ならないように規定しています

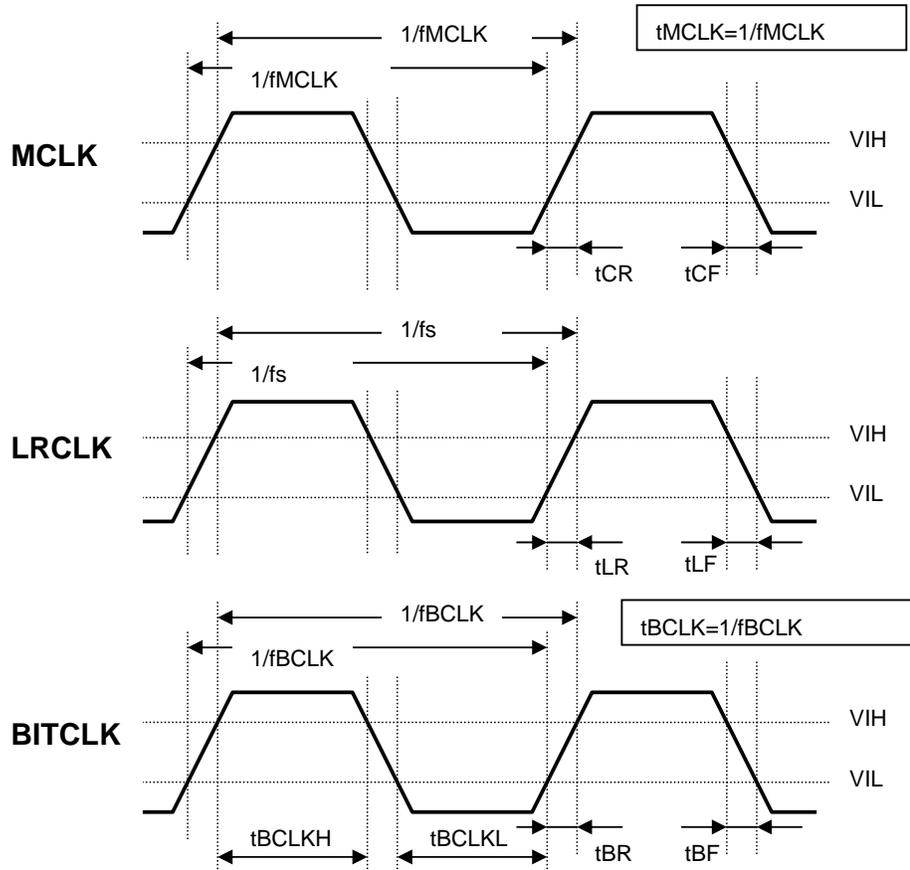
5-4) マイコンインターフェース

(AVDD=DVDD=3.0~3.6V, Ta=-40°C ~85°C, CL=20pF)

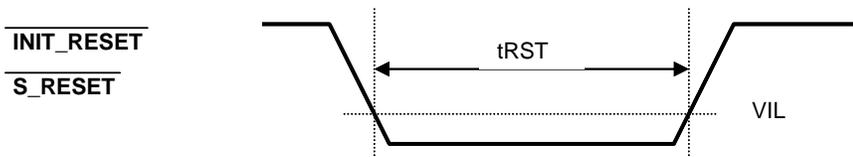
パラメータ	記号	min	typ	max	単位
マイコンインターフェース用信号					
\overline{RQ} 立ち下がり時間	tWRF			8	ns
\overline{RQ} 立ち上がり時間	tWRR			8	ns
SCLK 立ち下がり時間	tSF			8	ns
SCLK 立ち上がり時間	tSR			8	ns
SCLK ロール幅	tSCLKL	100			ns
SCLK ハイレベル幅	tSCLKH	100			ns
AK4591 マイコン					
$\overline{S_RESET}$ " から \overline{RQ} " "	tREW	200			ns
\overline{RQ} " から $\overline{S_RESET}$ " "	tWRE	200			ns
\overline{RQ} ハイレベル幅	tWRQH	200			ns
\overline{RQ} " から SCLK " "	tWSC	200			ns
SCLK " から \overline{RQ} " "	tSCW	200			ns
SI ラッチセットアップ時間	tSIS	100			ns
SI ラッチホールド時間	tSIH	100			ns
SCLK の " から SO 出力遅延時間	tSOD			100	ns
CS					
\overline{CS} 立ち下がり時間	tCSF			8	ns
\overline{CS} 立ち上がり時間	tCSR			8	ns
$\overline{S_RESET}$ " から \overline{CS} " "	tWRCS	400			ns
\overline{CS} " から $\overline{S_RESET}$ " "	tWCSR	400			ns
\overline{CS} ハイレベル幅	tWCSH	800			ns
\overline{CS} " から \overline{RQ} " "	tWCSRQ	400			ns
\overline{RQ} " から \overline{CS} " "	tWRQCS	400			ns
\overline{CS} " から SO の Hi-Z 解除 (RL=10k)	tCSHR			600	ns
\overline{CS} " から SO の Hi-Z 設定 (RL=10k)	tCSHS			600	ns

(6) タイミング波形

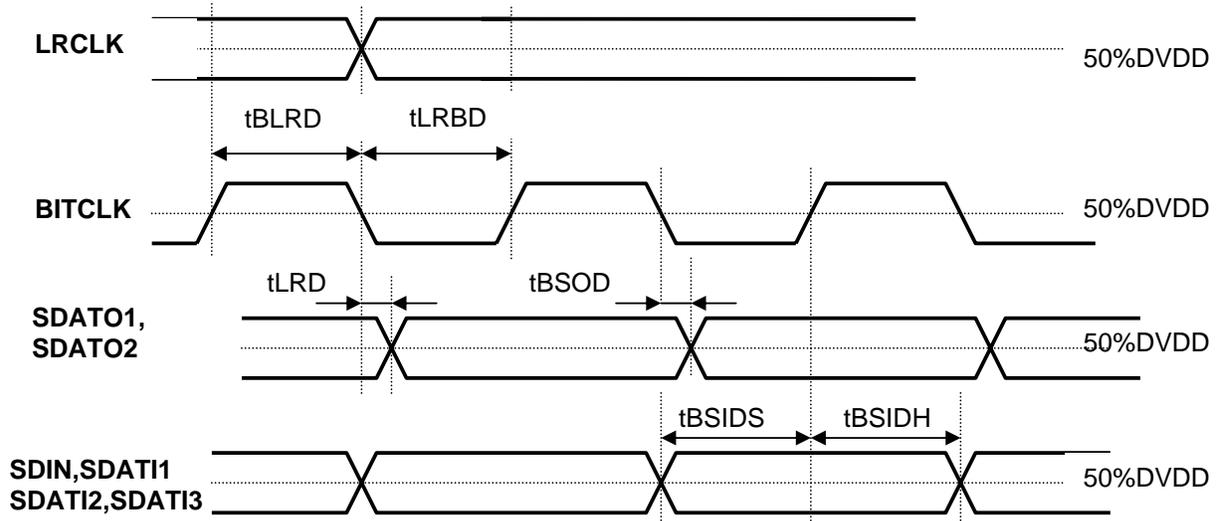
6-1) システムクロック



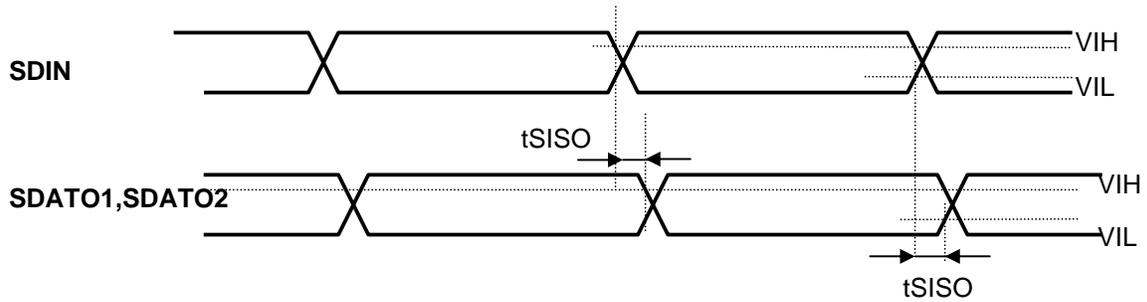
6-2) リセット



6-3) オーディオインターフェース

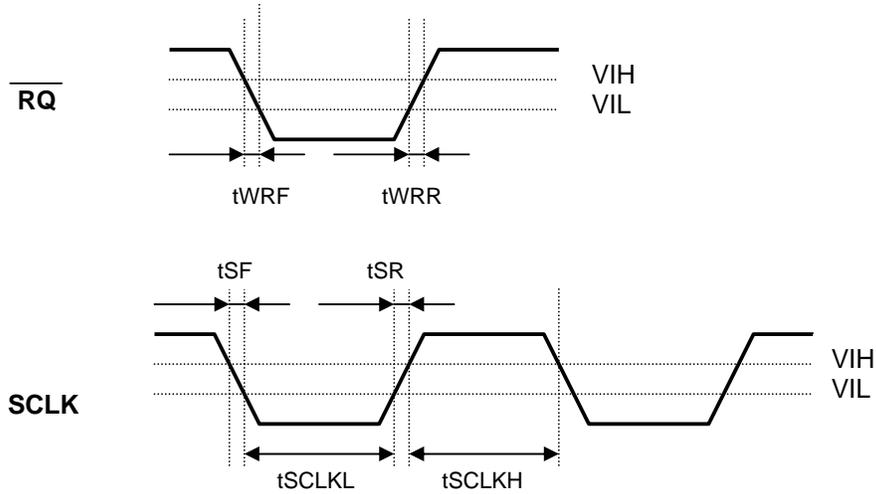


注) SDIN スルー選択時 (CONT2参照)

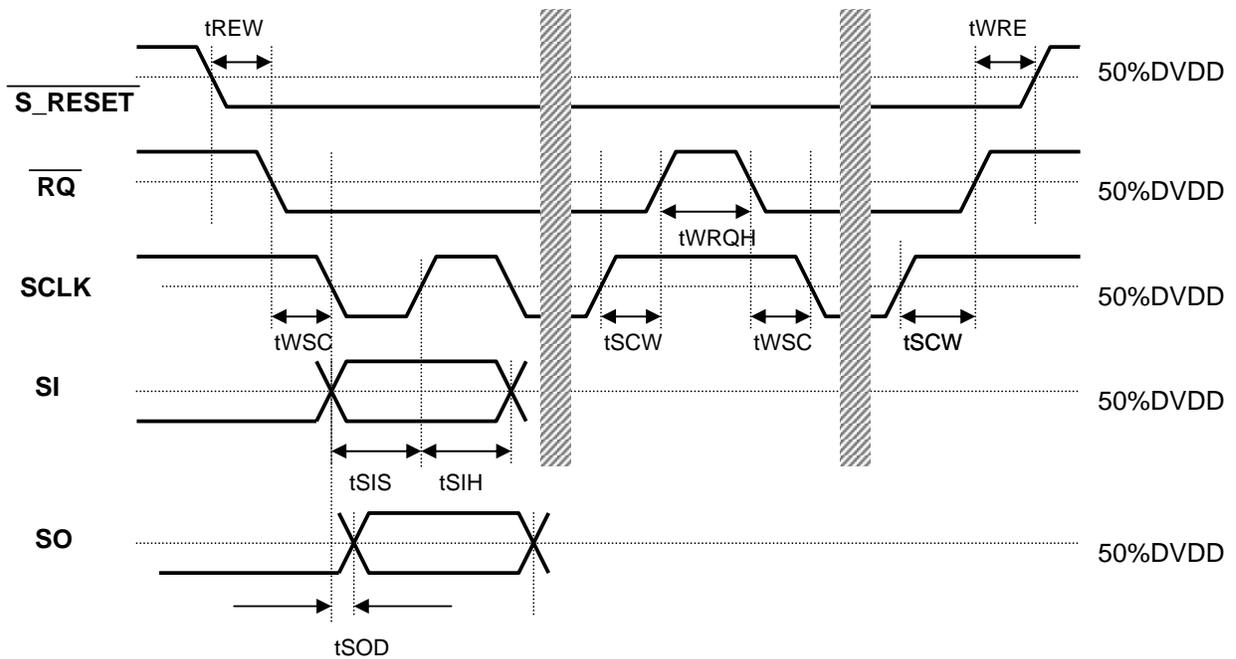


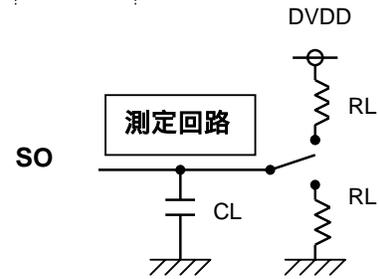
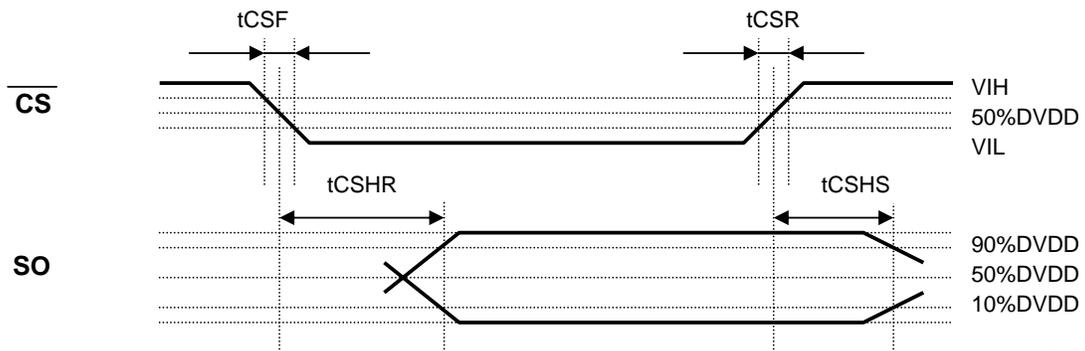
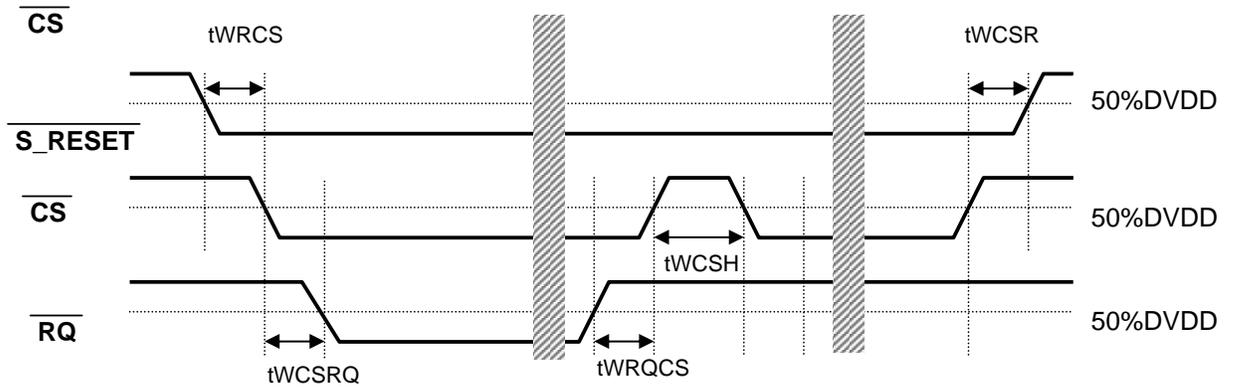
6-4) マイコンインターフェース

マイコンインタフェース用信号



マイコン AK4591





8. 機能説明

(1) コントロールレジスタ設定

AK4591では、マイコンとのインターフェースによるコントロールレジスタの設定を行います。

コントロールレジスタは、全部で7つ（テスト専用を含めると全部で8つ）用意されており、各レジスタは7bitで構成されています。ただし、SCLKは常に16bit分(Command Code 8bit,DATA 8bit)必要です。

コントロールレジスタの初期設定はシステムリセット中($\overline{\text{INIT_RESET}} = \text{"H"} \ \& \ \overline{\text{S_RESET}} = \text{"L"}$)に行います。CONT0,CONT1,CONT7においては、誤動作防止のためシステムリセット時($\overline{\text{S_RESET}} = \text{"L"}$)以外は書き込めません。また、CONT0,CONT1,CONT7以外でもシステムリセット時以外の書き込みは禁止しているレジスタがあります。それ以外のレジスタにおいてもシステムリセット時($\overline{\text{S_RESET}} = \text{"L"}$)の書き込みをお勧めしますが、動作中に使用する場合は、切り替えによって発生するクリックノイズ(ポツ音)等に対する対策が必要です。

レジスタ構成を下表に示します。

T,TEST:TEST用(0を入力して下さい。)、D0:入力値は無視されますが0を入力して下さい。

Command Code		Name	D7	D6	D5	D4	D3	D2	D1	D0	Default
Write	Read										
20h	30h	CONT0	DFS[1]	DFS[0]	DIFS	A2IF[1]	A2IF[0]	A1IF[1]	A1IF[0]	0	0000 0000
22h	32h	CONT1	D3IF[1]	D3IF[0]	D2IF[1]	D2IF[0]	D1IF[1]	D1IF[0]	CKS	0	0000 0000
24h	34h	CONT2	ISIF[1]	ISIF[0]	OSIF[1]	OSIF[0]	OUT2E_N	OUT1E_N	CKSH	0	0000 0000
26h	36h	CONT3	ASEL1 [2]	ASEL1 [1]	ASEL1 [0]	SWA1	SWI1	PSAD1	TEST	0	0000 0000
28h	38h	CONT4	ASEL2 [2]	ASEL2 [1]	ASEL2 [0]	SWA2	SWI2	PSAD2	TEST	0	0000 0000
2Ah	3Ah	CONT5	SMUTE	SF1	SF0	DAF	PSDA3	PSDA2	PSDA1	0	0000 0000
2Ch	3Ch	CONT6	SWAA3	SWD3	SWAA2	SWD2	SWAA1	SWD1	TEST	0	0000 0000
2Eh	3Eh	CONT7	TEST	TEST	TEST	TEST	TEST	TEST	TEST	0	0000 0000

太字は、システムリセット時のみ設定変更が可能です。もしくはシステムリセット時以外での設定変更を禁止するレジスタです。

READ,WRITE Codeの最下位1bitは無視されますが、指定Command Codeを書き込んでください。

- CONT0,CONT1においては、誤動作防止のためシステムリセット時($\overline{S_RESET} = "L"$) 以外は書き込めません。CONT7は、TEST専用につき書き込みを禁止します。CONT7は通常読み出す必要がありませんが、読み出した場合は00hです。
- CONT2~CONT6 のシステムリセット以外書き込み禁止レジスタ以下のとおりです。
CONT2:D7,D6,D5,D4,D1 CONT3:D1 CONT4:D1 CONT5:D6,D5,D4 CONT6:D1 動作中
動作中(システムリセット解除後)にCONT2~CONT6への書き込みを行う場合はシステムリセット時以外書き込み禁止レジスタの設定変更をしないようにして下さい。
- 書き込みを行うコントロールレジスタにTESTがある場合は、必ず0を書き込んでください。
- 読み出しは、動作中でも可能です。
- Defaultは、 $\overline{INIT_RESET} = "L"$ によってレジスタが初期化される初期値を表します。
- デジタルバス切り替えOUT2E_N,OUT1E_N,SWA1,SWI1,SWA2, SWI2, SWAA3, SWD3, SWAA2, SWD2,SWAA1,SWD1は、システムリセット中の書き込みの場合は $\overline{S_RESET}$ の立ち上り後8LRCLK(max)後のLch開始エッジで切り替わります。動作中の設定変更の場合は、レジスタに書き込まれてから3LRCLK(max)です。

1) CONT0: サンプルング周波数およびADCインターフェース選択

システムリセット時 ($\overline{\text{S_RESET}} = "L"$) のみ書込みが可能です。

Command Code		Name	D7	D6	D5	D4	D3	D2	D1	D0	Default
Write	Read										
20h	30h	CONT0	<u>DFS[1]</u>	<u>DFS[0]</u>	<u>DIFS</u>	<u>A2IF[1]</u>	<u>A2IF[0]</u>	<u>A1IF[1]</u>	<u>A1IF[0]</u>	0	0000 0000

D7,D6:DFS[1:0] サンプルング 周波数選択

DFS モード	DFS[1]	DFS[0]	対応fs	CKS(CONT1:D1)	
				MCLK CKS=0	CKS=1
0	<u>0</u>	<u>0</u>	256fs(fs=48kHz~8kHz)	256fs	384fs
1	0	1	1024fs(fs=12kHz~8kHz)	1024fs	1536fs
2	1	0	256fs(fs=96kHz)	256fs	N/A
3	1	1	N/A TEST		

注) fs:12kHz~8kHzは、DFSモード1を推奨します。(256fs,384fsでしかクロックが供給できないような特殊な場合を除いてDFSモード1に設定してください。)

D5:DIFS オートインターフェース選択

0: AKM仕様

BITCLK48fs,BITCLK32fsの場合0に設定して下さい。

1: I²S互換(24bit)

(この場合、オートインターフェースすべての入出力ピンがI²S対応となります。ただし、SDINを除く)

D4,D3:A2IF[1:0] ADC2 出力モード選択

A2IFモード	A2IF[1]	A2IF[0]	
0	<u>0</u>	<u>0</u>	前詰め(24bit)
1	0	1	後詰め24bit
2	1	0	N/A
3	1	1	後詰め16bit

注)DIFS=1の時はモード設定に関係なくI²S互換となりますが、A2IFモード0に設定して下さい。
BITCLK48fs,BITCLK32fsの場合A2IFモード0に設定して下さい。

D2,D1:A1IF[1:0] ADC1 出力モード選択

A1IFモード	A1IF[1]	A1IF[0]	
0	<u>0</u>	<u>0</u>	前詰め(24bit)
1	0	1	後詰め24bit
2	1	0	N/A
3	1	1	後詰め16bit

注)DIFS=1の時はモード設定に関係なくI²S互換となりますが、A1IFモード0に設定して下さい。
BITCLK48fs,BITCLK32fsの場合A1IFモード0に設定して下さい。

D0:0を入力して下さい。

注) ~ の設定値の下線部は初期値を表します。

2) CONT1:DACインターフェース選択

システムリセット時 ($\overline{\text{S_RESET}}$ = "L") のみ書込みが可能です。

Command Code		Name	D7	D6	D5	D4	D3	D2	D1	D0	Default
Write	Read										
22h	32h	CONT1	<u>D3IF[1]</u>	<u>D3IF[0]</u>	<u>D2IF[1]</u>	<u>D2IF[0]</u>	<u>D1IF[1]</u>	<u>D1IF[0]</u>	CKS	0	0000 0000

D7,D6:D3IF[1:0] DAC3 入力モード選択

D3IFモード	D3IF[1]	D3IF[0]	
0	<u>0</u>	<u>0</u>	前詰め(24bit)
1	0	1	後詰め24bit
2	1	0	N/A
3	1	1	後詰め16bit

注)DIFS=1の時はモード設定に関係なくI²S互換となりますが、D3IFモード0に設定して下さい。
BITCLK48fsの場合D3IFモード0を、BITCLK32fsの場合D3IFモード3に設定して下さい。

D5,D4:D2IF[1:0] DAC2 入力モード選択

D2IFモード	D2IF[1]	D2IF[0]	
0	<u>0</u>	<u>0</u>	前詰め(24bit)
1	0	1	後詰め24bit
2	1	0	N/A
3	1	1	後詰め16bit

注)DIFS=1の時はモード設定に関係なくI²S互換となりますが、D2IFモード0に設定して下さい。
BITCLK48fsの場合D2IFモード0を、BITCLK32fsの場合D2IFモード3に設定して下さい。

D3,D2:D1IF[1:0] DAC1 入力モード選択

D1IFモード	D1IF[1]	D1IF[0]	
0	<u>0</u>	<u>0</u>	前詰め(24bit)
1	0	1	後詰め24bit
2	1	0	N/A
3	1	1	後詰め16bit

注)DIFS=1の時はモード設定に関係なくI²S互換となりますが、D1IFモード0を設定して下さい。
BITCLK48fsの場合D1IFモード0を、BITCLK32fsの場合D1IFモード3に設定して下さい。

D1:CKS 入力クロック選択ピン

MCLK		対応fs	DFS	DFS[1]	DFS[0]
<u>CKS=0</u>	CKS=1		モード		
256fs	384fs	8kHz~48kHz	0	<u>0</u>	<u>0</u>
1024fs	1536fs	8kHz~12kHz	1	0	1
256fs	N/A	80kHz~96kHz	2	1	0

fs:12kHz~8kHzは、1024fs,1536fsを推奨します。
詳しくは、(4)システムクロックを参照してください。

D0:0を入力して下さい。

注) ~ の設定値の下線部は初期値を表します。

3) CONT2: SDINインターフェース選択他

Command Code		Name	D7	D6	D5	D4	D3	D2	D1	D0	Default
Write	Read										
24h	34h	CONT2	<u>ISIF[1]</u>	<u>ISIF[0]</u>	<u>OSIF[1]</u>	<u>OSIF[0]</u>	OUT2E_N	OUT1E_N	CKSH	0	0000 0000

D7,D6:ISIF[1:0] SDIN 入力モード選択

ISIFモード	ISIF[1]	ISIF[0]	DIFS=0(CONT0 D5)	DIFS=1(CONT0 D5)
0	<u>0</u>	<u>0</u>	スルー	スルー
1	0	1	前詰め(24bit)	I ² S互換(24bit)
2	1	0	後詰め24bit	使用出来ません
3	1	1	後詰め16bit	使用出来ません

注)OSIFでスルーを選んだ場合はISIFはスルーになります。

設定変更は、システムリセット時のみで行ってください。

BITCLK48fs時は、ISIFモード2,3が、またBITCLK32fs時はISIFモード1,2が使用できません

D5,D4:OSIF[1:0] SDIN変換

OSIFモード	OSIF[1]	OSIF[0]	DIFS=0(CONT0 D5)	DIFS=1(CONT0 D5)
0	<u>0</u>	<u>0</u>	スルー	スルー
1	0	1	前詰め(24bit)	I ² S互換(24bit)
2	1	0	後詰め24bit	使用できません
3	1	1	後詰め16bit	使用できません

注)ISIFでスルーを選んだ場合はOSIFはスルーになります。

モード1,2,3を選んだ場合、SDINの変換時間は、1×LRCLKです。

スルーを使用して、SDATO1,SDATO2を出力する場合、遅延時間(tSISO)に注意して下さい。

設定変更は、システムリセット時のみで行ってください。

BITCLK48fs時は、OSIFモード2,3が、またBITCLK32fs時はOSIFモード1,2は使用できません。

D3:OUT2E_N SDATO2出力選択

0:SDATO2出力

1:"L"出力

本レジスタ設定後、LRCLKの立ち上がり(I²Sは立ち下がり)で切り替わります。

D2:OUT1E_N SDATO1出力選択

0:SDATO1出力

1:"L"出力

本レジスタ設定後、LRCLKの立ち上がり(I²Sは立ち下がり)で切り替わります。

D1:CKSH 入力クロック選択ピン

0:通常動作

1:MCLKを1/2分周します

CKSH=1の時下表のようになります。設定変更は、システムリセット時に行ってください。

DFSモード	DFS[1]	DFS[0]	対応fs	MCLK	
				CKS=0	CKS=1
0	<u>0</u>	<u>0</u>	fs=48kHz~8kHz	512fs	768fs
1	0	1	fs=12kHz~8kHz	2048fs	3072fs

詳しくは、(4)システムクロックを参照してください。

D0:0を入力して下さい。

注) ~ の設定値の下線部は初期値を表します。

4) CONT3:ADC1コントロール

Command Code		Name	D7	D6	D5	D4	D3	D2	D1	D0	Default
Write	Read										
26h	36h	CONT3	ASEL1[2]	ASEL1[1]	ASEL1[0]	SWA1	SWI1	PSAD1	TEST	0	0000 0000

D7,D6,D5: ASEL1[2:0] ADC1 インプットセレクタレジスタ設定

ASEL1[2]	ASEL1[1]	ASEL1[0]	アナログ入力ピン
<u>0</u>	<u>0</u>	<u>0</u>	AINL1-,AINL1+,AINR1-,AINR1+
0	0	1	AINL3,AINR3
0	1	0	AINL4,AINR4
0	1	1	AINL5,AINR5
1	0	0	AINL6,AINR6
1	0	1	AINL7,AINR7
1	1	0	AINL8,AINR8
1	1	1	AINL9,AINR9

D4: SWA1 ADC SDATA出力選択 ([3.ブロック図]参照)

0:ADC1のSDATA出力選択

1:ADC2のSDATA出力選択

本レジスタ設定後、LRCLKの立ち上がり(I²Sは立ち下がり)で切り替わります。**D3: SWI1 ADC SDATA出力選択 ([3.ブロック図]参照)**

0:通常動作(SWA1で選択されたADCのSDATAを選択)

1:SDINを選択

本レジスタ設定後、LRCLKの立ち上がり(I²Sは立ち下がり)で切り替わります。**D2:PSAD1 ADC1パワーセーブ**

0:通常動作

1:ADC1部パワーセーブ

ADC1を使用しない場合、1にすることによりADC1のパワーセーブが可能となります。
(ADC1のデジタル出力SDATAは、000000hになります。)

通常動作に戻す場合は、0書込みを行ってください。

D1:TEST

0:通常動作

1:TESTモード(使用しないで下さい。)

D0:0を入力して下さい。

注) ~ の設定値の下線部は初期値を表します。

5) CONT4:ADC2コントロール

Command Code		Name	D7	D6	D5	D4	D3	D2	D1	D0	Default
Write	Read										
28h	38h	CONT4	ASEL2[2]	ASEL2[1]	ASEL2[0]	SWA2	SWI2	PSAD2	TEST	0	0000 0000

D7,D6,D5: ASEL2[2:0] ADC2 インプットレクタレジスタ設定

ASEL2[2]	ASEL2[1]	ASEL2[0]	アナログ入力ピン
<u>0</u>	<u>0</u>	<u>0</u>	AINL2-,AINL2+,AINR2-,AINR2+
0	0	1	AINL3,AINR3
0	1	0	AINL4,AINR4
0	1	1	AINL5,AINR5
1	0	0	AINL6,AINR6
1	0	1	AINL7,AINR7
1	1	0	AINL8,AINR8
1	1	1	AINL9,AINR9

D4: SWA2 ADC SDATA出力選択 ([3.ブロック図] 参照)

0:ADC2のSDATA出力選択

1:ADC1のSDATA出力選択

本レジスタ設定後、LRCLKの立ち上がり(I²Sは立ち下がり)で切り替わります。

D3: SWI2 ADC SDATA出力選択 ([3.ブロック図] 参照)

0:通常動作(SWA2で選択されたADCのSDATAを選択)

1:SDINを選択

本レジスタ設定後、LRCLKの立ち上がり(I²Sは立ち下がり)で切り替わります。

D2:PSAD2 ADC2パワーセーブ

0:通常動作

1:ADC2部パワーセーブ

ADC2を使用しない場合、1にすることによりADC2のパワーセーブが可能となります。

(ADC2のデジタル出力SDATAは、000000hになります。)

通常動作に戻す場合は、0書込みを行ってください。

D1:TEST

0:通常動作

1:TESTモード(使用しないで下さい。)

D0:0を入力して下さい。

注) ~ の設定値の下線部は初期値を表します。

6) CONT5:DACコントロール

Command Code		Name	D7	D6	D5	D4	D3	D2	D1	D0	Default
Write	Read										
2Ah	3Ah	CONT5	SMUTE	SF1	SF0	DAF	PSDA3	PSDA2	PSDA1	0	0000 0000

D7:SMUTE SMUTE選択

0:通常状態

1:SMUTE

SMUTEピンと同等のはたらきをします。本レジスタを使用する場合は、SMUTEピンは”L”にして下さい。また、SMUTEピンを使用する場合はSMUTE(D7)=0にして下さい。

D6,D5:SF1,SF0 ソフトミュートサイクルタイム選択

SFモード	SF1	SF0	
0	<u>0</u>	<u>0</u>	1008 LRCLKサイクル
1	0	1	4032 LRCLKサイクル
2	1	0	504 LRCLKサイクル
3	1	1	2016 LRCLKサイクル

設定変更は、システムリセット時のみで行ってください。

D4: DAF DAC部デジタルフィルタ設定 ([7.4-2)デジタルフィルタ特性] 参照)

0:通常動作

1: DA Digital Filter 変更

CONT0:D7,D6におけるDFSモード1の時、本レジスタ値を1に設定することを推奨します。設定変更は、システムリセット時に行ってください。

D3:PSDA3 DAC3パワーセーブ

0:通常動作

1: DAC3部パワーセーブ

DAC3を使用しない場合、1にすることによりDAC3のパワーセーブが可能となります。通常動作に戻す場合は、0書込みを行ってください。

D2:PSDA2 DAC2パワーセーブ

0:通常動作

1: DAC2部パワーセーブ

DAC2を使用しない場合、1にすることによりDAC2のパワーセーブが可能となります。通常動作に戻す場合は、0書込みを行ってください。

D1:PSDA1 DAC1パワーセーブ

0:通常動作

1: DAC1部パワーセーブ

DAC1を使用しない場合、1にすることによりDAC1のパワーセーブが可能となります。通常動作に戻す場合は、0書込みを行ってください。

D0:0を入力して下さい。

注) ~ の設定値の下線部は初期値を表します。

7) CONT6 : 内部バス設定 ([3.ブロック図]参照)

Command Code		Name	D7	D6	D5	D4	D3	D2	D1	D0	Default
Write	Read										
2Ch	3Ch	CONT6	SWAA3	SWD3	SWAA2	SWD2	SWAA1	SWD1	TEST	0	0000 0000

D7:SWAA3

0:ADC1 SDATAを選択します

1:ADC2 SDATAを選択します

本レジスタ設定後、LRCLKの立ち上がり(I²Sは立ち下がり)で切り替わります。

D6:SWD3

0:通常設定 (SDATAI3を選択します。)

1:SWAA3で選択されたADC SDATAを選択します。

(ADC,DACの入出力フォーマットは合わせる必要があります。)

本レジスタ設定後、LRCLKの立ち上がり(I²Sは立ち下がり)で切り替わります。

D5:SWAA2

0:ADC1 SDATAを選択します

1:ADC2 SDATAを選択します

本レジスタ設定後、LRCLKの立ち上がり(I²Sは立ち下がり)で切り替わります。

D4:SWD2

0:通常設定 (SDATAI2を選択します。)

1:SWAA2で選択されたADC SDATAを選択します。

(ADC,DACの入出力フォーマットは合わせる必要があります。)

本レジスタ設定後、LRCLKの立ち上がり(I²Sは立ち下がり)で切り替わります。

D3:SWAA1

0:ADC1 SDATAを選択します

1:ADC2 SDATAを選択します

本レジスタ設定後、LRCLKの立ち上がり(I²Sは立ち下がり)で切り替わります。

D2:SWD1

0:通常設定 (SDATAI1を選択します。)

1:SWAA1で選択されたADC SDATAを選択します。

(ADC,DACの入出力フォーマットは合わせる必要があります。)

本レジスタ設定後、LRCLKの立ち上がり(I²Sは立ち下がり)で切り替わります。

D1:0 TEST

0:通常動作

1:テストモード (使用しないで下さい。)

D0:0を入力して下さい。

注) ~ の設定値の下線部は初期値を表します。

(2) 電源立ち上げシーケンス

電源投入は、 $\overline{\text{INIT_RESET}} = \text{L}$, $\overline{\text{S_RESET}} = \text{L}$ で行って下さい。(イニシャルリセット)

$\overline{\text{INIT_RESET}} = \text{L}$ でコントロールレジスタ等が初期化されます。次に、 $\overline{\text{INIT_RESET}} = \text{H}$ にすることによりREF発生回路(アナログ基準電圧源)が立ち上がります。 $\overline{\text{INIT_RESET}}$ による初期化は通常、電源立ち上げ時のみでかまいません。

$\overline{\text{S_RESET}}$ を”H”にするまで(システムリセットを解除するまで)に、システムクロック(MCLK, LRCLK, BITCLK)は、安定供給を開始している必要があります。

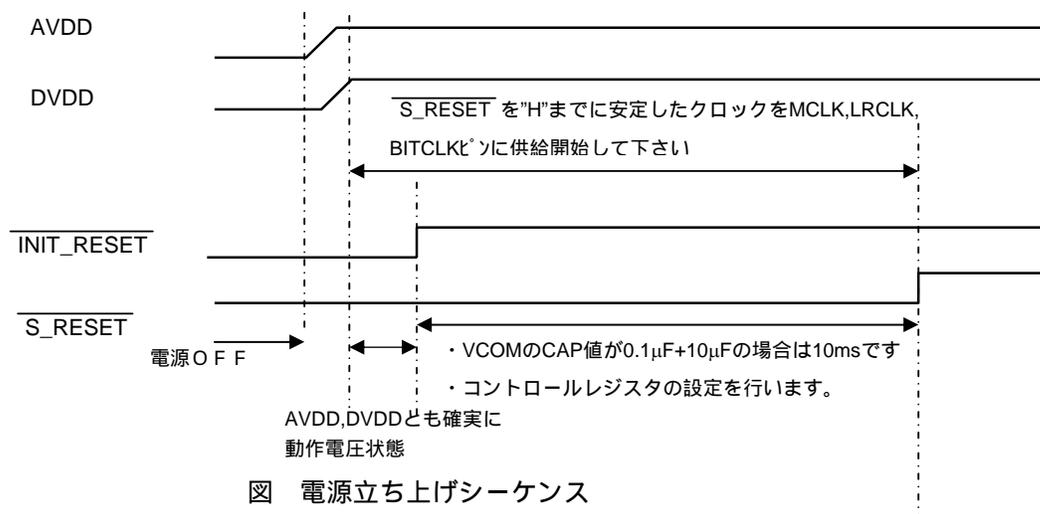
ただし、AK7750, AK7730のCLKO(,CLKO1,CLKO2),BITCLK(_O),LRCLK(_O)をAK4591に接続し、 $\overline{\text{S_RESET}}$ を共通に使用することは可能です。($\overline{\text{S_RESET}}$ 解除後いずれのクロックも出力イネーブルになっていることが必要。) AK7730のスレーブモードを除いて、 $\overline{\text{S_RESET}}$ の解除時にCLKO(,CLKO1,CLKO2),BITCLK(_O),LRCLK(_O)の3つすべてが立ち上がってはいませんが、これらクロックが安定供給開始後にAK4591の内部リセット解除が行われるようになっているため問題にはなりません。動作開始後は、通常の使用と同じく、リセット以外ではクロックを止めてはいけません。

また、 $\overline{\text{S_RESET}}$ を”H”にするまでにREFも立ち上がっている必要があります。REFの立ち上り時間は、VCOMの外付けコンデンサ(CAP)に依存し、 $0.1\mu\text{F}+10\mu\text{F}$ のコンデンサを接続した場合は10msです。

AK4591では、コントロールレジスタへの読み書きに関しては、システムクロック(MCLK,LRCLK, BITCLK)を必要としません。ただし、ノイズの影響を避けるためにもシステムクロックの切り替え中に読み書きを行う事はお勧めしません。システムクロックが”L”もしくは安定に動作している時に行って下さい。また、コントロールレジスタの初期設定はシステムリセット中($\overline{\text{INIT_RESET}} = \text{H}$ & $\overline{\text{S_RESET}} = \text{L}$)に行います。一部のレジスタでは動作中に設定出来るものがありますが(SMUTE等)、切り替え時にはクリックノイズ(ポツ音)対策等が必要な場合があります。

注意 システムクロック(MCLK,LRCLK,BITCLK)は、イニシャルリセット時または、システムリセット時($\overline{\text{INIT_RESET}} = \text{H}$ & $\overline{\text{S_RESET}} = \text{L}$)以外(正確には内部リセットが解除後)は止めないで下さい。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。システムクロックの切り替えもこの時に行ってください。

AK4591では、DAC部にソフトミュートを持っていますが、電源立ち上げ、立ち下げ時、イニシャルリセット時、イニシャルリセット解除時、システムリセット時、システムリセット解除時は機能しませんので、外付けの回路によるクリックノイズ(ポツ音)対策が必要です。



(3) リセットについて

AK4591では、リセットピンとして $\overline{\text{INIT_RESET}}$, $\overline{\text{S_RESET}}$ の2つがあります。

$\overline{\text{INIT_RESET}}$ は、[(2) 電源立ち上げシーケンス]の項で述べたように、REFの立ち上げと初期化に使用します。

$\overline{\text{S_RESET}} = "L"(\& \overline{\text{INIT_RESET}} = "H")$ でシステムリセット状態になります。

このシステムリセット状態で、通常はコントロールレジスタ設定等を行います。

システムリセット中は、ADC,DAC部もリセット状態になります。ただし、REFは動作状態です。

システムリセットは、“H”に立ち上げることにより解除され、内部のカウンタが動き出します。

システムリセットを解除するとLRCLKの立ち上り（AKM標準フォーマット時）に同期して、内部のタイミングが動作します。外部クロックと内部とのタイミング合わせはこの時のみ行われます。

したがって、LRCLK,BITCLKは、システムリセットを解除するまでには安定動作させて下さい。

動作中、LRCLKと内部タイミングの位相差（LRCLKの立ち上り、立ち下がりのどちらもチェック）がBITCLK(64fsの場合)約2個分以内であれば内部タイミングはそのままで動作します。位相差が上記範囲より大きくなった時、LRCLKの立ち上りに同期して位相合わせが行われます。これはあくまでも、ノイズなどにより外部回路との同期がとれなくなることを防ぐための回路であり、同期外れが正常に戻ってもしばらくの間正常なデータは出力されません。また本機能は、あくまでも補助的なものであり、クロックの位相合わせやクロック周波数変更等に使用することは出来ません。マスタクロックMCLKの変更、サンプリング周波数fsの変更、MCLK,BITCLK,LRCLKの位相の変更など、クロックの変更を伴う場合は、必ずシステムリセット $\overline{\text{S_RESET}} = "L"(\& \overline{\text{INIT_RESET}} = "H")$ もしくは、イニシャルリセット $\overline{\text{INIT_RESET}} = "L"(\& \overline{\text{S_RESET}} = "L")$ を行ってください。

ADC部は内部カウンタが動作後、530LRCLK(max)後よりデータ出力が可能になります。

$\overline{\text{S_RESET}}$ が“H”に立ち上がることによりAK4591は動作状態になります。

イニシャルリセット($\overline{\text{INIT_RESET}}$)、システムリセット($\overline{\text{S_RESET}}$)の立ち上げ、立ち下げ時は、DAC部は、パワーダウン状態もしくは解除に移行するためクリックノイズが発生する可能性があります。クリックノイズが問題になるような場合は、アナログ出力を外部でミュートして下さい。（コントロールレジスタのパワーセーブモードを使用した場合も同様です。）

ADCのデジタル出力に対しても、場合によっては同様な対策をとる必要があります。

(4) システムクロック

必要とされるシステムクロックは、MCLK(256fs,384fs@48kHz),LRCLK(1fs),BITCLK(64fs推奨, 48fs,32fsも条件付きで可)です。MCLKとLRCLKは、同期をとる必要がありますが位相を合わせる必要はありません。LRCLKは標準のデジタルオシレート(8kHz~96kHz)に対応しています。

CKSH = 0 (CKSH:CONT2 D1)

Fs	MCLK (マスタークロック)				BITCLK 64fs
	256fs	384fs	1024fs	1536fs	
	CKS=0	CKS=1	CKS=0	CKS=1	
8kHz	(2.048MHz)	(3.072MHz)	8.192MHz	12.288MHz	512kHz
12kHz	(3.072MHz)	(4.608MHz)	12.288MHz	18.432MHz	768kHz
16kHz	4.096MHz	6.144MHz	-	-	1.024MHz
24kHz	6.144MHz	9.216MHz	-	-	1.536MHz
32kHz	8.192MHz	12.288MHz	-	-	2.048MHz
44.1kHz	11.2896MHz	16.9344MHz	-	-	2.8224MHz
48kHz	12.288MHz	18.432MHz	-	-	3.072MHz
96kHz	24.576MHz	-	-	-	6.144MHz

注) - : 未対応

Fsが8kHz,12kHzは、1024fs,1536fsを推奨します。

CKSH=1 (CKSH:CONT2 D1)

Fs	MCLK (マスタークロック)				BITCLK 64fs
	512fs	768fs	2048fs	3072fs	
	CKS=0	CKS=1	CKS=0	CKS=1	
8kHz	(4.096MHz)	(6.144MHz)	16.384MHz	24.576MHz	512kHz
12kHz	(6.144MHz)	(9.216MHz)	24.576MHz	-	768kHz
16kHz	8.192MHz	12.288MHz	-	-	1.024MHz
24kHz	12.288MHz	18.432MHz	-	-	1.536MHz
32kHz	16.384MHz	24.576MHz	-	-	2.048MHz
44.1kHz	22.5792MHz	-	-	-	2.8224MHz
48kHz	24.576MHz	-	-	-	3.072MHz
96kHz	-	-	-	-	-

注) - : 未対応

Fsが8kHzは2048fs,3072fsを、Fsが12kHzは2048fsを推奨します。

(5) オーディオインターフェース

5-1) SDATI1,SDATI2,SDATI3,SDATO1,SDATO2 (BITCLK64fs)

シリアルオーディオデータピン(SDATI1,SDATI2,SDATI3,SDATO1,SDATO2)は、LRCLK,BITCLKを使用して外部システムとのインターフェースを行います。

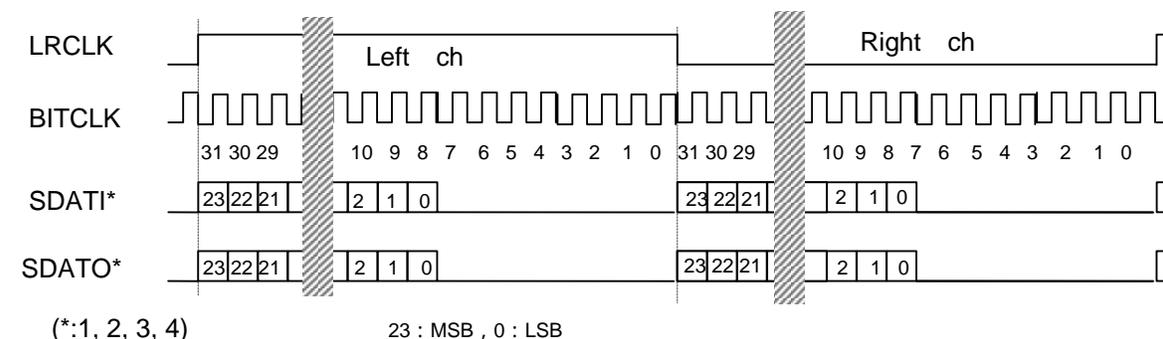
データフォーマットは2'sコンプリメントのMSBファーストです。

5-1-a) AKM標準フォーマット($CONT0 : DIFS=0$)

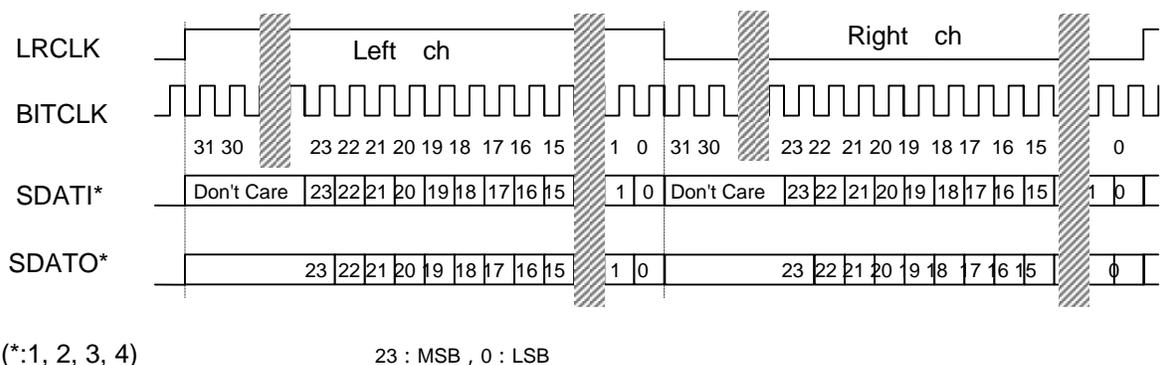
まず、BITCLKが64fsの場合について説明します。AK4591では、コントロールレジスタを設定することにより、独立に入出力フォーマットを設定することが出来ます。初期設定では前詰め(24bit)ですが、コントロールレジスタ設定により後詰め24bit、後詰め16bitにも対応します(詳しくは、8.(1)コントロールレジスタ設定を参照してください。)

BITCLKは48fsでも入力することは可能ですが、この場合はすべて前詰め24bitに設定してください。

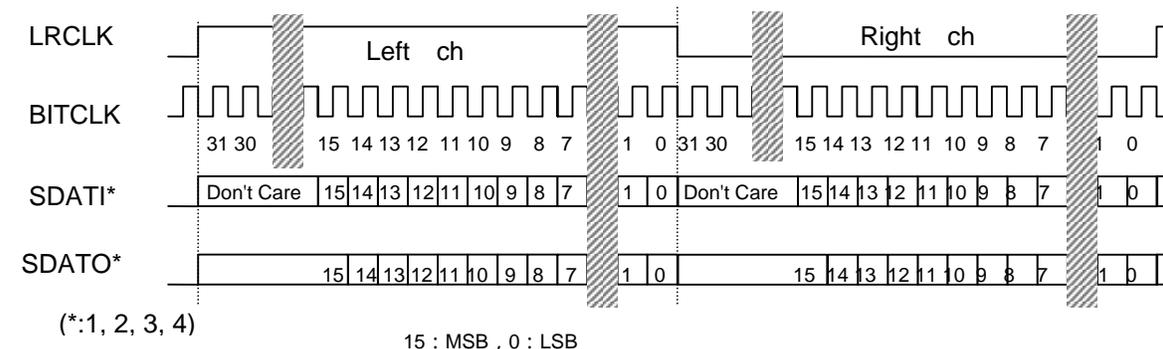
モード0 前詰め24bit



モード1 後詰め24bit

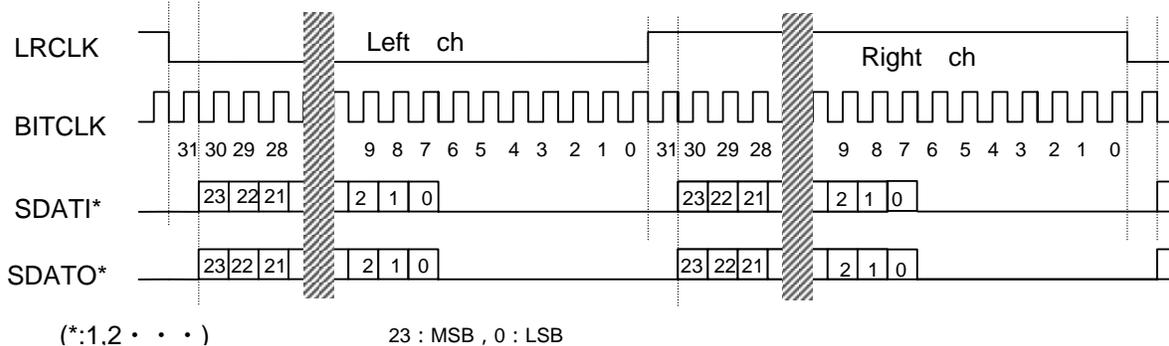


モード3 後詰め16bit



5-1-b) I²S互換フォーマット($CONT0 : DIFS=1$)

入出力フォーマットは、AKM標準フォーマットの他に、CONT0 DIFS(D5)=1に設定する事によりI²S互換モード(24bit)にすることが出来ます。(この場合すべての入出力オーディオデータピンのインターフェースは、I²S対応となります。)



5-2) SDIN (BITCLK64fs)

シリアルオーディオデータピンSDINは、ADCのシリアルデータをSDATO1あるいはSDATO2に出力させる必要がない時に用いることが可能です。([3.ブロック図]、[8.機能説明(1)コントロールレジスタ設定]参照) コントロールレジスタ設定により、スルーあるいは、シリアルデータ変換を行って、SDATO1,SDATO2に出力させます。シリアルデータ変換時のデータフォーマットは2'sコンプリメントのMSBファーストで、変換に1/fs(μs)かかります。

5-3) BITCLK48fs,BITCLK32fs

AK4591は、BITCLK48fs,BITCLK32fsでも入力することが可能ですが、すべてのオーディオインターフェースをBITCLK48fs時は48fs、BITCLK32fs時は32fsに合わせる必要があります。したがって、コントロールレジスタは下記のとおりを設定して下さい。

5-3-a) BITCLK48fs

CONT0 D5:DIFS=0, D4,D3:A2IF[1:0]=00 D2,D1:A1IF[1:0]=00
 CONT1 D7,D6:D3IF[1:0]=00, D5,D4:D2IF[1:0]=00, D3,D2:D1IF[1:0]=00,
 CONT2 (D7,D6:ISIF[1:0]=00,D5,D4:OSIF[1:0]=00) or (D7,D6:ISIF[1:0]=01,D5,D4:OSIF[1:0]=01)

5-3-b) BITCLK32fs

CONT0 D5:DIFS=0, D4,D3:A2IF[1:0]=00 D2,D1:A1IF[1:0]=00
 CONT1 D7,D6:D3IF[1:0]=11, D5,D4:D2IF[1:0]=11, D3,D2:D1IF[1:0]=11,
 CONT2 (D7,D6:ISIF[1:0]=00,D5,D4:OSIF[1:0]=00) or (D7,D6:ISIF[1:0]=11,D5,D4:OSIF[1:0]=01)

(6) マイコンインターフェース

マイコンとのインターフェースは、 \overline{RQ} (ReQuest Bar).SCLK(Serial data input CLock), SI(Serial data Input),SO(Serial data Output),の4つの制御信号で実施します。必要に応じて \overline{CS} (ChipSelect Bar)を使います。

マイコンインタフェースを用いて、コントロールレジスタ設定を行います。

マイコンとAK4591とのインターフェースを行う場合は、 \overline{RQ} を”L”にして行います。SCLKの立ち上がりでデータを取り込み、SCLKの立ち下がりデータを出力します。

書き込み(WRITE)は、最初にコマンドコードを入力し、次にレジスタ設定を行います。読み出し(READ)は、コマンドコードを入力し、続けて8bit分”L”を入力します。

\overline{RQ} を”H”にする事により1つのコマンドが終了しますので、新たにコマンドを書き込むためには、 \overline{RQ} を”H”にしたのち再び”L”にして書き込みを行って下さい。

AK4591ではコマンドコードとして20hから3Fhまで割り当てられています。

\overline{CS} =”H”にすると、SIデータは取り込まれず、SOはHi-zとなります。(\overline{CS} =”L”の時、 \overline{RQ} =”H”でもSIは取り込まれませんが、SOはHi-Zではありません。)

コントロールレジスタへの初期設定 (WRITE) は、システムリセット中 ($\overline{S_RESET}$ =”L” & $\overline{INIT_RESET}$ =”H”) に行ってください。AK4591では、コントロールレジスタへの読み書きに関しては、システムクロック(MCLK,LRCLK,BITCLK)を必要としません。ただし、ノイズの影響を避けるためにもシステムクロックの切り替え中に読み書きを行う事はお勧めしません、システムクロックが”L”もしくは安定に動作している時に行ってください。一部のレジスタでは動作中に設定出来るものがありますが(SMUTE等)、切り替え時にはクリックノイズ(ポツ音)対策等が必要な場合があります。

マイコンとの通信が無い場合は、外部ノイズ等による誤動作を避けるために \overline{RQ} =”H”,SCLK=”H”,SI=”L”にして下さい。(\overline{CS} に関しては、用途に応じて使い分けしてください。)

6-1) WRITE(書き込み)

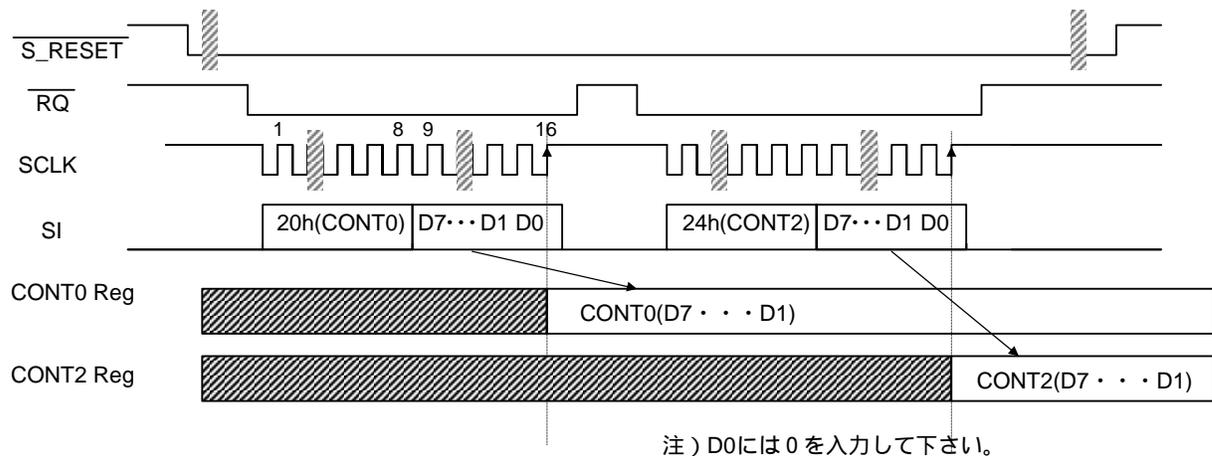
コントロールレジスタへの書き込みは2バイト1組(16bit)のデータで実行します。16個目のSCLKの立ち上がりで、設定値は各レジスタに取り込まれます。

データ転送手順

コマンドコード	20h,22h,24h,26h,28h,2Ah,2Ch,(2Eh)
コントロール・データ	(D7 D0)

注) 2Ehは、テスト専用のため使用出来ません。

各ビットの機能は、8.機能説明、(1)コントロールレジスタ設定を参照して下さい。



コントロールレジスタWRITE (例)

動作中で書き込み可能な場合は、 $\overline{S_RESET} = "H"$ 以外は上図と同じです。

6-2) READ(読み出し)

コントロールレジスタ読み出しは16bitのSCLKで実行されます。コマンドコード入力後、SCLKの立ち下がり、コントロールレジスタの設定値D7~D1が出力されます。D0に相当する部分は、レジスタがありませんので、16個目のSCLKの立ち上がりまで常に0が出力されます。

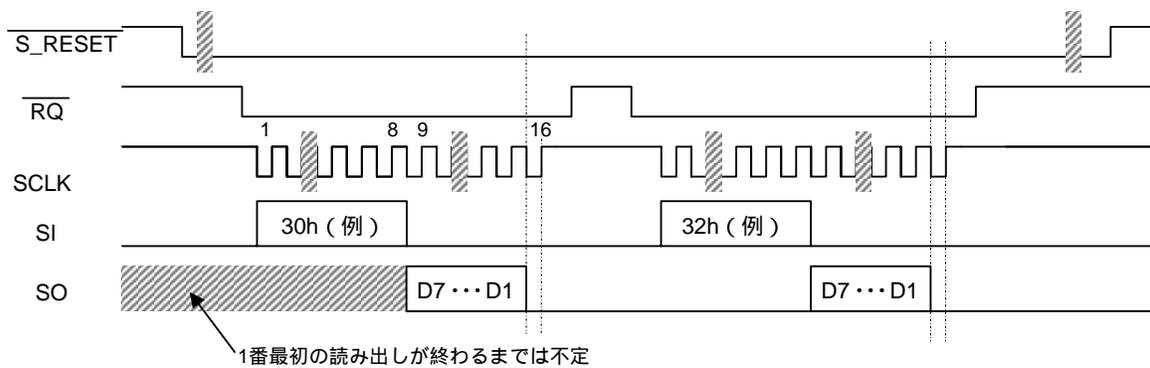
READは、動作中($\overline{\text{S_RESET}} = \text{H}$)でも可能です。

データ転送手順

コマンドコード	30h,32h,34h,36h,38h,3Ah,3Ch,(3Eh)
	(00000000)

注) 3Ehは、テスト専用のため使用出来ません。

各ビットの機能は、8.機能説明、(1)コントロールレジスタ設定を参照して下さい。



コントロールレジスタREAD (例) 動作中は $\overline{\text{S_RESET}} = \text{H}$

(7) ADC部ハイパスフィルタ

AK4591では、ADC部のDCオフセットキャンセル用にデジタル・ハイパスフィルタ(HPF)を内蔵しています。HPFのカットオフ周波数は約1Hz($f_s=48\text{kHz}$)です。このカットオフ周波数はサンプリング周波数(f_s)に比例します。

	96kHz	48kHz	44.1kHz	32kHz	8kHz
カットオフ周波数	1.86Hz	0.93Hz	0.86Hz	0.62Hz	0.16Hz

(8) DAC部ソフトミュート機能

DAC部にはソフトミュート回路が内蔵されています。これは、DAC1,DAC2,DAC3に共通に動作します。ソフトミュートは、デジタル的に実行されます。SMUTEピンを”H”またはコントロールレジスタCONT5のSMUTE=1に設定するとコントロールレジスタ(CONT5)SF1,SF0で設定したLRCLKサイクル+2LRCLK(max)サイクルで入力データが - dBまでアッテネーションされます。(SF1=0,SF0=0のときは1008~1010LRCLKでアッテネーションされます。)

SMUTEピンを”L” コントロールレジスタのSMUTE=0にすると - dB状態が解除され、設定したLRCLKサイクル+2 LRCLK(max)サイクルで0dBまで復帰します。

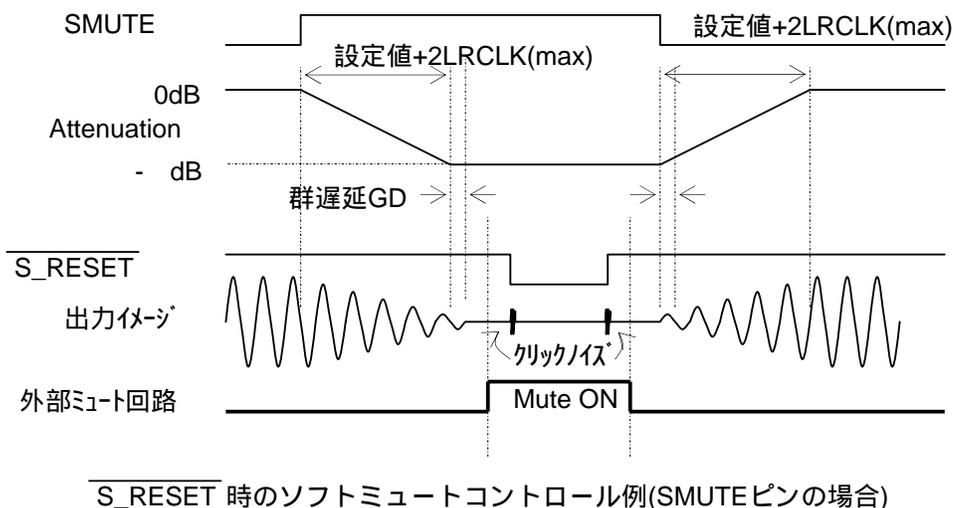
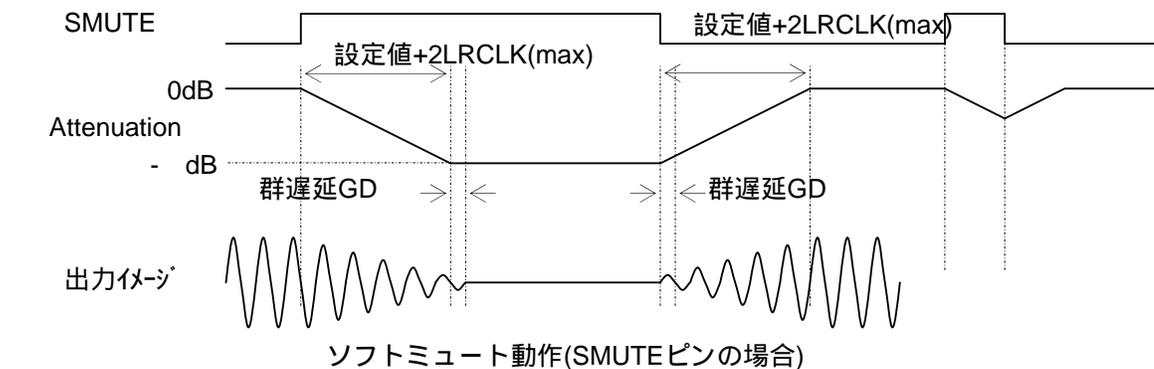
(SMUTEピンとコントロールレジスタSMUTEのORをとって内部SMUTEとしています。(3.ブロック図参照))

ソフトミュート開始後、設定したサイクル以内に解除されるとアッテネーションが中断され、同じサイクルで0dBまで復帰します。(ソフトミュートをかける位置によって最大2 LRCLKの誤差は出ます。)

ソフトミュート機能は、 $\overline{S_RESET}$ が”H” (DAC部が動作状態) のとき有効に動作します。

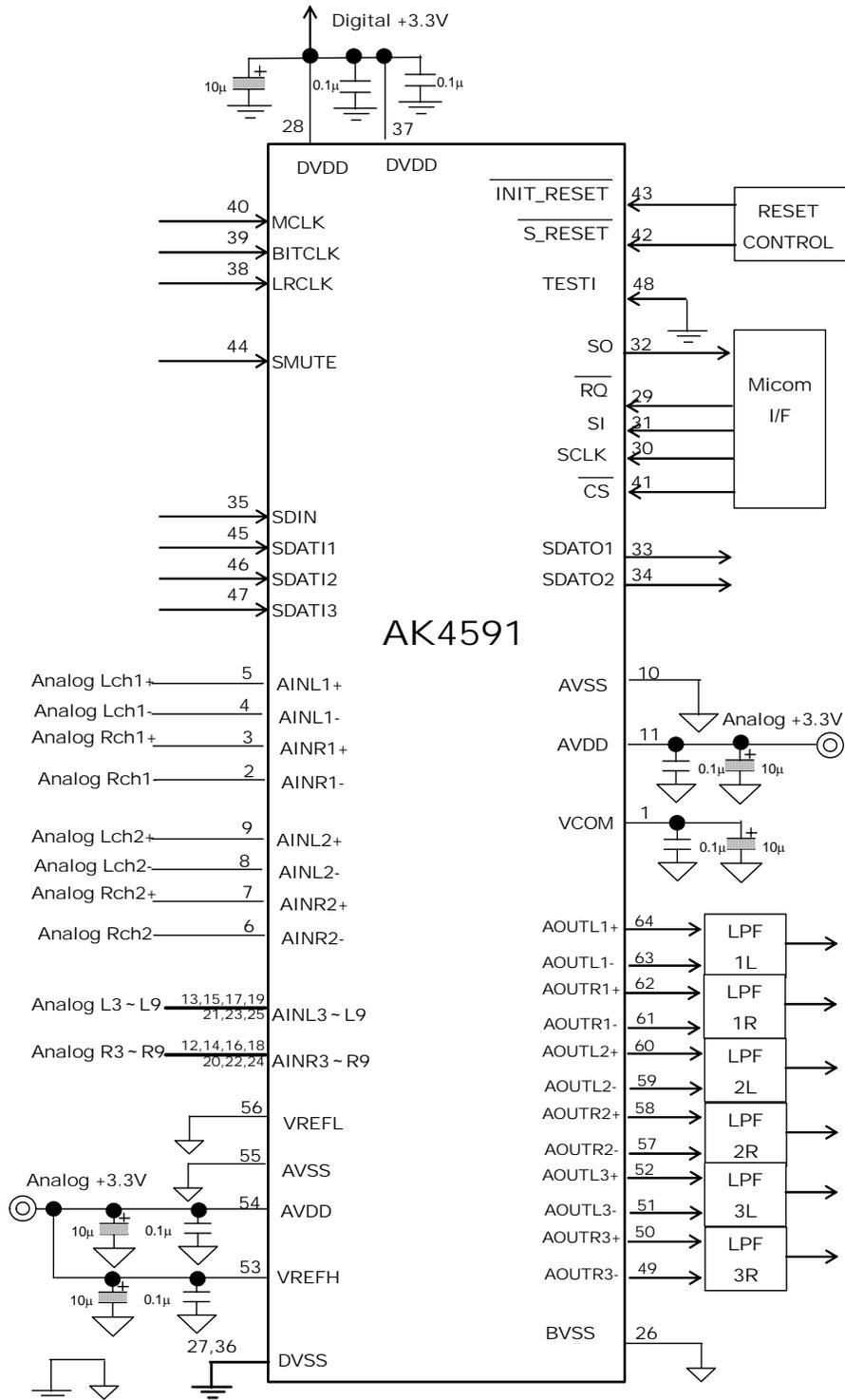
- dB(0)までアッテネーションされた後、システムリセット: $\overline{S_RESET}$ =”L”を行った場合、DAC部がリセット状態になるため、リセット時とリセット解除時にクリックノイズ(ポツ音)が発生する可能性がありますので外部ミュート回路等で対策を行ってください。

アッテネーション値は、 $\overline{INIT_RESET}$ =”L”で初期化され、 $\overline{S_RESET}$ =”L”では初期化されません。



9. システム設計

(1) 接続図



(2) 周辺回路

2-1) グランドと電源

AK4591では、デジタルノイズのカップリングを最小限に抑えるため、AVDDとDVDDを分けてデカップリングします。AVDDには、システムのアナログ電源を供給します。

一般的に電源とグランドは、アナログとデジタルに分けて配線し、PCボード上の電源に近いところで接続して下さい。デカップリングコンデンサ、特に小容量のセラミックコンデンサは、AK4591にできるだけ近づけて接続します。

2-2) 基準電圧

VREFHピンとVREFLピンに入力される電圧の差が、アナログ入力のフルスケール電圧、アナログ出力のフルスケール電圧を決定します。通常VREFHにAVDDを、VREFLにAVSSを接続し、VREFHピンには、高周波ノイズを除去するために、10 μ Fの電解コンデンサと並列に、0.1 μ FのセラミックコンデンサをAVSSとの間に接続して下さい。特にセラミックコンデンサは、ピンにできるだけ近づけて接続して下さい。デジタル信号、特にクロックラインはAK4591へのカップリングをさけるために、VREFHピン及びVREFLピンからできるだけ離して下さい。

VCOMピンには、AK4591のコモン電圧が出力されます。VCOMピンから出力されるコモン電圧を、外部回路には使用しないで下さい。VCOMピンには高周波ノイズを除去するために、10 μ Fの電解コンデンサと並列に、0.1 μ FのセラミックコンデンサをAVSSとの間に接続して下さい。特にセラミックコンデンサは、ピンにできるだけ近づけて接続して下さい。VCOMピンから電流を引かないようにしてください。

2-3) アナログ入力

アナログ入力信号は各chの差動入力ピン、シングルエンド入力ピンから変調器に入力されます。差動入力ピンは、入力レンジが $\pm FS = \pm (VREFH - VREFL) \times (2.0/3.3)$ ($VREFH = 3.3V, VREFL = 0.0V$ の時、 $\pm 2.0V_{pp}$)であり、変調器への入力電圧がAIN+とAIN-の差電圧($VAIN = (AIN+) - (AIN-)$)となります。シングルエンド入力ピンは、入力レンジが $FS = (VREFH - VREFL) \times (2.0/3.3)$ ($VREFH = 3.3V, VREFL = 0.0V$ の時、 $2.0V_{pp}$)であり、変調器への入力電圧がAIN $\times 2.0$ となります。出力コードのフォーマットは2'sコンプリメントです。

AK4591のアナログ電源電圧は+3.3V(TYP)になっており、アナログ入力ピン(AINL1+, AINL1-, AINR1+, AINR1-, AINL2+, AINL2-, AINR2+, AINR2-, AINL3~L9, AINR3~R9, VREFH, VREFL)には、AVDD+0.3V以上、AVSS-0.3V以下の電圧と $\pm 10mA$ 以上の電流を入力してはいけません。過大電流の流入は内部の保護回路の破壊、さらにはラッチアップを引き起こし、ICの破壊に至ります。従って、周辺のアナログ回路の電圧が、 $\pm 15V$ 等の場合はアナログ入力ピンを絶対最大定格以上の信号から保護する必要があります。

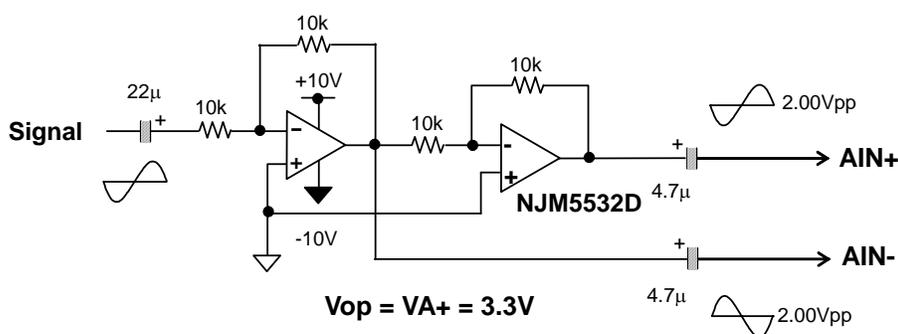


図1 . 入力バッファ回路例 (差動入力ピン)

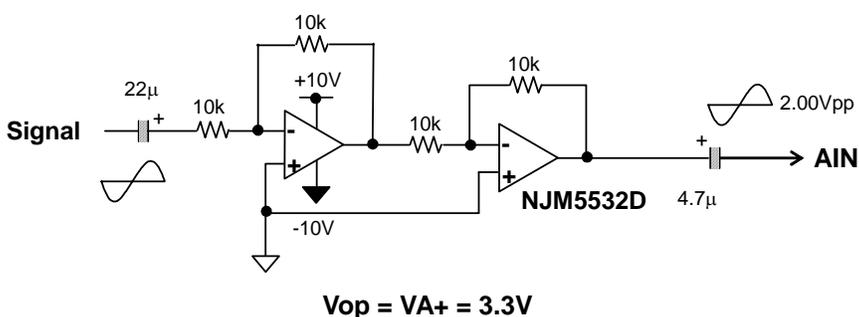


図2 . 入力バッファ回路例 (シングルエンド入力ピン)

AK4591のアナログセクタへの入力ピン(AINL1+, AINL1-, AINR1+, AINR1-, AINL2+, AINL2-, AINR2+, AINR2-, AINL3~L9, AINR3~R9)は、イニシャルリセット解除後に、AVDD/2の内部動作点をつくります。従って、上記回路例のように、DC成分を除去して入力する場合、イニシャルリセット中にAC成分を入力しないようにして下さい。

2-4)アナログ出力

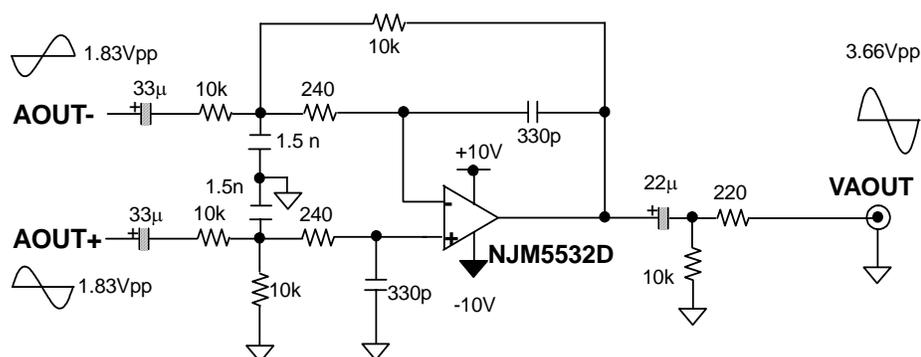


図3. 外部LPF回路例

アナログ出力は完全差動出力になっており、出力レンジはAVDD/2電圧を中心に $\pm 1.83\text{Vpp}$ (typ@ VREFH=3.3V, VREFL=0.0V)。差動出力は外部で加算されます。AOUT+とAOUT-の加算電圧は $\text{VAOUT} = (\text{AOUT+}) - (\text{AOUT-})$ です。加算ゲインが1の場合、出力レンジは $\text{VAOUT} = 3.66\text{Vpp}$ (typ@ VREFH=3.3V, VREFL=0.0V)です。

外部加算回路のバイアス電圧は外部で供給されます。入力コードのフォーマットは2'sコンプリメント(2の補数)で7FFFFFFH(@24bit)に対しては正のフルスケール、800000H(@24bit)に対しては負のフルスケール、000000H(@24bit)でのVAOUTの理想値は0Vが出力されます。

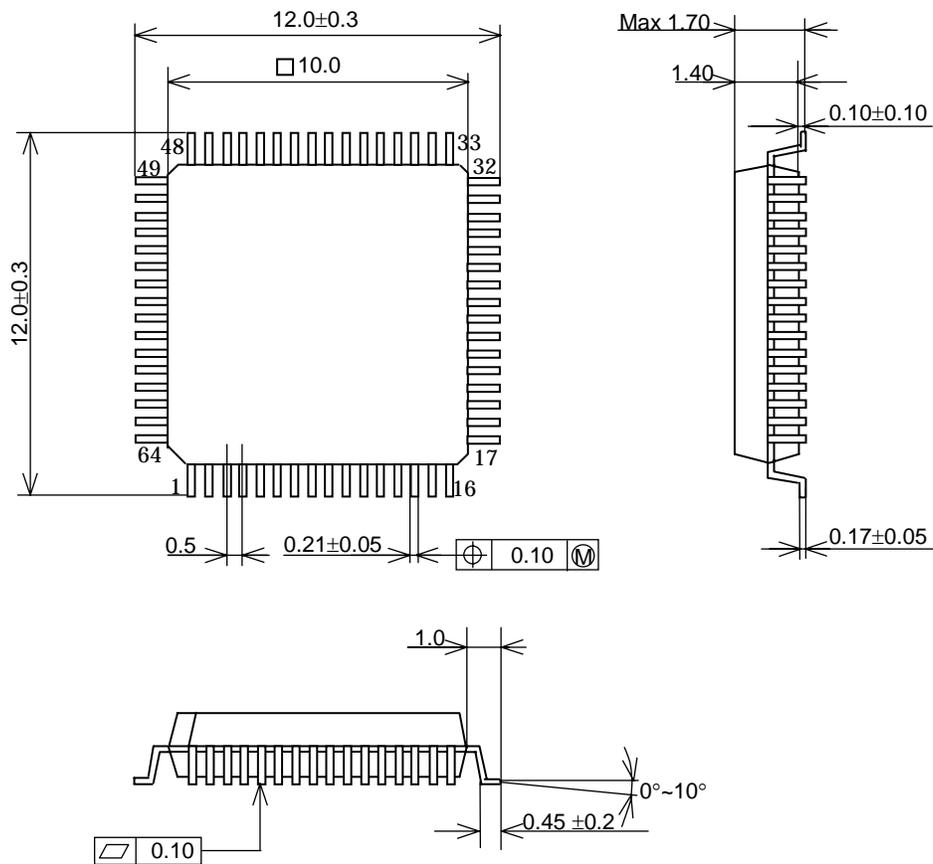
差動出力はAVDD/2 + 数mV程度のDCオフセットを持つためコンデンサでDC成分をカットします。図3.は差動出力を加算する外部オペアンプ回路例です。

2-5) デジタル回路との接続

デジタル回路によるノイズを最小限に抑えるためにデジタルインタフェースにはCMOS低電圧ロジックを接続します。適合するロジックファミリーは74LV, 74LV-A, 74ALVC, 74AVCシリーズ等です。

10.パッケージ

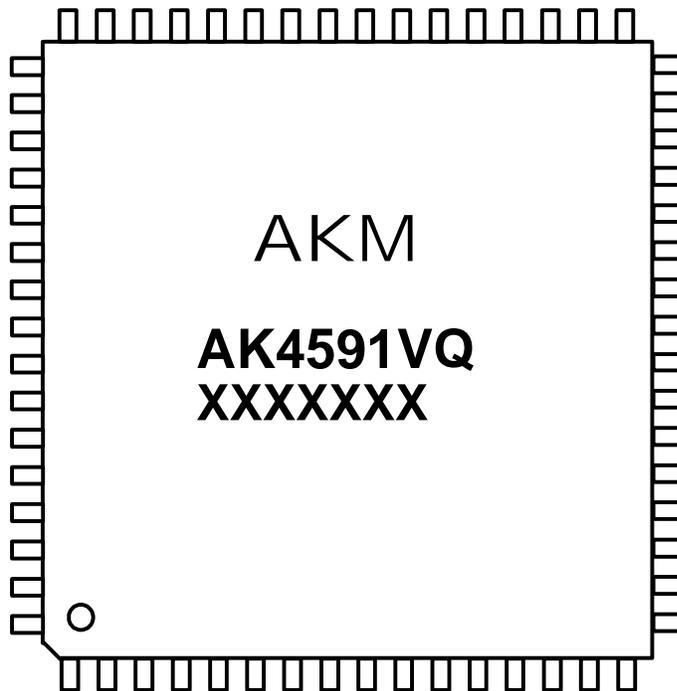
- 64ピン LQFP (Unit : mm)



■ 材質・メッキ仕様

パッケージ材質:	エポキシ系樹脂
リードフレーム材質:	銅
リードフレーム処理:	半田(無鉛)メッキ

11. マーキング



- 1) Pin #1 indication
- 2) Date Code: XXXXXXXX(7 digits)
- 3) Marking Code: AK4591VQ
- 4) Asahi Kasei Logo

重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際は、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。