TOSHIBA

東芝 オリジナル CMOS 16 ビット マイクロコントローラ

TLCS-900/L1 シリーズ

TMP91CW12AFG
TMP91CY22FG

株式会社 東芝 セミコンダクター社

Downloaded from Elcodis.com electronic components distributor

はじめに

この度は弊社 16 ビットマイクロコントローラ TLCS-900/L1 シリーズ、TMP91CW12A/TMP91CY22 をご利用いただき、誠にありがとうございます。

本 LSI をご利用になる前に、「使用上の注意、制限事項」の章を参照されますことをお願いいたします。

特に下記に示す注意事項に関しましては、十分にご注意願います。

ホルト状態からの解除に関する注意事項

通常は、割り込みによってホルト状態を解除することができますが、HALT モードが IDLE1、STOP モードに設定されている状態 (IDLE2 は対象外) で、CPU が HALT モードに移行しようとしている期間(f_{FPH} 約 5 クロックの間)に、HALT モードを解除可能な割り込み ($\overline{NMI}$, INT0~INT4, INTRTC) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます)。

HALT モードへ完全に移行された後に、再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

Downloaded from Elcodis.com electronic components distributor

低電圧/低消費電力

CMOS 16 ビット マイクロコントローラ

TMP91CW12AFG/TMP91CY22FG

1. 概要と特長

TMP91CW12A/CY22 は、低電圧/低消費電力動作が可能な高速・高機能 16 ビットマイクロコントローラです。

TMP91CW12AFG/CY22FG は、100 ピン ミニフラットパッケージ製品です。

製品形名	RAM	ROM	パッケージ
TMP91CW12AFG	4K バイト	128K バイト	LQFP100 – P – 1414 – 0.50F
TMP91CY22FG	16K バイト	256K バイト	

(1) オリジナル 16 ビット CPU (900/L1_CPU 使用)
- TLCS-90 と命令ニモニックで上位互換
- 16M バイトのリニアアドレス空間
- 汎用レジスタ&レジスタバンク方式
- 16 ビット乗除算命令、ビット転送/演算命令
- マイクロ DMA ： 4 チャネル (593 ns/2 バイト@27 MHz)

(2) 最小命令実行時間 ： 148ns (@27 MHz)

(3) 外部メモリ拡張
- 16 M バイト(プログラム/データ共通)まで拡張可能
- 外部データバス 8/16 ビット幅共存可能
  …ダイナミックデータバスサイジング

当社半導体製品取り扱い上のお願い

20070701-JA

- 当社は品質，信頼性の向上に努めておりますが，一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は，半導体製品の誤作動や故障により，生命・身体・財産が侵害されることのないように，購入者側の責任において，機器の安全設計を行うことをお願いします。
  なお，設計に際しては，最新の製品仕様をご確認の上，製品保証範囲内でご使用いただくと共に，考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」，「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は，一般的電子機器（コンピュータ，パーソナル機器，事務機器，計測機器，産業用ロボット，家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され，その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器，航空宇宙機器，輸送機器，交通信号機器，燃焼制御，医療機器，各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし，また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは，お客様の責任でなされることとなります。
- 本資料に掲載されている製品を，国内外の法令，規則及び命令により製造，使用，販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は，製品の代表的動作・応用を説明するためのもので，その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有･使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は，技術の進歩などにより予告なしに変更されることがあります。

Downloaded from Elcodis.com electronic components distributor

(4) 8 ビットタイマ : 8 チャネル

(5) 16 ビットタイマ : 2 チャネル

(6) 汎用シリアルインタフェース : 2 チャネル

- UART/同期両モード対応 : 2 チャネル
- IrDA ver1.0 (115.2 kbps) 対応モード選択可能 : 1 チャネル

(7) シリアルバスインタフェース : 1 チャネル
I²C バスモード/クロック同期式モード選択可能

(8) 10 ビット AD コンバータ (サンプルホールド回路内蔵) : 8 チャネル

(9) ウォッチドッグタイマ

(10) 時計用タイマ

(12) チップセレクト/ウェイトコントローラ: 4 チャネル

(13) 割り込み機能: 45 本

- CPU 9 本 …… ソフトウエア割り込み命令、未定義命令実行違反
- 内部 26 本 …… 7 レベルの優先順位の設定が可能
- 外部 10 本 …… 7 レベルの優先順位の設定が可能
(8 本はエッジの極性選択可能)

(14) 入出力ポート: 81 端子

(15) スタンバイ機能
3 種類の HALT モード (プログラマブル IDLE2, IDLE1, STOP)

(16) トリプルクロック制御機能

- クロック逓倍回路 (DFM) 内蔵
- クロックギア機能： 高周波クロック fc ~ fc/16 まで切り替え可能
- 時計用クロック (fs = 32.768 kHz)

(17) 動作電圧

- Vcc = 2.7 ~ 3.6V (fc max = 27 MHz)
- Vcc = 1.8~ 3.6 V (fc max = 10MHz)

(18) パッケージ: LQFP100 – P – 1414 – 0.50F

Downloaded from Elcodis.com electronic components distributor

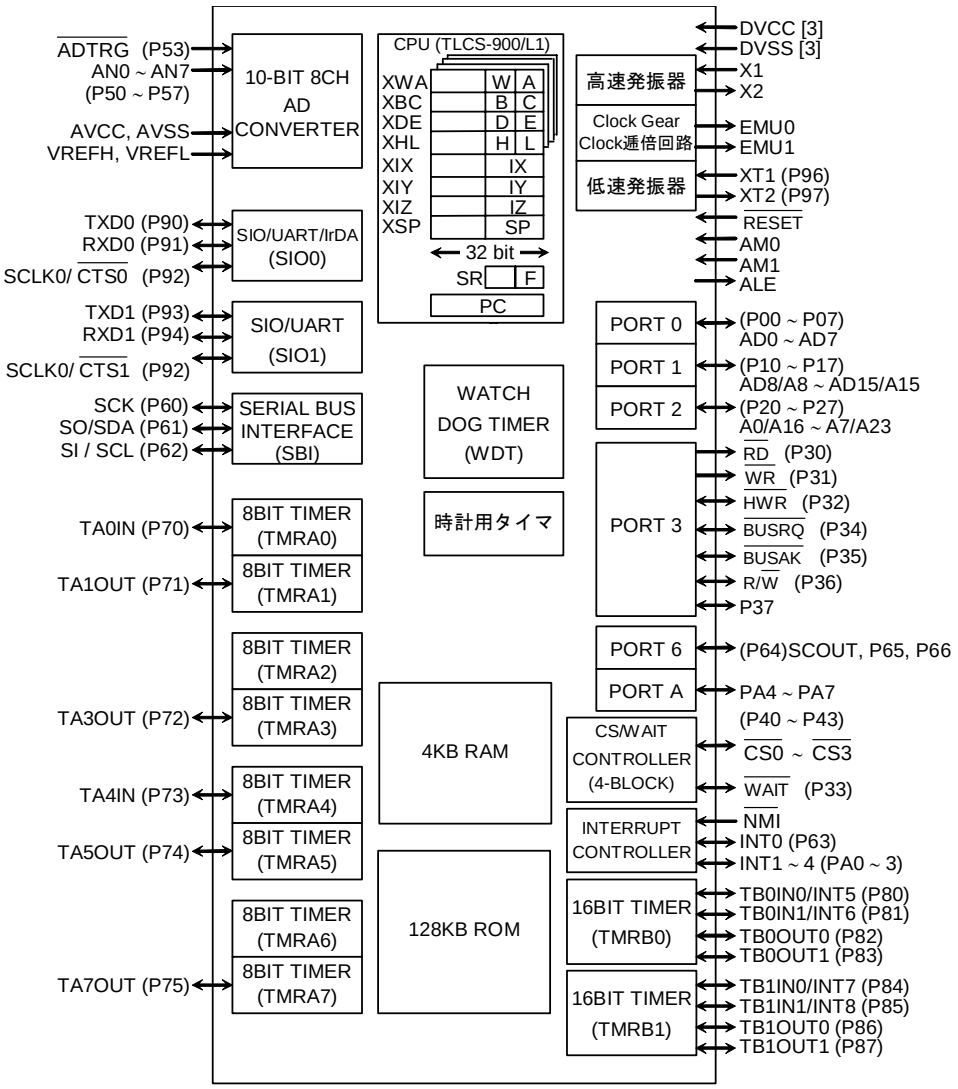


図 1.1 TMP91CW12AFG ブロック図

Downloaded from Elcodis.com electronic components distributor

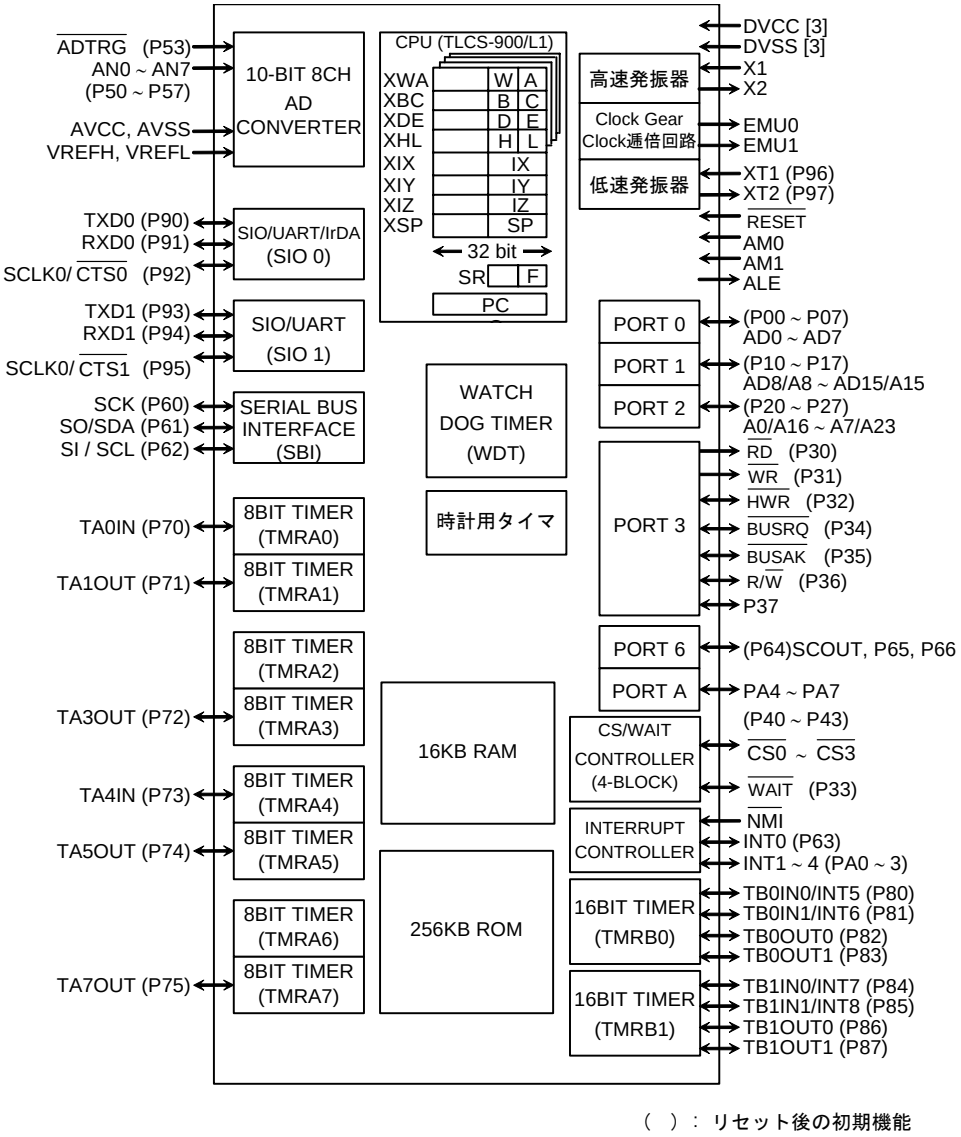


図 1.2 TMP91CY22FG ブロック図

Downloaded from Elcodis.com electronic components distributor

2. ピン配置とピン機能

TMP91CW12A/CY22 のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピンの配置図

TMP91CW12A/CY22 ピン配置図は、図 2.1.1のとおりです。

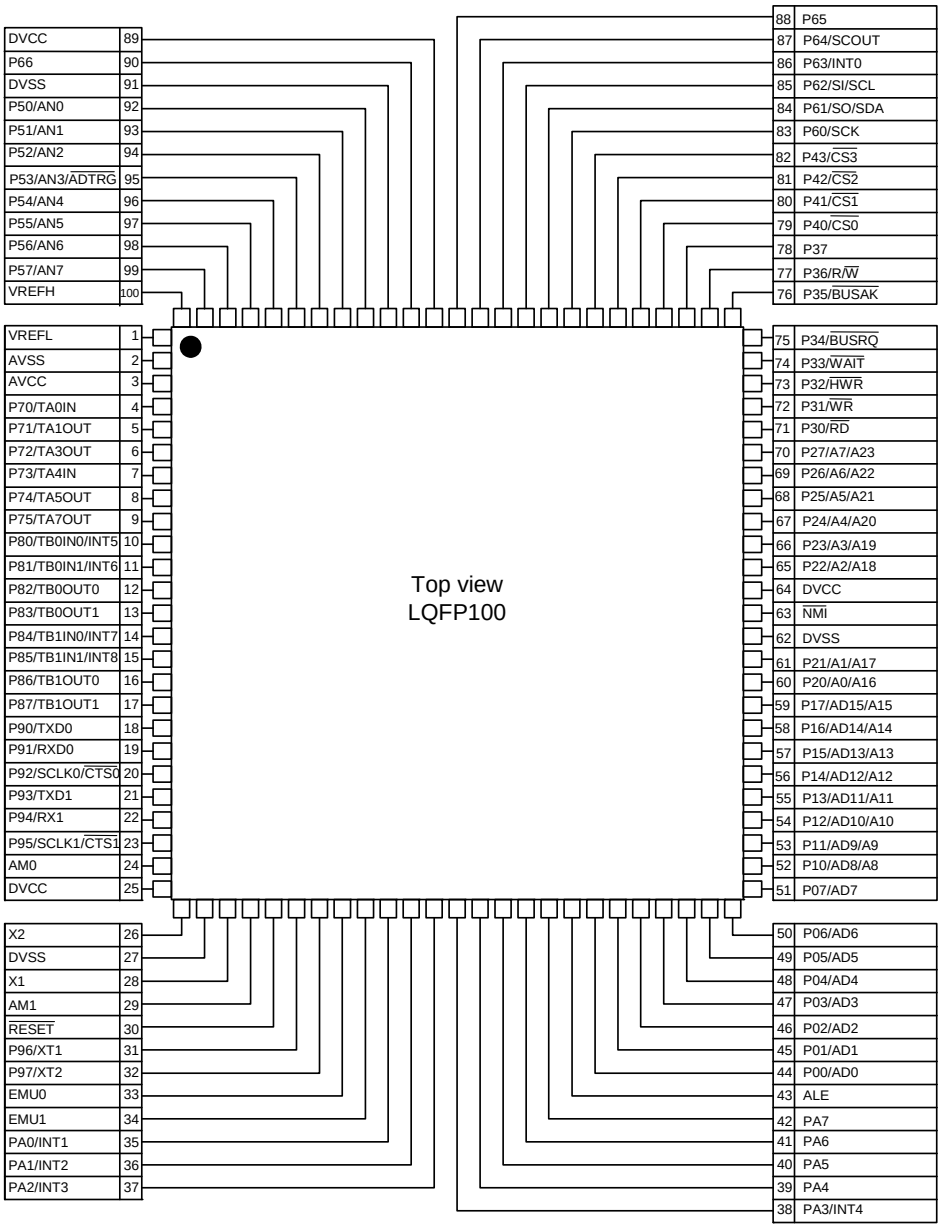


図 2.1.1 ピン配置図 (100 ピン LQFP)

Downloaded from Elcodis.com electronic components distributor

2.2 ピン名称と機能

入出力ピンの名称と機能は、表 2.2.1のとおりです。

表 2.2.1 ピン名称と機能 (1/4)

ピン名称	ピン数	入出力	機 能
P00~P07 AD0~AD7	8	入出力 入出力	ポート 0: ビット単位で入出力の設定ができる入出力ポートです。 アドレスデータ (下位): アドレス/データバス 0~7 です。
P10~P17 AD8~AD15 A8~A15	8	入出力 入出力 出力	ポート 1: ビット単位で入出力の設定ができる入出力ポートです。 アドレスデータ (上位): アドレス/データバス 8~15 です。 アドレス: アドレスバス 8~15 です。
P20~P27 A0~A7 A16~A23	8	入出力 出力 出力	ポート 2: ビット単位で入出力の設定ができる入出力ポートです。 アドレス: アドレスバス 0~7 です。 アドレス: アドレスバス 16~23 です。
P30 $\overline{RD}$	1	出力 出力	ポート 30: 出力専用ポートです。 リード: 外部メモリをリードするためのストローブ信号です。 (P3 <P30 > = 0, P3FC < P30F> = 1) にすることによって、内部エリアをリードしたときも RD が出ます。
P31 $\overline{WR}$	1	出力 出力	ポート 31: 出力専用ポートです。 ライト: AD0~AD7 端子のデータをライトするためのストローブ信号です。
P32 $\overline{HWR}$	1	入出力 出力	ポート 32: 入出力ポートです。(プルアップ付) 上位ライト: AD8~AD15 端子のデータをライトするためのストローブ信号です。
P33 $\overline{WAIT}$	1	入出力 入力	ポート 33: 入出力ポートです。(プルアップ付) ウェイト: CPU へのバスウェイト要求端子です。 ((1 + N) WAIT モード)
P34 $\overline{BUSRQ}$	1	入出力 入力	ポート 34: 入出力ポートです。(プルアップ付) バスリクエスト: AD0~AD15, A0~A23, $\overline{RD}$, $\overline{WR}$, $\overline{HWR}$, R/$\overline{W}$, $\overline{CS0}$ ~ $\overline{CS3}$ 端子をハイインピーダンスにすることを要求する信号です。(外付け DMAC 用)
P35 $\overline{BUSAK}$	1	入出力 出力	ポート 35: 入出力ポートです。(プルアップ付) バスアクノリッジ: $\overline{BUSRQ}$ を受けて AD0~AD15, A0~A23, $\overline{RD}$, $\overline{WR}$, $\overline{HWR}$, R/$\overline{W}$, $\overline{CS0}$ ~ $\overline{CS3}$ 端子が、ハイインピーダンスになったことを示す信号です。(外付け DMAC 用)
P36 R/$\overline{W}$	1	入出力 出力	ポート 36: 入出力ポートです。(プルアップ付) リード/ライト: “1”でリードサイクルまたはダミーサイクルを “0” でライトサイクルを示します。
P37	1	入出力	ポート 37: 入出力ポートです。(プルアップ付)
P40 $\overline{CS0}$	1	入出力 出力	ポート 40: 入出力ポートです。(プルアップ付) チップセレクト 0: アドレスが指定したアドレス領域内なら “0” を出力します。

注) $\overline{BUSRQ}$, $\overline{BUSAK}$ 端子による外付け DMA コントローラでは、本デバイスの内蔵メモリおよび内蔵 I/O は、アクセスできません。

Downloaded from Elcodis.com electronic components distributor

表 2.2.1　ピン名称と機能 (2/4)

ピン名称	ピン数	入出力	機　能
P41 $\overline{CS1}$	1	入出力 出力	ポート 41: 入出力ポートです。(プルアップ付) チップセレクト 1: アドレスが指定したアドレス領域内なら “0” を出力します。
P42 $\overline{CS2}$	1	入出力 出力	ポート 42: 入出力ポートです。(プルアップ付) チップセレクト 2: アドレスが指定したアドレス領域内なら “0” を出力します。
P43 $\overline{CS3}$	1	入出力 出力	ポート 43: 入出力ポートです。(プルアップ付) チップセレクト 3: アドレスが指定したアドレス領域内なら “0” を出力します。
P50~P57 AN0~AN7 $\overline{ADTRG}$	8	入力 入力 入力	ポート 5: 入力専用ポートです。 アナログ入力: AD コンバータの入力です。 AD トリガ: AD コンバータの外部スタート要求端子です。 (P53 と兼用です)
P60 SCK	1	入出力 入出力	ポート 60: 入出力ポートです。 シリアルバスインタフェースの SIO モード時のクロック入出力端子です。
P61 SO SDA	1	入出力 出力 入出力	ポート 61: 入出力ポートです。 シリアルバスインタフェースの SIO モード時のデータ送信端子です。 シリアルバスインタフェースの I^2C モード時のデータ送受信端子です。 プログラムによりオープンドレイン出力端子となります。
P62 SI SCL	1	入出力 入力 入出力	ポート 62: 入出力ポートです。 シリアルバスインタフェースの SIO モード時のデータ受信端子です。 シリアルバスインタフェースの I^2C モード時のクロック入出力端子です。 プログラムによりオープンドレイン出力端子となります。
P63 INT0	1	入出力 入力	ポート 63: 入出力ポートです。 割り込み要求端子 0: プログラマブルなレベル/立ち上がり/下がりエッジ割り込み要求端子です。
P64 SCOUT	1	入出力 出力	ポート 64: 入出力ポートです。 システムクロック出力: f_{FPH}, または fs を出力します。
P65	1	入出力	ポート 65: 入出力ポートです。
P66	1	入出力	ポート 66: 入出力ポートです。
P70 TA0IN	1	入出力 入力	ポート 70: 入出力ポートです。 8bit タイマ 0 入力: タイマ 0 の入力です。
P71 TA1OUT	1	入出力 出力	ポート 71: 入出力ポートです。 8bit タイマ 1 出力: タイマ 0 またはタイマ 1 の出力です。
P72 TA3OUT	1	入出力 出力	ポート 72: 入出力ポートです。 8bit タイマ 3 出力: タイマ 2 またはタイマ 3 の出力です。

Downloaded from Elcodis.com electronic components distributor

表 2.2.1　ピン名称と機能 (3/4)

ピン名称	ピン数	入出力	機　能
P73 TA4IN	1	入出力 入力	ポート 73: 入出力ポートです。 8bit タイマ 4 入力: タイマ 4 入力です。
P74 TA5OUT	1	入出力 出力	ポート 74: 入出力ポートです。 8bit タイマ 5 出力: タイマ 4 またはタイマ 5 の出力です。
P75 TA7OUT	1	入出力 出力	ポート 75: 入出力ポートです。 8bit タイマ 7 出力: タイマ 6 またはタイマ 7 の出力です。
P80 TB0IN0 INT5	1	入出力 入力 入力	ポート 80: 入出力ポートです。 16bit タイマ 0 入力 0: 16bit タイマ 0 のカウント/キャプチャトリガ入力になります。 割り込み要求端子 5: 立ち上がり/立ち下がりエッジがプログラマブルな割り込み要求端子です。
P81 TB0IN1 INT6	1	入出力 入力 入力	ポート 81: 入出力ポートです。 16bit タイマ 0 入力 1: 16bit タイマ 0 のカウント/キャプチャトリガ入力になります。 割り込み要求端子 6: 立ち上がりエッジの割り込み要求端子です。
P82 TB0OUT0	1	入出力 出力	ポート 82: 入出力ポートです。 16bit タイマ 0 出力 0: 16bit タイマ 0 の出力端子です。
P83 TB0OUT1	1	入出力 出力	ポート 83: 入出力ポートです。 16bit タイマ 0 出力 1: 16bit タイマ 0 の出力端子です。
P84 TB1IN0 INT7	1	入出力 入力 入力	ポート 84: 入出力ポートです。 16bit タイマ 1 入力 0: 16bit タイマ 1 のカウント/キャプチャトリガ入力になります。 割り込み要求端子 7: 立ち上がり/立ち下がりエッジがプログラマブルな割り込み要求端子です。
P85 TB1IN1 INT8	1	入出力 入力 入力	ポート 85: 入出力ポートです。 16bit タイマ 1 入力 1: 16bit タイマ 1 のカウント/キャプチャトリガ入力になります。 割り込み要求端子 8: 立ち上がりエッジの割り込み要求端子です。
P86 TB1OUT0	1	入出力 出力	ポート 86: 入出力ポートです。 16bit タイマ 1 出力 0: 16bit タイマ 1 の出力端子です。
P87 TB1OUT1	1	入出力 出力	ポート 87: 入出力ポートです。 16bit タイマ 1 出力 1: 16bit タイマ 1 の出力端子です。
P90 TXD0	1	入出力 出力	ポート 90: 入出力ポートです。 シリアル送信データ 0 プログラムによりオープンドレイン出力端子となります。
P91 RXD0	1	入出力 入力	ポート 91: 入出力ポートです。 シリアル受信データ 0
P92 SCLK0 $\overline{\text{CTS0}}$	1	入出力 入出力 入力	ポート 92: 入出力ポートです。 シリアルクロック入出力 0 シリアルデータ送信可能 0 (Clear To Send)
P93 TXD1	1	入出力 出力	ポート 93: 入出力ポートです。 シリアル送信データ 1 プログラムによりオープンドレイン出力端子となります。

Downloaded from Elcodis.com electronic components distributor

表 2.2.1　ピン名称と機能 (4/4)

ピン名称	ピン数	入出力	機　能
P94 RXD1	1	入出力 入力	ポート 94: 入出力ポートです。 シリアル受信データ 1
P95 SCLK1 $\overline{\text{CTS1}}$	1	入出力 入出力 入力	ポート 95: 入出力ポートです。 シリアルクロック入出力 1 シリアルデータ送信可能 1 (Clear To Send)
P96 XT1	1	入出力 入力	ポート 96: 入出力ポートです。オープンドレイン出力端子です。 低周波発振器接続端子です。
P97 XT2	1	入出力 出力	ポート 97: 入出力ポートです。オープンドレイン出力端子です。 低周波発振器接続端子です。
PA0~PA3 INT1~INT4	4	入出力 入力	ポート A0~A3: 入出力ポートです。 割り込み要求端子 1~4: 立ち上がり、または立ち下がりエッジでの割り込み要求端子です。
PA4~PA7	4	入出力	ポート A4~A7: 入出力ポートです。
ALE	1	出力	アドレスラッチイネーブル (ノイズ削減のため出力禁止に設定できます)
$\overline{\text{NMI}}$	1	入力	ノンマスカブル割り込み要求端子: 立ち下がりエッジの割り込み要求端子です。プログラムにより、立ち上がりエッジでも割り込み要求可能となります。
AM0~AM1	2	入力	動作モード: AM1 = “1”, AM0 = “1” に固定してください。
EMU0	1	出力	”開放” してください。
EMU1	1	出力	”開放” してください。
$\overline{\text{RESET}}$	1	入力	リセット: LSI を初期化します。(プルアップ付)
VREFH	1	入力	AD コンバータ用基準電源入力端子です。 (H)
VREFL	1	入力	AD コンバータ用基準電源入力端子です。 (L)
AVCC	1		AD コンバータ電源端子
AVSS	1		AD コンバータ GND 端子 (0 V)
X1/X2	2	入出力	発振子接続端子
DVCC DVSS	3 3		電源端子 (全 DVCC 端子を電源に接続してください) GND 端子(全 DVSS 端子を GND (0 V) に接続してください)

Downloaded from Elcodis.com electronic components distributor

3. 動作説明

ここでは、TMP91CW12A/CY22 の機能および基本動作についてブロックごとに説明します。

3.1 CPU

TMP91CW12A/CY22 には、高性能な 16 ビット CPU (900/L1 CPU) が内蔵されています。CPU の動作については、前章の "TLCS-900/L1 CPU" を参照してください。

ここでは、"TLCS-900/L1 CPU" にて説明されていない TMP91CW12A/CY22 独自の CPU 機能について説明します。

3.1.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部高周波発振器の発振が安定した状態で、少なくとも 10 システムクロック間 (27 MHz クロック発振時で 12 μs) $\overline{\text{RESET}}$ 入力を "0" にしてください。なお、リセット解除後、クロック逓倍回路 (1 倍または 4 倍のモード有り) は 1 倍モード、クロックギアは 1/16 モードに初期化されるので、クロックモードは、最高速モードの 1/64 倍速でスタートします。

リセットが受け付けられると、CPU は、

- プログラムカウンタ PC を FFFF00H 番地~FFFF02H 番地に格納されているリセットベクタに従いセット

  PC (7:0) ← FFFF00H 番地の値

  PC (15:8) ← FFFF01H 番地の値

  PC (23:16) ← FFFF02H 番地の値
- スタックポインタ XSP を 100H にセット
- ステータスレジスタ SR の IFF2~0 ビットを "111" にセット (割り込みレベルのマスクレジスタをレベル 7 にセット)
- ステータスレジスタ SR の MAX ビットを "1" にセット (マキシマムモードにセット)
- ステータスレジスタ SR の RFP2~0 ビットを "000" にクリア (レジスタバンクを 0 にセット)

を行い、リセットが解除されると、セットされた PC に従い命令の実行を開始します。なお、上記以外の CPU 内部のレジスタは、変化しません。

また、リセットが受け付けられると、内蔵 I/O およびポート、その他の端子は、下記のとおりとなります。

- 内蔵 I/O のレジスタを初期化
- ポート端子 (内蔵 I/O 用にも使える兼用端子を含む) を、汎用入力ポートまたは汎用出力ポートのモードにセット
- ALE 端子を "ハイインピーダンス" にセット

注) リセット動作により、CPU の PC, SR, XSP 以外のレジスタ、内蔵 RAM のデータは変化しません。

Downloaded from Elcodis.com electronic components distributor

3.2 メモリマップ

TMP91CW12AFGのメモリマップを 図 3.2.1に、TMP91CY22FGのメモリマップを 図 3.2.2に示します。

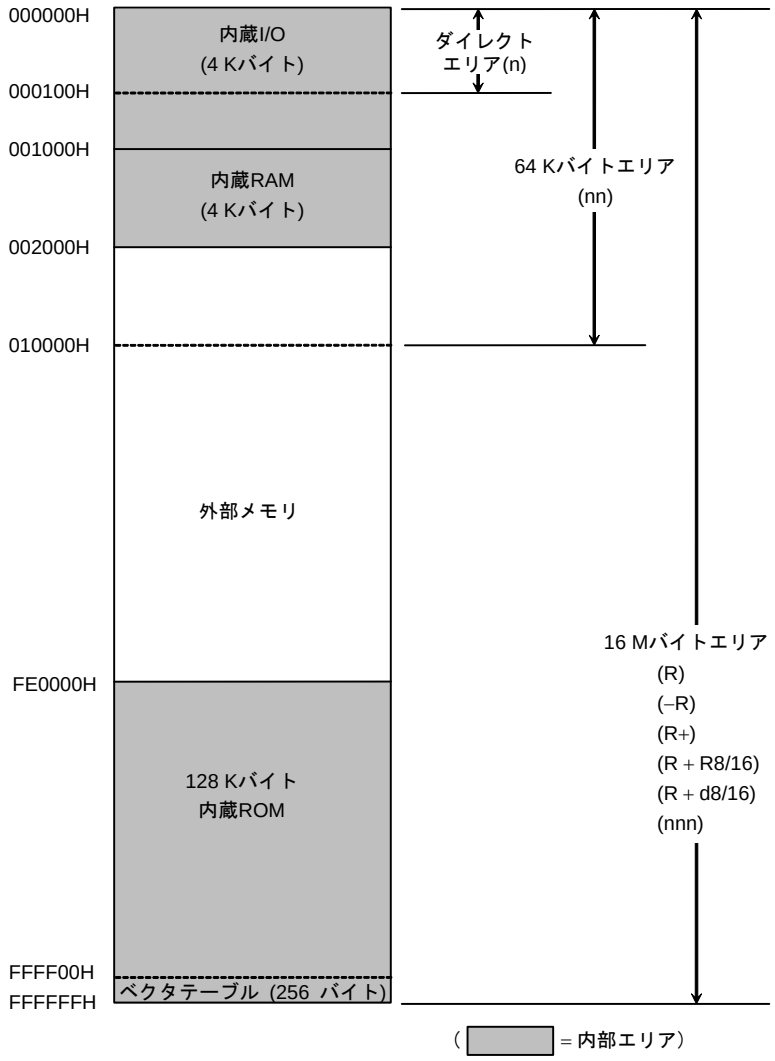


図 3.2.1　TMP91CW12AFG メモリマップ

Downloaded from Elcodis.com electronic components distributor

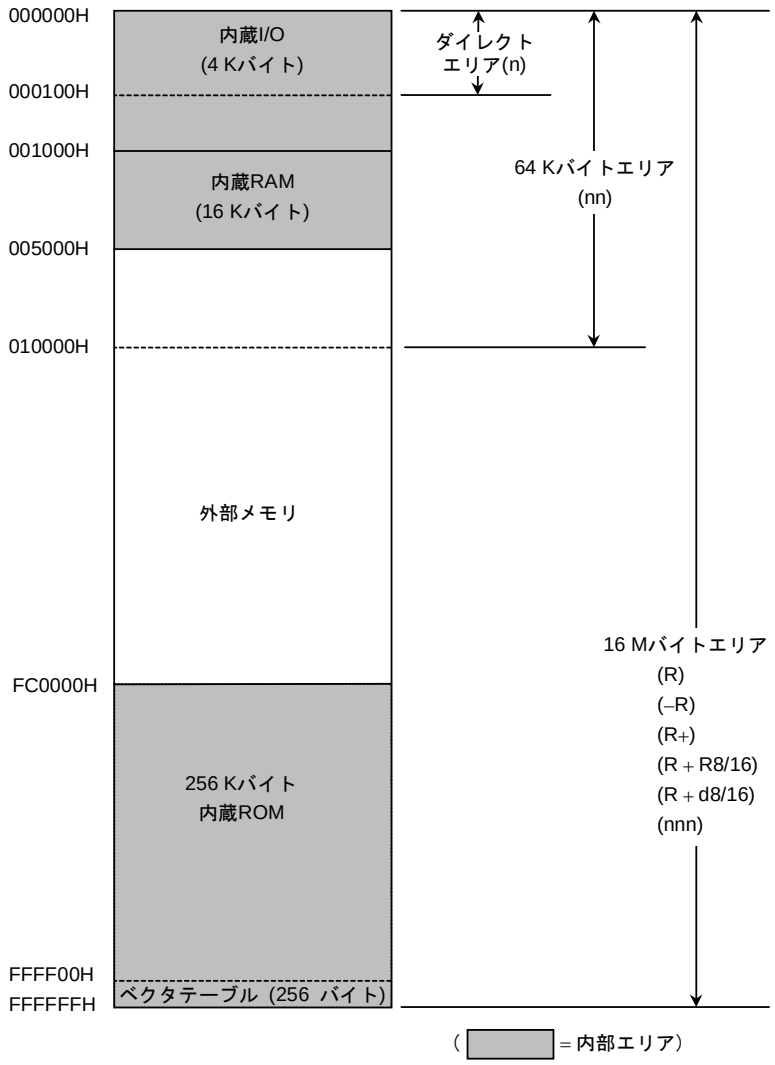


図 3.2.2　TMP91CY22FG メモリマップ

Downloaded from Elcodis.com electronic components distributor

3.3 TMP91CW12FGとTMP91CW12AFG/TMP91CY22FGとの相違点

(1) 概要

TMP91CW12AFG/TMP91CY22FGは基本的にTMP91CW12FGの低電圧/高速品です。
ファンクション仕様は 3.3.1~3.3.4に示す変更項目があります。
A.C/D.C特性の大きな違いは動作電圧(CW12:5V/3V, CW12A/CY22:3V/2V)と 3V時のFmax(CW12FG:16MHz, CW12A/CY22:27MHz)です。詳細は「電気的特性」を参照願います。

3.3.1 CS/WAITコントローラ

TMP91CW12AFG/TMP91CY22FGにて動作周波数を高速化するためウェイト動作の設定を 表 3.3.1のとおり追加しています。また、SFRの仕様を 表 3.3.1のとおりとします。

表 3.3.1 ウェイト動作の設定

<BxW2:0>	ウェイト数	ウェイト動作
000	2WAIT	2ステート分のウェイトが挿入されます。
001	1WAIT	1ステート分のウェイトが挿入されます。
010	(1 + N) WAIT	1ステート分のウェイトを挿入した後、$\overline{\text{WAIT}}$ 端子の状態をサンプリングし、端子が "L" レベルならウェイトを挿入し続け、端子が "H" レベルになるまでそのバスサイクルを引き延ばします。
011	0WAIT	ウェイトなしで、そのバスサイクルを完了します。
100	Reserved	設定しないでください。
101	3WAIT	3ステート分のウェイトが挿入されます。
110	4WAIT	4ステート分のウェイトが挿入されます。
111	8WAIT	8ステート分のウェイトが挿入されます。

リセットにより、これらのビットは "000" (2WAIT) になります。

Downloaded from Elcodis.com electronic components distributor

チップセレクト/ウェイトコントロールレジスタ

		7	6	5	4	3	2	1	0
B0CS (00C0H)	bit Symbol	B0E		B0OM1	B0OM0	B0BUS	B0W2	B0W1	B0W0
	Read/Write	W		W					
リードモディファイライトはできません。	リセット後	0		0	0	0	0	0	0
	機能	0: 禁止 1: 許可		チップセレクト出力波形選択 00: ROM/SRAM 用 01: 10: 11: 設定禁止		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 001: 1 ウェイト 010: (1＋N)ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
B1CS (00C1H)	bit Symbol	B1E		B1OM1	B1OM0	B1BUS	B1W2	B1W1	B1W0
	Read/Write	W		W					
リードモディファイライトはできません。	リセット後	0		0	0	0	0	0	0
	機能	0: 禁止 1: 許可		チップセレクト出力波形選択 00: ROM/SRAM 用 01: 10: 11: 設定禁止		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 001: 1 ウェイト 010: (1＋N)ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
B2CS (00C2H)	bit Symbol	B2E	B2M	B2OM1	B2OM0	B2BUS	B2W2	B2W1	B2W0
	Read/Write	W							
リードモディファイライトはできません。	リセット後	1	0	0	0	0	0	0	0
	機能	0: 禁止 1: 許可	CS2 空間選択 0: 16M バイト空間 1: CS 空間	チップセレクト出力波形選択 00: ROM/SRAM 用 01: 10: 11: 設定禁止		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 001: 1 ウェイト 010: (1＋N)ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
B3CS (00C3H)	bit Symbol	B3E		B3OM1	B3OM0	B3BUS	B3W2	B3W1	B3W0
	Read/Write	W		W					
リードモディファイライトはできません。	リセット後	0		0	0	0	0	0	0
	機能	0: 禁止 1: 許可		チップセレクト出力波形選択 00: ROM/SRAM 用 01: 10: 11: 設定禁止		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 001: 1 ウェイト 010: (1＋N)ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
BEXCS (00C7H)	bit Symbol					BEXBUS	BEXW2	BEXW1	BEXW0
	Read/Write					0			
リードモディファイライトはできません。	リセット後					0	0	0	0
	機能					データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 001: 1 ウェイト 010: (1＋N)ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	

マスタイネーブルビット

0	CS エリア禁止
1	CS エリア許可

CS2 空間選択

0	16M バイト空間
1	アドレス指定方向

チップセレクト出力波形選択

00	ROM/SRAM 用
01 10 11	設定禁止

データバス幅選択

0	16 ビットデータバス
1	8 ビットデータバス

アドレス空間ウェイト数設定
(「ウェイトコントロール」参照)

図 3.3.1　チップセレクト/ウェイトコントロールレジスタ

Downloaded from Elcodis.com electronic components distributor

3.3.2 IrDA機能

IrDAモジュールからデータを受信する際のデータの論理をSIRCR<RXSEL>にて選択可能にしています。 SFRの仕様を 図 3.3.2のとおりとします。

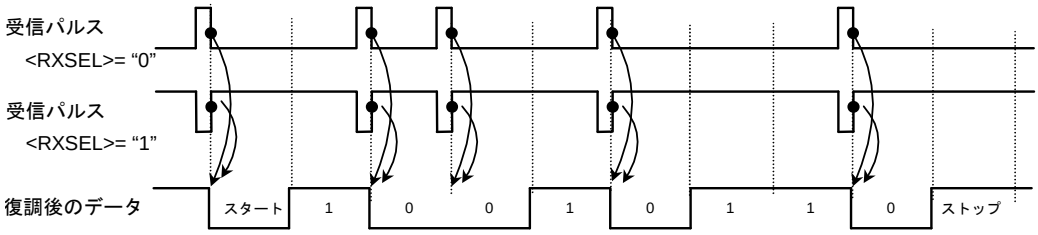


図 3.3.2 受信データの復調

SIRCR (0207H)

	7	6	5	4	3	2	1	0
bit Symbol	PLSEL	RXSEL	TXEN	RXEN	SIRWD3	SIRWD2	SIRWD1	SIRWD0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信パルス幅選択 0: 3/16 1: 1/16	受信データ論理 0:”H”パルス 1: “L”パルス	送信動作 0: 禁止 1: 許可	受信動作 0: 禁止 1: 許可	SIRRxD の有効パルス幅の設定 2x × (設定値 +1) +100ns 以上のパルス幅を有効とする 設定可 : 1~14 設定不可 : 0, 15			

受信有効パルス幅の設定
計算式: 受信有効パルス幅 ≥ 2x × (設定値 + 1) +100ns
$x = 1/f_{FPH}$

0000	設定不可
0001	4x + 100 ns 以上のパルス幅のものを有効とする
∫	
1110	30x + 100 ns 以上のパルス幅のものを有効とする
1111	設定不可

受信 (復調) 動作の許可

0	受信動作を禁止する (受信された入力は無視されます)
1	受信動作を許可する

送信 (変調) 動作の許可

0	送信動作を禁止する (SIO からの入力は無視されます)
1	送信動作を許可する

送信パルス幅の選択

0	3/16 のパルス幅
1	1/16 のパルス幅

図 3.3.3 IrDA コントロールレジスタ

Downloaded from Elcodis.com electronic components distributor

3.3.3 クロック逓倍回路(DFM)機能

DFM への入力周波数帯域(高速発振器の周波数)が TMP91CW12 と異なるため DFMCR1 レジスタを追加しています。(DFMCR1 レジスタは TMP91CW12 には存在しません)。

ロックアップを開始する前に使用条件により下記コードを DFMCR1 レジスタへライトしてください。

DFMCR1 (00E9H)	7	6	5	4	3	2	1	0
bit Symbol	–	–	–	–	–	–	–	–
Read/Write	R/W							
リセット後	0	0	0	1	0	0	1	1
機能	入力周波数 4~6.75MHz(@3V±10%)では 0BH をライトしてください。 入力周波数 2~2.5MHz(@2V±10%)では 1BH をライトしてください。							

図 3.3.4 DFM コントロールレジスタ 1

3.3.4 その他

(1) 高速発振器のドライブ能力選択機能の制限

Vcc = 2 V ± 10%では、高速発振器のドライブ能力選択機能は使用できません。EMCCR0<DRVOSCH>レジスタに “0” をライトしないでください。

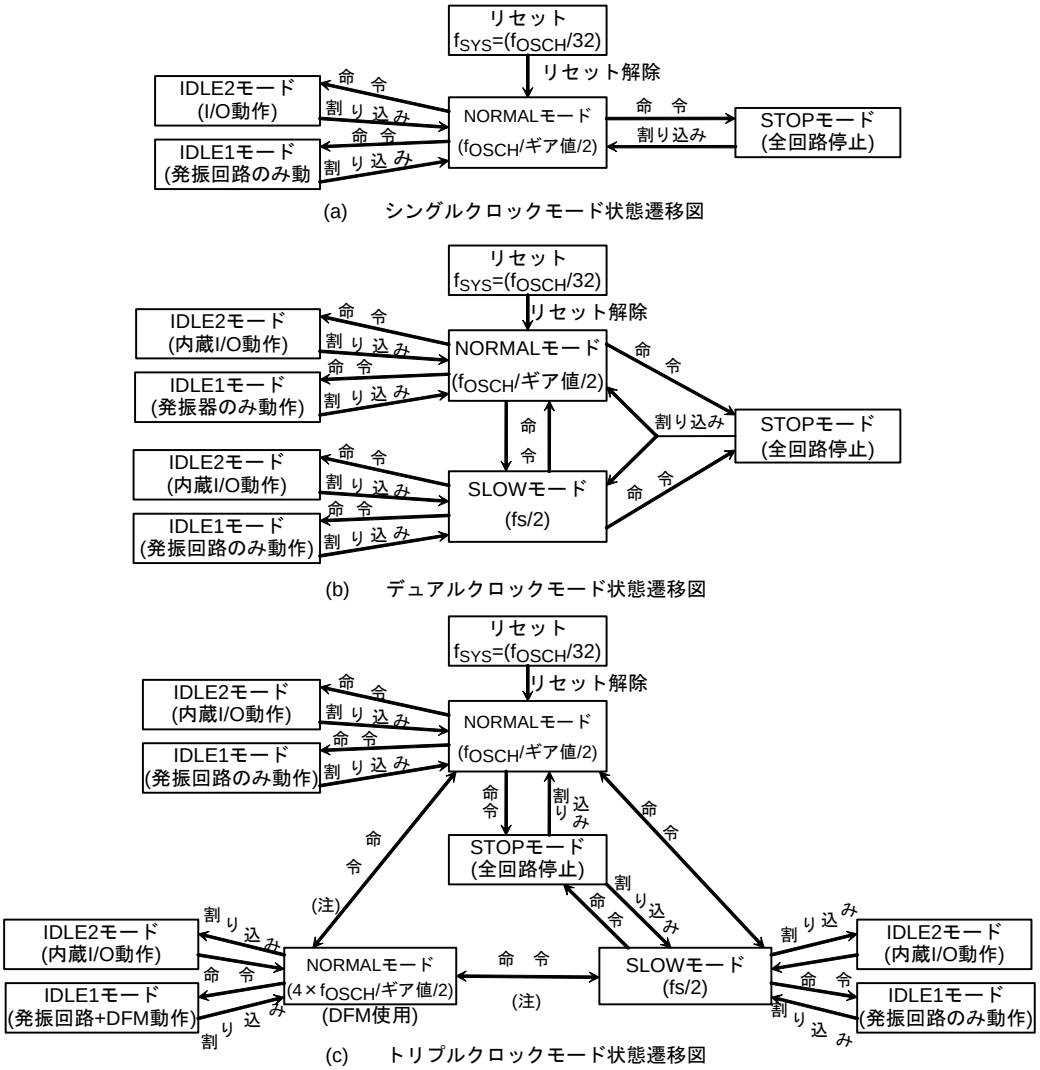
Downloaded from Elcodis.com electronic components distributor

3.4 システムクロック/スタンバイ制御、ノイズ低減機能

低消費電力、低ノイズ化のためにクロックギア、クロック逓倍回路（DFM)、スタンバイ制御回路、ノイズ低減回路を内蔵しています。

クロックの動作モードとしては、シングルクロックモード（高周波発振回路）とデュアルクロックモード（高周波発振回路と低周波発振回路）とトリプルクロックモード（高周波発振回路と低周波発振回路と DFM）の 3 モードがあります。

図 3.4.1に動作モード別状態遷移図を示します。



注)

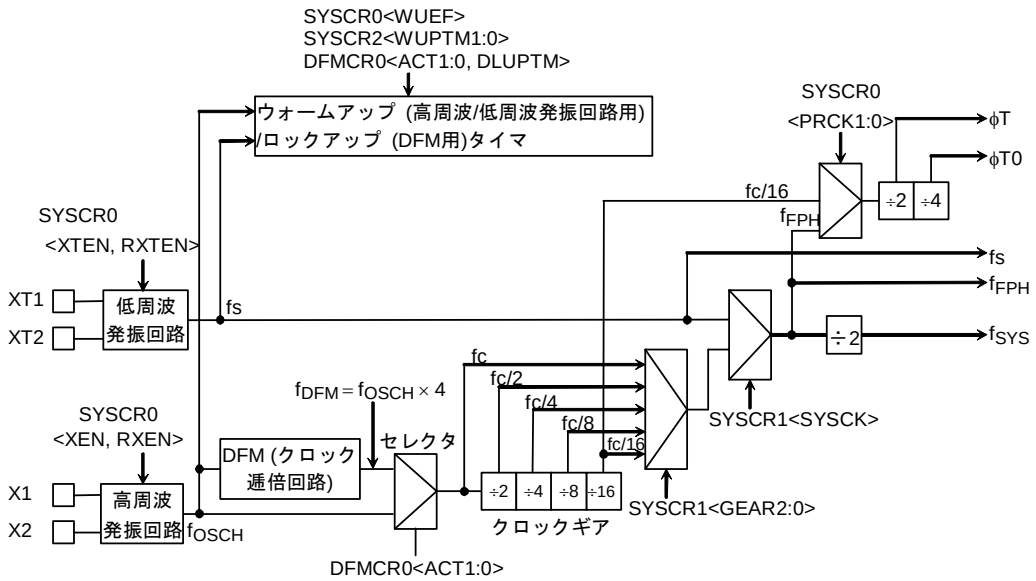
- SLOW モードから DFM 使用 NORMAL モードへの移行時に、SLOW モードからの DFM 制御はできません。(DFM 起動･停止･内部クロック切り替え DFMCR0<ACT1:0>レジスタへのライト)
- DFM 使用 NORMAL モードから NORMAL モードへの移行時には、CPU クロック切り替え → DFM 回路停止の順序で 2 回に分けて命令を行ってください。
- DFM 使用 NORMAL モードから直後 STOP モードへは移行できません。必ず一度 NORMAL モードを経由してから STOP モードへ移行してください。(高周波発振停止は DFM を停止した後に行ってください。)

図 3.4.1 動作モード別状態遷移図

X1, X2 端子より入力されるクロック周波数を f_{OSCH}、XT1, XT2 端子より入力されるクロック周波数を fs、SYSCR1<SYSCK>で選択されたクロックを f_{FPH}、f_{FPH} を 2 分周したクロック周波数をシステムクロック f_{SYS} と定義します。また、この f_{SYS} の 1 周期を 1 ステートと定義します。

Downloaded from Elcodis.com electronic components distributor

3.4.1 クロック系統ブロック図



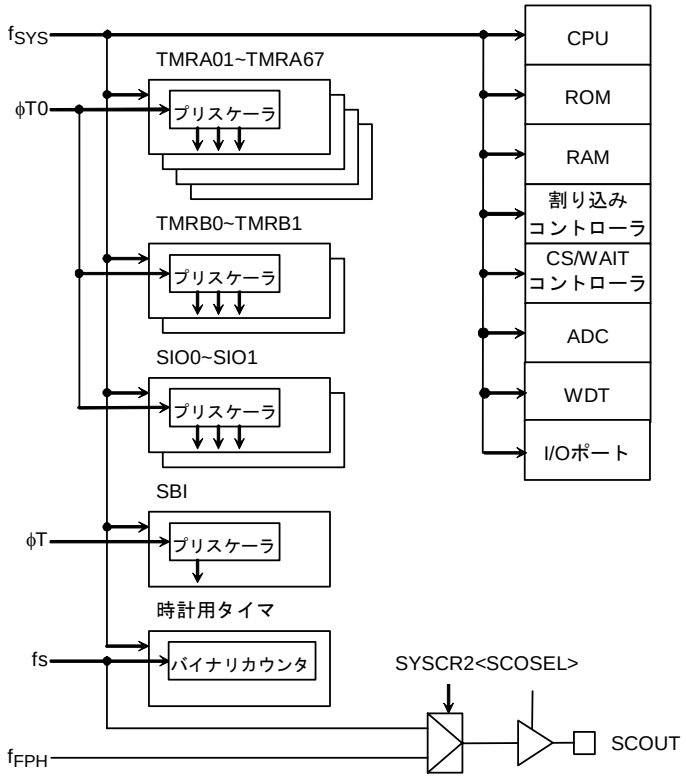


図 3.4.2 システムクロックのブロック図

Downloaded from Elcodis.com electronic components distributor

3.4.2 SFR説明

		7	6	5	4	3	2	1	0
SYSCR0 (00E0H)	Bit symbol	XEN	XTEN	RXEN	RXTEN	RSYSCK	WUEF	PRCK1	PRCK0
	Read/Write	R/W							
	リセット後	1	0	1	0	0	0	0	0
	機能	高周波発振回路 0: 停止 1: 発振	低周波発振回路 0: 停止 1: 発振	STOPモード解除後の高周波発振回路 0: 停止 1: 発振	STOPモード解除後の低周波発振回路 0: 停止 1: 発振	STOPモード解除後のクロック選択 0: 高速 1: 低速	発振回路用ウォームアップタイマ(WUP)制御 0ライト: Don't care 1ライト: WUPスタート 0リード: WUP終了 1リード: WUP中	プリスケーラクロック選択 00: f_{FPH} 01: 設定しないでください 10: fc/16 11: 設定しないでください	
SYSCR1 (00E1H)	Bit symbol					SYSCK	GEAR2	GEAR1	GEAR0
	Read/Write					R/W			
	リセット後					0	1	0	0
	機能					システムクロック選択 0: 高速(fc) 1: 低速(fs)	高速クロックのギア選択 000: 高速クロック 001: 高速クロック/2 010: 高速クロック/4 011: 高速クロック/8 100: 高速クロック/16 101: 110: 111: } 設定しないでください		
SYSCR2 (00E2H)	Bit symbol		SCOSEL	WUPTM1	WUPTM0	HALTM1	HALTM0		DRVE
	Read/Write		R/W						R/W
	リセット後		0	1	0	1	1		0
	機能		SCOUTの選択 0: fs 1: f_{FPH}	発振回路用WUP時間選択 00: 設定しないでください 01: 2^8/入力周波数 10:2^{14}/入力周波数 11:2^{16}/入力周波数		HALTモード選択 00: 設定しないでください 01: STOPモード 10: IDLE1モード 11: IDLE2モード			1: STOPモード中も端子をドライブします

注 1) SYSCR1<bit7:4>, SYSCR2<bit7,1>は、リードすると不定値がリードされます。

注 2) 内蔵SBIを使用時は、プリスケーラクロック選択レジスタSYSCR0<PRCK1:0>にf_{FPH}を設定してください。

図 3.4.3 クロック関係 SFR

Downloaded from Elcodis.com electronic components distributor

DFMCR0 (00E8H)

	7	6	5	4	3	2	1	0
Bit symbol	ACT1	ACT0	DLUPFG	DLUPTM				
Read/Write	R/W		R	R/W				
リセット後	0	0	0	0				
機能		DFM LUP f_{FPH}選択 00 STOP STOP f_{OSCH} 01 RUN RUN f_{OSCH} 10 RUN STOP f_{DFM} 11 RUN STOP f_{OSCH}	ロックアップ (LUP) フラグ 0: LUP 終了 1: LUP 中	ロックアップ時間選択 0: $2^{12}/f_{OSCH}$ 1: $2^{10}/f_{OSCH}$				

図 3.4.4 DMF 関係 SFR

DFMCR1 (00E9H)

	7	6	5	4	3	2	1	0
bit Symbol	–	–	–	–	–	–	–	–
Read/Write	R/W							
リセット後	0	0	0	1	0	0	1	1
機能	入力周波数 4~6.75MHz(@3V±10%)では 0BH をライトしてください。 入力周波数 2~2.5MHz(@2V±10%)では 1BH をライトしてください。							

図 3.4.5 DFM コントロールレジスタ 1

DFM 使用に関する制約

1. DFM の起動・停止等の制御は SLOW モード (fs) では行わないでください。(DFMCR0<ACT1:0>レジスタへのライト) この制御は NORMAL モードから行う必要があります。

2. DFM を使用している状態 (DFMCR0<ACT1:0> = "10") から DFM 動作を停止する場合は、$f_{DFM} \rightarrow f_{OSCH}$ 切り替えと DFM 停止を同時に行わず、2 回に分けた手順にて行ってください。

```
LD      (DFMCR0),C0H   ; fDFM → fOSCH 切り替え
LD      (DFMCR0),00H   ; DFM 停止
```

3. DFM を使用している状態 (DFMCR0<ACT1:0> = "10") から高周波発振回路を停止する場合は、DFM を停止してから高周波発振回路を停止してください。

詳細は、3.4.5「クロック逓倍回路 (DFM)」を参照してください。

Downloaded from Elcodis.com electronic components distributor

		7	6	5	4	3	2	1	0
EMCCR0 (00E3H)	Bit symbol	PROTECT	–	–	–	ALEEN	EXTIN	DRVOSCH	DRVOSCL
	Read/Write	R	R/W						
	リセット後	0	0	1	0	0	0	1	1
	機能	プロテクトフラグ 0: OFF 1: ON	“0” をライトしてください。	“1” をライトしてください。	“0” をライトしてください。	0:ALE 出力禁止 1:ALE 出力許可	1: fc 外部クロック	高周波発振回路ドライブ能力 1: NORMAL 0: WEAK	低周波発振回路ドライブ能力 1: NORMAL 0: WEAK
EMCCR1 (00E4H)	Bit symbol	“1FH” をライトでプロテクト OFF “1FH” 以外をライトでプロテクト ON							
	Read/Write								
	リセット後								
	機能								

注) STOP モードから、発振を開始する時など、発振停止から発振を再起動する場合は、発振回路のドライブ能力を NORMAL に設定してください。(STOP モードでホルト状態に入る場合、HALT 命令を実行する前に、EMCCR0<DRVOSCH>,<DRVOSCL>を”1”に設定してください。)

図 3.4.6 ノイズ関係 SFR

Downloaded from Elcodis.com electronic components distributor

3.4.3 システムクロック制御部

システムクロック制御部は、CPU コアおよび内蔵 I/O へ供給されるシステムクロック (f_{SYS}) を生成する回路です。高周波/低周波の 2 つの発振回路と、クロック逓倍回路 (DFM) から出力される fc, fs クロックを入力としてシステムクロックの高速/低速の切り替えは、SYSCR1<SYSCK>により行います。高周波/低周波発振回路の発振制御は、SYSCR0<XEN>, <XTEN>によりそれぞれ行います。高速クロックが選択されている状態において（SYSCR1<SYSCK>="0"）、SYSCR0<XEN>= "0"に設定しても発振は停止しません。同様に SYSCR1<SYSCK>= "1"の時に、SYSCR0<XTEN>= "0"に設定しても発振は停止しません。さらに SYSCR1<GEAR2:0>で高速クロックのギアを 1, 2, 4, 8, 16 段 (fc, fc/2, fc/4, fc/8, fc/16) に切り替えることにより、消費電力の低減を図ることができます。

リセットにより、シングルクロックモードになり、<XEN> = "1", <XTEN> = "0", <SYSCK> = "0", <GEAR2:0> = "100" に初期化されますので、システムクロック f_{SYS} は fc/32 (= fc/16×1/2) となります。高周波発振回路に 27 MHz の発振子を接続した場合、リセットにより f_{SYS} は 0.84MHz となります。

(1) NORMAL ↔ SLOW モードの切り替え

NORMAL モードとは、システムクロックとして fc を使用した場合、SLOW モードとは、fs を使用した場合です。

発振子の発振安定を確認してから切り替えるためにウォームアップタイマがあります。ウォームアップ時間は発振子の特性に合わせて SYSCR2<WUPTM1:0>により選択できます。SYSCR0<WUEF>をリードすることにより、ウォームアップタイマの開始/終了を確認することができます。NORMAL ↔ SLOW モードの切り替え時は、設定例 1,設定例 2 を参考にして下さい。

表 3.4.1 に切り替え時のウォームアップ時間を示します。

注 1) 切り替えようとする発振回路に外部クロック入力を使用して、発振が安定している場合はウォームアップを実行する必要はありません。

注 2) ウォームアップタイマは、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

注 3) 低周波発振回路使用上の注意点

ポート 96, 97 に低周波発振子を接続する場合、消費電力削減のために下記の設定が必要です。

(発振子接続の場合)

P9CR<P96C, P97C > ("11", P9<P96:97> = "00" に設定してください。

(外部クロック入力の場合)

P9CR<P96C, P97C > = "11", P9<P96:97> = "10"に設定してください。

表 3.4.1 ウォームアップ時間 (クロック切り替え時)

ウォームアップタイム選択 SYSCR2<WUPTM1:0>	NORMAL へ切り替え時 (fc)	SLOW へ切り替え時 (fs)
01 (2^8/発振周波数)	9.0 [μs]	7.8 [ms]
10 (2^{14}/発振周波数)	0.607 [ms]	500 [ms]
11 (2^{16}/発振周波数)	2.427 [ms]	2000 [ms]

計算値は f_{OSCH} =27 MHz, fs = 32.768 kHz の場合です。

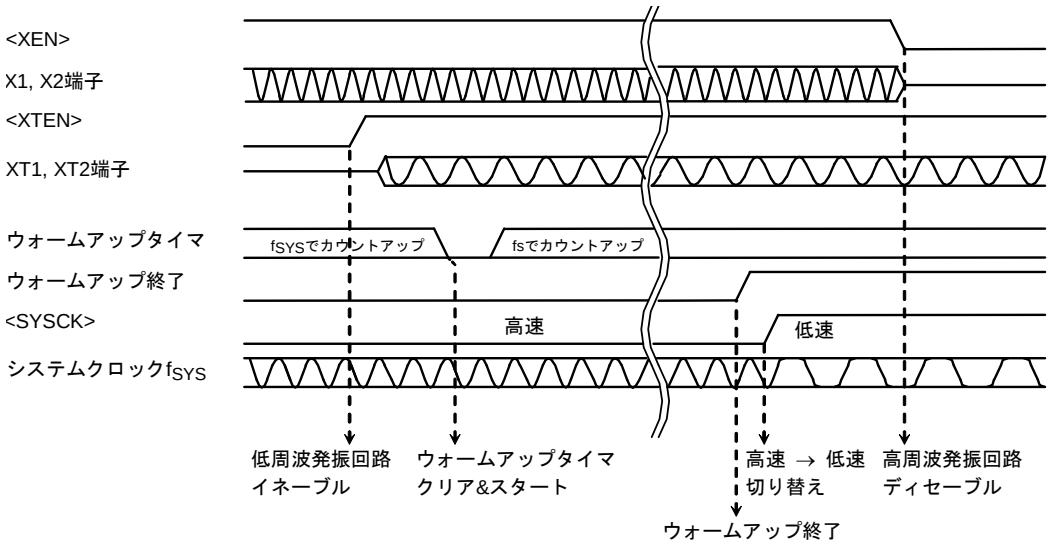
Downloaded from Elcodis.com electronic components distributor

設定例 1

NORMAL モード から SLOW モード へ切り替える場合

```
SYSCR0    EQU   00E0H
SYSCR1    EQU   00E1H
SYSCR2    EQU   00E2H
          LD    (SYSCR2), X–11– –X–B   ;  ウォームアップ時間を 2^16/fs に設定
                                         注）発振子により設定値を変更してください
          SET   6, (SYSCR0)            ;  低周波発振回路イネーブル
          SET   2, (SYSCR0)            ;  ウォームアップタイマ クリア&スタート
WUP:      BIT   2, (SYSCR0)            ;  }ウォームアップ終了検出
          JR    NZ, WUP                ;
          SET   3, (SYSCR1)            ;  高速 → 低速へ切り替え
          RES   7, (SYSCR0)            ;  高周波発振回路ディセーブル
```

X: Don’t care、–: No change



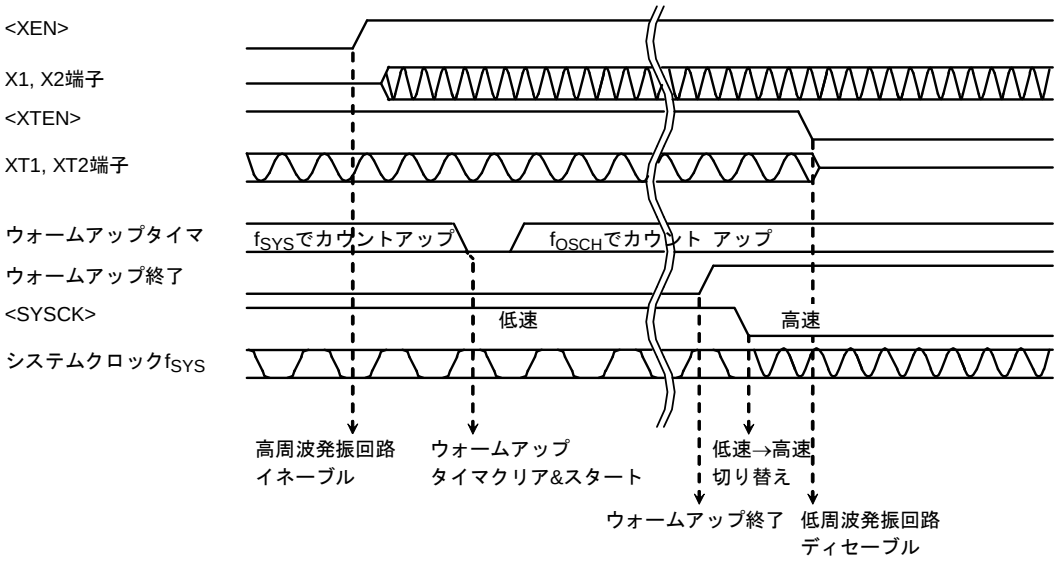
Downloaded from Elcodis.com electronic components distributor

設定例 2

SLOW モードから NORMAL モードへ切り替える場合

```
SYSCR0    EQU   00E0H
SYSCR1    EQU   00E1H
SYSCR2    EQU   00E2H
          LD    (SYSCR2), X–10– –X–B   ;  ウォームアップ時間を 2^14/fc に設定
                                         注）発振子により設定値を変更してください
          SET   7, (SYSCR0)            ;  高周波発振回路イネーブル
          SET   2, (SYSCR0)            ;  ウォームアップタイマ クリア&スタート
WUP:      BIT   2, (SYSCR0)            ;  }ウォームアップ終了検出
          JR    NZ, WUP                ;
          RES   3, (SYSCR1)            ;  低速 → 高速へ切り替え
          RES   6, (SYSCR0)            ;  低周波発振回路ディセーブル
```

X: Don’t care、–: No change



Downloaded from Elcodis.com electronic components distributor

(2) クロックギアの切り替え

SYSCR1<SYSCK> = “0” にて高速クロック fc を選択した場合、クロックギア選択レジスタ SYSCR1<GEAR2:0> により f_{FPH} を fc, fc/2, fc/4, fc/8, fc/16 のいずれかに設定できます。クロックギアを使用して f_{FPH} を切り替えることにより、消費電力の低減が図れます。

下記に、クロックギアの切り替え例を示します。

設定例

クロックギアの切り替え

```
SYSCR1    EQU    00E1H

          LD     (SYSCR1), XXXX0000B    ;  fFPH を fc へ切り替え
                                            (=システムクロック fSYS を fc/2 へ切り替え)
```

X: Don’t care

(クロックギア切り替え時の注意点)

クロックギアの切り替えは、設定例のように SYSCR1<GEAR2:0>レジスタへ値をライトすることにより実行されますが、ライトした後すぐには切り替わらず、数クロックの実行時間が必要となります。よって、クロックギア切り替え命令の次の命令は、切り替え前のクロックギアで実行する場合があります。クロックギア切り替え命令の次の命令から切り替え後のクロックで実行すべき場合は、下記例のようなダミーの命令 (ライトサイクルが実行される命令) を挿入してください。

(例)

```
SYSCR1    EQU    00E1H
          LD     (SYSCR1), XXXX0001B    ;  fSYS を fc/4 へ切り替え
          LD     (DUMMY), 00H           ;  ダミー命令
                 切り替え後のクロックギア
                 で実行すべき命令
```

(3) 内部クロックの端子出力機能

内部クロック f_{FPH} または fs を P64/SCOUT 端子から出力できます。

ポート 6 関係のレジスタ P6CR<P64C> = “1”, P6FC<P64F> = “1” に設定することにより、P64/SCOUT 端子は SCOUT 出力端子になります。出力クロックの選択は SYSCR2<SCOSEL>によって設定します。

表 3.4.2にP64/SCOUT端子をSCOUT出力に設定した場合のHALTモード別端子状態を示します。

表 3.4.2 HALT モード別 SCOUT 出力状態

HALT モード / SCOUT 選択	NORMAL, SLOW	HALT モード		
		IDLE2	IDLE1	STOP
<SCOSEL> = “0”	fs クロックを出力します			“0” または “1” に固定されます
<SCOSEL> = “1”	f_{FPH} クロックを出力します			

Downloaded from Elcodis.com electronic components distributor

3.4.4 プリスケーラ クロック制御部

内蔵 I/O (TMRA01~TMRA67, TMRB0~TMRB1, SIO0~SIO1,SBI) には、それぞれにクロックを分周するプリスケーラがあります。

これらのプリスケーラへ入力するクロックφT, φT0 は、f_{FPH}, fc/16 の 2 種類から SYSCR0<PRCK1:0>で選択されたクロックをそれぞれ 2 分周、4 分周したクロックです。

内蔵 SBI を使用時には、<PRCK1:0>を “00” に設定してください。

3.4.5 クロック逓倍回路 (DFM)

高周波発振回路の出力クロック f_{OSCH} を 4 逓倍した f_{DFM} クロックを出力する回路です。

リセットにより DFM は停止状態となりますので、DFM を使用する場合は DFMCR0 レジスタへの設定が必要です。

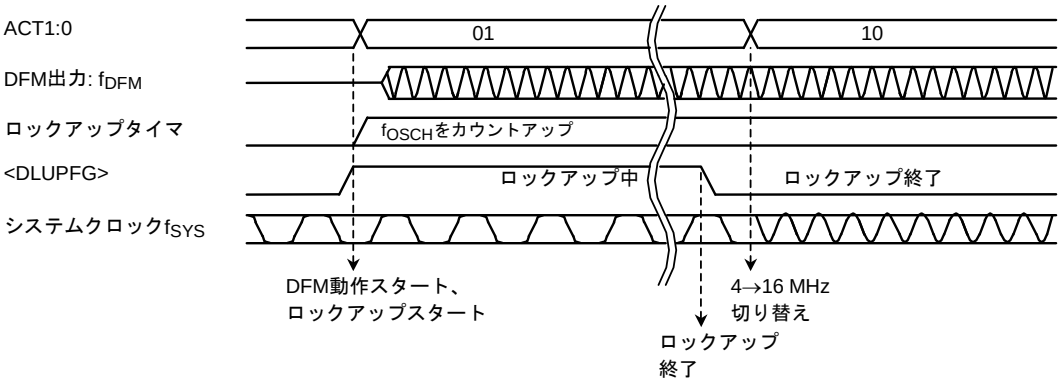
DFM はアナログ回路で構成されているため、動作許可後に発振回路と同じように安定時間 (ロックアップタイム) が必要となります。

下記に DFM を使用し、fc を 4 逓倍したクロックに切り替える場合の設定例を示します。

設定例: f_{OSCH} = 4 MHz で fc を 4 MHz から 16 MHz へ切り替える場合

```
DFMCR0   EQU   00E8H
         LD    (DFMCR0), 01X0XXXXB   ;  ロックアップ時間を 2^12/4 MHz にし、
                                        DFM 動作許可、ロックアップスタート
LUP:     BIT   5, (DFMCR0)           ;  ロックアップ終了検出
         JR    NZ, LUP               ;
         LD    (DFMCR0), 10X0XXXXB   ;  fc を 4 → 16 MHz へ切り替え
```

X: Don’t care



注) DFM へ周波数 (高周波発振回路の周波数) を入力する場合、ロックアップを開始する前に使用条件により下記コードを DFMCR1 レジスタへライトしてください。

・入力周波数 4~6.75MHz(@3V±10%)では DFMCR1<7:0>に 0BH をライトしてください。

・入力周波数 2~2.5MHz(@2V±10%)では DFMCR1<7:0>に 1BH をライトしてください

Downloaded from Elcodis.com electronic components distributor

DFM 使用に関する制約

1. DFM の起動･停止等のコマンドは SLOW モード (f_S) では行わないでください。(DFMCR0 <ACT1:0> レジスタへのライト) この制御は NORMAL モードから行う必要があります。

2. DFM を使用している状態 (DFMCR0<ACT1:0> = “10”) から DFM 動作を停止する場合は､f_{DFM} → f_{OSCH} 切り替えと DFM 停止を同時に行わず、2 回に分けた手順にて行ってください。

```
LD      (DFMCR0),C0H   ;  fDFM → fOSCH 切り替え
LD      (DFMCR0),00H   ;  DFM 停止
```

3. DFM を使用している状態 (DFMCR0<ACT1:0> = “10”) から高周波発振回路を停止する場合は、DFM を停止してから高周波発振回路を停止してください。

上述の制約に違反した場合は、正常に動作以内場合があります。

設定例を下記に示します。

(1) 起動/切り替え制御

設定例: SLOW モード (f_S) (高周波発振回路停止状態) → 高周波発振回路起動 → NORMAL モード ($fc=f_{OSCH}$) → DFM 起動 → f_{OSCH} から f_{DFM} へ切り替え

```
        LD    (SYSCR0), 11---1--B   ;  高周波発振回路起動/ウォームアップスタート
WUP:    BIT   2,(SYSCR0)            ;  } ウォームアップ終了フラグチェック
        JR    NZ,WUP                ;
        LD    (SYSCR1), ----0---B   ;  システムクロックを fs から fOSCH へ切り替え
        LD    (DFMCR0), 01-0----B   ;  DFM 起動/ロックアップスタート/ロックアップ時間を
                                       2^12/fOSCH に設定
LUP:    BIT   5, (DFMCR0)           ;  } ロックアップフラグ終了チェック
        JR    NZ,LUP                ;
        LD    (DFMCR0),10-0----B    ;  システムクロックを fOSCH から fDFM へ切り替え
```

設定例: SLOW モード (f_S) (高周波発振回路動作状態) → NORMAL モード ($fc=f_{OSCH}$) → DFM 起動 → f_{OSCH} から f_{DFM} へ切り替え

```
        LD    (SYSCR1), ----0---B   ;  システムクロックを fS から fOSCH へ切り替え
        LD    (DFMCR0), 01-0----B   ;  DFM 起動/ロックアップスタート/ロックアップ時間を
                                       2^12/fOSCH に設定
LUP:    BIT   5, (DFMCR0)           ;  } ロックアップフラグ終了チェック
        JR    NZ,LUP                ;
        LD    (DFMCR0), 10-0----B   ;  システムクロックを fOSCH から fDFM へ切り替え
```

制約 1 の違反例: SLOW モード (f_S) (高周波発振回路停止状態) → 高周波発振回路起動 → DFM 起動(制約 1 に違反)→ NORMAL モード ($fc=f_{DFM}$)

```
        LD    (SYSCR0), 11---1--B   ;  高周波発振回路起動/ウォームアップスタート
WUP:    BIT   2, (SYSCR0)           ;  } ウォームアップ終了フラグチェック
        JR    NZ, WUP               ;
        LD    (DFMCR0), 01-0----B   ;  DFM 起動/ロックアップスタート/ロックアップ時間を
                                       2^12/fOSCH に設定
LUP:    BIT   5, (DFMCR0)           ;  } ロックアップフラグ終了チェック
        JR    NZ, LUP               ;
        LD    (DFMCR0), 10-0----B   ;  内部クロックを fOSCH から fDFM へ切り替え
        LD    (SYSCR1), ----0---B   ;  システムクロックを fs から fDFM へ切り替え
```


Downloaded from Elcodis.com electronic components distributor

(2) 停止/切り替え制御

設定例: NORMAL モード ($fc=f_{DFM}$) (低周波発振回路動作状態)
→ NORMAL モード ($fc=f_{OSCH}$) → DFM 停止→ SLOW モード (f_S)
→ 高周波発振回路停止

```
LD      (DFMCR0), 11------B   ;  システムクロックを fDFM から fOSCH へ切り替え
LD      (DFMCR0), 00------B   ;  DFM 停止
LD      (SYSCR1), ----1---B   ;  システムクロックを fOSCH から fS へ切り替え
LD      (SYSCR0), 0-------B   ;  高周波発振回路停止
```

制約 1 の違反例: NORMAL モード ($fc=f_{DFM}$)(低周波発振回路動作状態)
→ SLOW モード (f_S) → DFM 停止→ 高周波発振回路停止
(制約 1 に違反)

```
LD      (SYSCR1), ----1---B   ;  システムクロックを fDFM から fS へ切り替え
LD      (DFMCR0), 11------B   ;  内部クロックを fDFM から fOSCH へ切り替え
LD      (DFMCR0), 00------B   ;  DFM 停止
LD      (SYSCR0), 0-------B   ;  高周波発振回路停止
```

設定例: NORMAL モード ($fc=f_{DFM}$) → STOP モード設定
→ NORMAL モード ($fc=f_{OSCH}$)→ DFM 停止 → HALT (高周波発振回路停止)

```
LD      (SYSCR2), ----01--B   ;  STOP モード設定
                              (設定順番は DFM 使用以前でも OK)
LD      (DFMCR0), 11------B   ;  fDFM から fOSCH へ切り替え
LD      (DFMCR0), 00------B   ;  DFM 停止
HALT                          ;  STOP モードへ移行
```

制約 3 の違反例: NORMAL モード ($fc=f_{DFM}$) → STOP モード設定
→ HALT (高周波発振回路停止)

```
LD      (SYSCR2), ----01--B   ;  STOP モード設定
                              (設定順番は DFM 使用以前でも OK)
HALT                          ;  STOP モードへ移行
```


Downloaded from Elcodis.com electronic components distributor

3.4.6 ノイズ低減回路

EMI (不要輻射ノイズ) の低減、EMS (耐ノイズ対策) の強化を目的として、以下のような特長を実現する回路を内蔵しています。

(1) 高周波発振回路のドライブ能力低減

(2) 低周波発振回路のドライブ能力低減

(3) 高周波発振回路のシングルドライブ化

(4) ALE 端子の出力禁止

(5) プロテクトレジスタによる暴走対策

(1)~(5) は、EMCCR0, EMCCR1 レジスタによる設定が必要です。

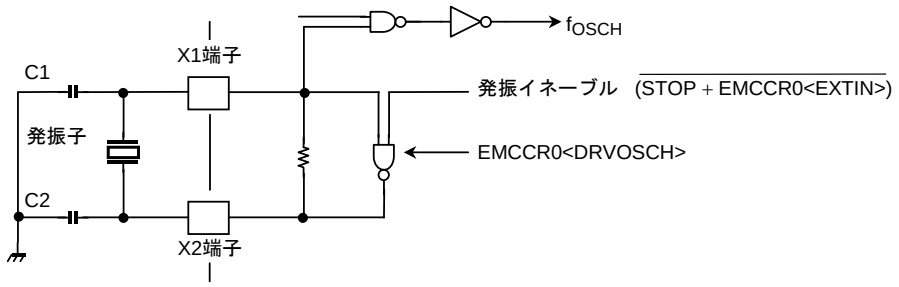
以下に(1)~(5)について説明します。

(1) 高周波発振回路のドライブ能力低減

(目　的)

外部に発振子を接続する場合に、発振回路から出力される発振ノイズの抑制、発振回路の低消費電力化。

(ブロック図)



(設定方法)

EMCCR0<DRVOSCH>に “0” をライトすることにより、発振回路のドライブ能力は低減します。リセットにより、<DRVOSCH>は “1” に初期化されますので、電源投入時はノーマルのドライブ能力で発振開始します。

注) Vcc = 2 V ± 10%では、高速発振器のドライブ能力選択機能は使用できません。EMCCR0<DRVOSCH>レジスタに “0” をライトしないでください。

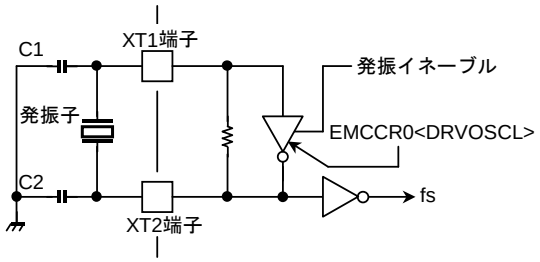
Downloaded from Elcodis.com electronic components distributor

(2) 低周波発振回路のドライブ能力低減

(目　的)

外部に発振子を接続する場合に、発振回路から出力される発振ノイズの抑制、発振回路の低消費電力化。

(ブロック図)



(設定方法)

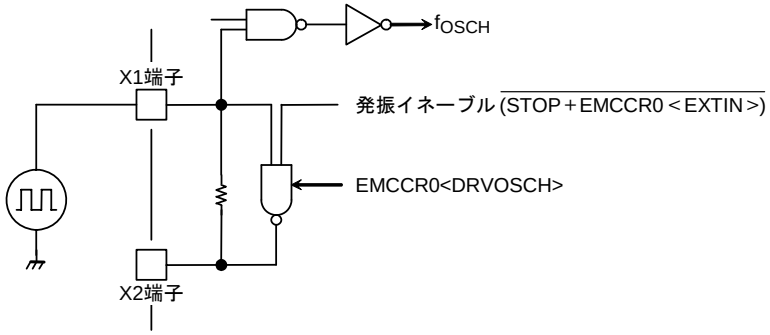
EMCCR0<DRVOSCL>に “0” をライトすることにより、発振回路のドライブ能力は低減します。リセットにより、<DRVOSCL>は “1” に初期化されます。

(3) 高周波発振回路のシングルドライブ化

(目　的)

外部に発振回路を接続する場合に、ツインドライブの不要化、X2 端子開放時にノイズ混入による誤動作防止。

(ブロック図)



(設定方法)

EMCCR0<EXTIN>に “1” をライトすることにより、発振回路は発振禁止となります。X2 端子は “1” を出力状態となります。

リセットにより、<EXTIN>は “0” に初期化されます。

注) 外部に発振子を接続している場合は、EMCCR0<EXTIN>に “1”をライトしないでください。

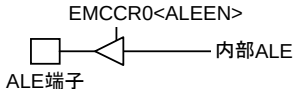
Downloaded from Elcodis.com electronic components distributor

(4) ALE 端子の出力禁止

(目　的)

外部エリアをアクセスしない場合の不要なクロック性ノイズの低減。

(ブロック図)



(設定方法)

EMCCR0<ALEEN>に “0” をライトすることにより、ALE 端子の出力バッファは出力禁止となり、ALE 端子はハイインピーダンス状態となります。

リセットにより<ALEEN>は “0” に初期化されます。

外部エリアをアクセスする際には、アクセスする前に<ALEEN>に “1” をライトしてください。

Downloaded from Elcodis.com electronic components distributor

(5) プロテクトレジスタによる暴走対策

(目　的)

ノイズ混入などによるプログラムの暴走時の対策。

暴走時の対策プログラムがクロックの停止、メモリ制御レジスタ (CS/WAIT コントローラ) の変更などによりフェッチ不可能な状態になることを防止するため、プロテクトをかけると特定の SFR をライト動作禁止にします。

特定の SFR 一覧

1. CS/WAIT コントローラ

   B0CS, B1CS, B2CS, B3CS, BEXCS,
   MSAR0, MSAR1, MSAR2, MSAR3,
   MAMR0, MAMR1, MAMR2, MAMR3

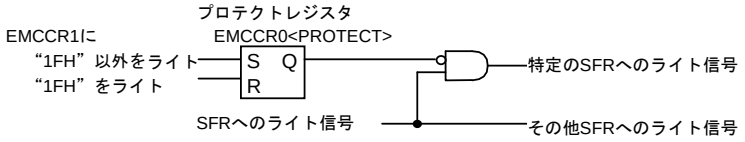
2. クロックギア (EMCCR1 のみはライト可能です)

   SYSCR0, SYSCR1, SYSCR2, EMCCR0

3. DFM

   DFMCR0, DFMCR1

(ブロック図)



(設定方法)

EMCCR1 レジスタに “1FH” 以外のコードをライトするとプロテクト ON 状態となります。この動作により特定の SFR へのライト動作ができなくなります。

EMCCR1 レジスタに “1FH” をライトするとプロテクト OFF 状態となります。プロテクトの状態は、EMCCR0<PROTECT>をリードすることにより確認できます。

リセットにより、プロテクト OFF 状態となります。

Downloaded from Elcodis.com electronic components distributor

3.4.7 スタンバイ制御

(1) HALT モード

HALT 命令を実行すると、SYSCR2<HALTM1:0>の設定により、IDLE2、IDLE1、STOP のいずれかの HALT モードになります。

IDLE2、IDLE1、STOP モードの特長は、次のとおりです。

1. IDLE2: CPU のみ停止するモードです。

   内蔵I/Oは、SFRの中にIDLE2 モード時の動作/停止設定レジスタを持ち、IDLE2 モードでの動作設定が可能です。
   表 3.4.3にIDLE2 モードにおける動作設定レジスタを示します。

表 3.4.3 IDLE2 モードでの内蔵 I/O 動作設定レジスタ

内蔵 I/O	SFR
TMRA01	TA01RUN<I2TA01>
TMRA23	TA23RUN<I2TA23>
TMRA45	TA45RUN<I2TA45>
TMRA67	TA67RUN<I2TA67>
TMRB0	TB0RUN<I2TB0>
TMRB1	TB1RUN<I2TB1>
SIO0	SC0MOD1<I2S0>
SIO1	SC1MOD1<I2S1>
SBI	SBI0BR0<I2SBI0>
AD コンバータ	ADMOD1<I2AD>
WDT	WDMOD<I2WDT>

2. IDLE1: 発振回路と時計用タイマのみ動作します。
3. STOP: すべての内部回路が停止します。

ホルト状態での各ブロックの動作を 表 3.4.4に示します。

表 3.4.4 ホルト状態での各ブロックの動作

<table>
<tr><th colspan="2">HALT モード</th><th>IDLE2</th><th>IDLE1</th><th>STOP</th></tr>
<tr><th colspan="2">SYSCR2<HALTM1:0></th><th>11</th><th>10</th><th>01</th></tr>
<tr><td rowspan="9">動作ブロック</td><td>CPU</td><td colspan="3">停止</td></tr>
<tr><td>I/O ポート</td><td colspan="2">HALT 命令実行時の状態を保持</td><td>表 3.4.7,
表 3.4.8参照</td></tr>
<tr><td>TMRA01~TMRA67, TMRB0~TMRB1</td><td rowspan="4">動作するブロックをプログラマブルに選択可</td><td colspan="2" rowspan="4">停止</td></tr>
<tr><td>SIO0~SIO1, SBI</td></tr>
<tr><td>AD コンバータ</td></tr>
<tr><td>WDT</td></tr>
<tr><td>時計用タイマ</td><td colspan="2">動作可</td></tr>
<tr><td>割り込みコントローラ</td><td>動作</td><td></td></tr>
</table>

Downloaded from Elcodis.com electronic components distributor

(2) ホルト状態からの解除

ホルト状態からの解除は、割り込み要求、または、リセットにより行うことができます。使用できるホルト解除ソースは、CPUのステータスレジスタSRに割り付けられている割り込みマスクレジスタ<IFF2:0> の状態と、HALTモードの組み合わせにより決まります。詳細を 表 3.4.5に示します。

- 割り込み要求による解除

割り込み要求によるホルト状態からの解除動作は、割り込み許可状態により異なります。HALT 命令実行前に設定されている割り込み要求レベルが割り込みマスクレジスタの値以上であれば、ホルト解除後、その要因による割り込み処理を行い、“HALT” 命令の次の命令から処理をスタートします。割り込み要求レベルが割り込みマスクレジスタの値より小さい場合はホルト解除を行いません (ノンマスカブル割り込みでは、マスクレジスタの値に関係なくホルト解除後、割り込み処理を行います)。

ただし、INT0~INT4 と時計用タイマ割り込み INTRTC に限り、割り込み要求レベルが割り込みマスクレジスタの値より小さい場合でも、ホルト状態からの解除を行うことができます。この場合、割り込み処理は行わず HALT 命令の次の命令から処理をスタートします (割り込み要求フラグは “1” を保持します)。

注) 通常は、割り込みによってホルト状態を解除することができますが、HALT モードが IDLE1、STOP モードに設定されている状態 (IDLE2 は対象外) で、CPU が HALT モードに移行しようとしている期間 (f_{FPH} 約 5 クロックの間) に、HALT モードを解除可能な割り込み ($\overline{NMI}$, INT0~INT4, INTRTC) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます)。
HALT モードへ完全に移行された後に、再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

- リセットによる解除

リセットにより、すべてのホルト状態からの解除を行うことができます。

ただし、STOPモードの解除では、発振回路動作が安定するための十分なリセット時間 (表 3.4.6参照) が必要です。

リセットによる解除では、内蔵 RAM のデータは、ホルト状態に入る直前の状態を保持できますが、その他の設定は初期化されます (割り込みによる解除では、ホルト状態に入る直前の状態を保持します)。

Downloaded from Elcodis.com electronic components distributor

表 3.4.5 ホルト解除ソースとホルト解除の動作

割り込み受け付け状態			割り込み許可 (割り込みレベル) ≧ (割り込みマスク)			割り込み禁止 (割り込みレベル) < (割り込みマスク)		
HALT モード			IDLE2	IDLE1	STOP	IDLE2	IDLE1	STOP
ホルト解除ソース	割り込み	NMI	♦	♦	♦ *1	–	–	–
		INTWD	♦	×	×	–	–	–
		INT0~INT4 (注 1)	♦	♦	♦ *1	○	○	○ *1
		INTRTC	♦	♦	×	○	○	×
		INT5~INT8	♦ (注 2)	×	×	×	×	×
		INTTA0~INTTA7	♦	×	×	×	×	×
		INTTB00, INTTB01, INTTB10, INTTB11,INTTBOF0, INTTBOF1	♦	×	×	×	×	×
		INTRX0~INTRX1, INTTX0~INTTX1	♦	×	×	×	×	×
		INTSBI	♦	×	×	×	×	×
		INTAD	♦	×	×	×	×	×
		RESET	LSI を初期化します。					

♦: ホルト解除後、割り込み処理を開始します。

○: ホルト解除後、HALT 命令の次のアドレスから処理を開始します (割り込み処理は行いません)。

×: ホルト解除に使用できません。

–: ノンマスカブル割り込みの優先順位レベル (割り込み要求レベル) は最優先の “7” に固定されているため、この組み合わせはありません。

*1: ウォームアップ時間経過後にホルト解除を行います。

注 1) 割り込み許可状態において、レベルモードの INT0 割り込みによるホルト解除を行う場合、割り込み処理が開始されるまで “H” レベルを保持してください。それ以前で “L” レベルにした場合は、正しい割り込み処理を開始できません。

注 2) 外部割り込み INT5~INT8 を IDLE2 モード時に使用する場合、16 ビットタイマ RUN レジスタ TB0RUN<I2TB0>、TB1RUN<I2TB1>を “1” にセットしてください。

(ホルト状態からの解除例)

IDLE1 モードのホルト状態をエッジモードの INT0 割り込みにより解除する場合。

```
アドレス
8200H   LD    (P6FC), 08H    ;  P63 を INT0 に設定
8203H   LD    (IIMC), 00H    ;  INT0 割り込み立ち上がりエッジを選択
8206H   LD    (INTE0AD), 06H ;  INT0 割り込みレベルを “6” に設定
8209H   EI    5              ;  CPU 割り込みレベルを “5” に設定
820BH   LD    (SYSCR2), 28H  ;  IDLE1 モードに設定
820EH   HALT                 ;  CPU 停止
```

Downloaded from Elcodis.com electronic components distributor

(3) 各モードの動作

1. IDLE2 モード

各内蔵 I/O の SFR 中にある IDLE2 モード時の動作/停止設定レジスタで指定した内蔵 I/O のみ動作し、CPU の命令実行動作は停止します。システムクロックは動作しています。

IDLE2 モードの割り込みによるホルト解除のタイミング例を 図 3.4.7に示します。

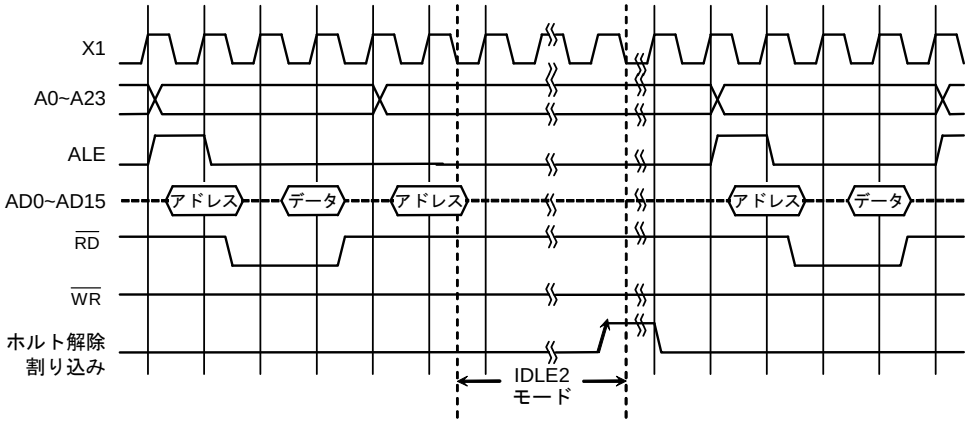


図 3.4.7 割り込みによるホルト解除のタイミング例 (IDLE2 モード時)

2. IDLE1 モード

発振回路と時計用タイマのみ動作し、システムクロックは停止します。IDLE2 モードに比べ消費電力の低減が図れます。

ホルト状態での、割り込み要求のサンプリングは、システムクロックと非同期に行われますが、解除 (動作の再開) は同期して行われます。

IDLE1 モードの割り込みによるホルト解除のタイミング例を 図 3.4.8に示します。

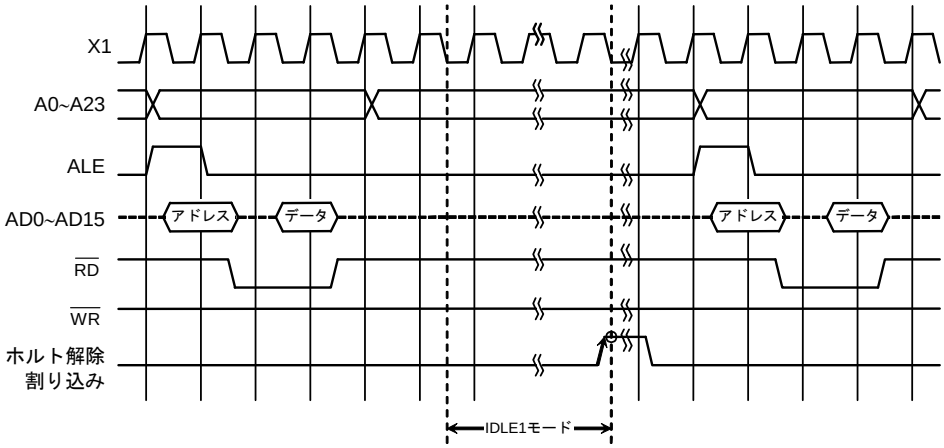


図 3.4.8 割り込みによるホルト解除のタイミング例 (IDLE1 モード時)

Downloaded from Elcodis.com electronic components distributor

3. STOP モード

発振回路も含めて、すべての内部回路が停止します。また、STOPモード時の端子状態は、SYSCR2<DRVE>の設定により制御します。STOPモード時の端子状態を 表 3.4.7、表 3.4.8に示します。

STOPモードを解除する場合は、発振回路の安定化のため、ウォームアップ時間経過後に、システムクロックの出力を開始します。ウォームアップ時間の設定は、SYSCR2<WUPTM1:0>で行います。表 3.4.6に設定例を示します。STOPモード解除後は、SYSCR0<RXEN, RXTEN, RSYSCK>の設定に従い動作を開始します（ホルト解除後の動作モード（NORMAL/SLOW）を選択できます）。この設定は "HALT" 命令実行前に行う必要があります。

STOP モードの前後で異なる動作モードを使用する場合、HALT 命令を実行中（6 ステート期間）にホルト解除割り込みが受け付けられると、動作モードの変更が行われないままホルト解除を行うことがあります。HALT 命令実行中に割り込みが入力されるようなシステムでは、STOP モードの前後で同じ動作モードを設定してください。

STOPモードの割り込みによるホルト解除のタイミング例を 図 3.4.9 に示します。

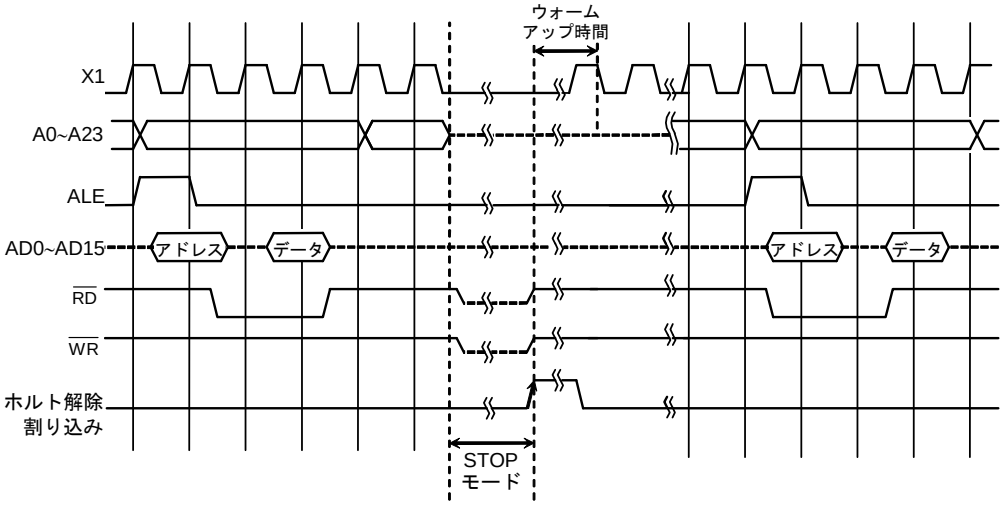


図 3.4.9 割り込みによるホルト解除のタイミング例 (STOP モード時)

表 3.4.6 ウォームアップ時間の設定例 (STOP モード解除時)

@f_{OSCH} = 27MHz, fs = 32.768 kHz

SYSCR0 <RSYSCK>	SYSCR2<WUPTM1:0>		
	01 (2^8)	10 (2^{14})	11 (2^{16})
0 (fc)	9.0 μs	0.607 ms	2.427 ms
1 (fs)	7.8 ms	500 ms	2000 ms

Downloaded from Elcodis.com electronic components distributor

（設定例） SLOW モードで動作している状態で STOP モードに入り、NMI 割り込みによる解除後、NORMAL モードで動作させる場合

```
アドレス
          SYSCR0   EQU   00E0H
          SYSCR1   EQU   00E1H
          SYSCR2   EQU   00E2H
8FFDH              LD    (SYSCR1), 08H            ;  fSYS = fs/2
9000H              LD    (SYSCR2), X–1001X1B      ;  ウォームアップ時間 2^14/fOSCH,
                                                      STOP モードに設定、<DRVE>=1
9002H              LD    (SYSCR0), 011000 – –B    ;  ホルト解除後、高速クロック

9005H              HALT
          NMI 端子入力 ↘ ┆
                         ┆ ──────────────────────→ ウォームアップ
                         ┆                          タイマクリア&スタート
                         ┆                          (高速クロック)
                         ┆                                ↓
                         ┆                              終了
                         ┆                                ↓
                         ┆                          NMI 割り込み処理
                         ↓                                ┆
9006H              LD    XX, XX                       RETI
                   ┆
          –: No change
```


Downloaded from Elcodis.com electronic components distributor

表 3.4.7 入力バッファ状態表

ポート名	入力機能名	入力バッファ状態									
		リセット中	CPU 動作中		HALT 中 (IDLE2/IDLE1)		HALT 中 (STOP)				
							<DRVE>=1		<DRVE>=0		
			機能設定時	入力ポート設定時	機能設定時	入力ポート設定時	機能設定時	入力ポート設定時	機能設定時	入力ポート設定時	
P00-P07	AD0-AD7	OFF	外部リードで ON	ON	OFF	OFF	OFF	OFF	OFF	OFF	
P10-P17	AD8-AD15										
P20-P27	–		–		–		–		–		
P32	–										*1
P33	$\overline{\text{WAIT}}$	ON	ON		OFF		OFF		OFF		*1
P34	$\overline{\text{BUSRQ}}$				ON	ON	ON	ON			*1
P35-P37	–		–		–		–		–		*1
P40-43	–										*1
P50-P52, P54-P57	–	OFF		ポートリードで ON		OFF		OFF			*2
P53	$\overline{\text{ADTRG}}$		ON		ON		ON		ON		*2
P60	SCK	ON		ON		ON		ON	OFF		
P61	SDA										
P62	SCL,SI										
P63	INT0								ON	ON	
P64-P66	–		–		–		–		–	OFF	
P70	TA0IN		ON		ON		ON		OFF		
P73	TA4IN										
P71-P72, P74-P75	–		–		–		–		–		
P80	INT5,TB0IN0		ON		ON		ON		OFF		
P81	INT6,TB0IN1										
P84	INT7,TB1IN0										
P85	INT8,TB1IN1										
P82-P83, P86-P87	–		–		–		–		–		
P90,P93	–										
P91	RXD0		ON		ON		ON		OFF		
P92	SCLK0, $\overline{\text{CTS0}}$										
P94	RXD1										
P95	SCLK1, $\overline{\text{CTS1}}$										
P96	XT1 発振回路用	OFF		OFF		OFF	OFF	OFF			
	XT1 ポート用	ON	OFF	ON	OFF	ON		ON			
P97	–		–		–		–		–		
PA0	INT1	OFF	ON		ON	OFF	ON	OFF	ON		
PA1	INT2										
PA2	INT3										
PA3	INT4										
PA4-PA7	–		–		–		–		–		
$\overline{\text{NMI}}$, $\overline{\text{RESET}}$, AM0,AM1	–	ON	ON	–	ON	–	ON	–	ON	–	
X1	–				OFF	–	OFF	–	OFF	–	

ON: 常時バッファが ON しているため,、入力端子がドライブされてないと入力バッファに貫通電流が流れます

OFF: 常時バッファが OFF しています

ー: 対象なし

*1: Pull-Up/Down 抵抗付きポートです。

*2: AIN 入力では貫通電流が流れません

Downloaded from Elcodis.com electronic components distributor

表 3.4.8 出力バッファ状態表

ポート名	出力機能名	出力バッファ状態									
		リセット中	CPU 動作中		HALT 中 (IDLE2/IDLE1)		HALT 中 (STOP)				
							<DRVE>=1		<DRVE>=0		
			機能設定時	出力ポート設定時	機能設定時	出力ポート設定時	機能設定時	出力ポート設定時	機能設定時	出力ポート設定時	
P00-P07	AD0-AD7	OFF	外部ライトで ON	ON	OFF	ON	OFF	ON	OFF	OFF	
P10-P17	AD8-AD15										
	A8-A15		ON		ON		ON				
P20-P27	A0-A7										
	A16-A23										
P30	$\overline{RD}$	ON									
P31	$\overline{WR}$										
P32	$\overline{HWR}$	OFF									*1
P33,P34, P37	–		–		–		–		–		*1
P35	$\overline{BUSAK}$		ON		ON		ON		OFF		*1
P36	R/W										*1
P40	$\overline{CS0}$										*1
P41	$\overline{CS1}$										*1
P42	$\overline{CS2}$										*1
P43	$\overline{CS3}$										*1
P60	SCK										
P61	SDA,SO										
P62	SCL										
P63,P65, P66	–		–		–		–		–		
P64	SCOUT		ON		ON		ON		OFF		
P70,P73	–		–		–		–		–		
P71	TA1OUT		ON		ON		ON		OFF		
P72	TA3OUT										
P74	TA5OUT										
P75	TA7OUT										
P80,P81, P84,P85	–		–		–		–		–		
P82	TB0OUT0		ON		ON		ON		OFF		
P83	TB0OUT1										
P86	TB1OUT0										
P87	TB1OUT1										
P90	TXD0										
P91,P94	–		–		–		–		–		
P92	SCLK0		ON		ON		ON		OFF		
P93	TXD1										
P95	SCLK1										
P96	–	ON	–		–		–		–		
P97	XT2 発振回路用	OFF	ON	OFF	ON	OFF	OFF	OFF	OFF		
	XT2 ポート用	ON	OFF	ON	OFF	ON		ON			
PA0-PA7	–	OFF	–		–		–		–		
ALE	–		ON	–	ON	–	ON	–	ON	–	
X2	–	ON					"H"レベル出力		"H"レベル出力		

ON: 常時バッファが ON しています。ただし、バス開放時は特定の端子の出力バッファは OFF します。

OFF: 常時バッファが OFF しています

ー: 対象なし

*1: Pull-Up/Down 抵抗付きポートです。

Downloaded from Elcodis.com electronic components distributor

3.5 割り込み

割り込みは、CPU の割り込みマスクレジスタ SR<IFF2:0>と、内蔵の割り込みコントローラによって制御されます。

割り込み要因には、下記に示す合計 45 本があります。

- CPU 自身からの割り込み ..... 9 本
  （ソフトウエア割り込み、未定義命令実行違反）
- 外部端子（$\overline{\text{NMI}}$、INT0~INT8）..... 10 本
- 内蔵 I/O からの割り込み ..... 26 本

割り込み要因ごとに、個別の割り込みベクタ番号（固定）が割り当てられており、マスカブル割り込みのそれぞれに、6 レベルの優先順位（可変）を割り付けることができます。ノンマスカブル割り込みの優先順位は、最優先の “7” に固定されています。

割り込みが発生すると、割り込みコントローラは、その割り込み要因の優先順位値を CPU に送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位値(最高はノンマスカブル割り込みの “7”)を CPU に送ります。

CPU は、その送られてきた優先順位値と、CPU の割り込みマスクレジスタ<IFF2:0>の値を比較し、送られてきた優先順位値が、割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。<IFF2:0>の値は EI 命令（EI num/IFF <2:0> の内容が num）を使用して、書き替えることができます。例えば、 “EI 3” とプログラムすると、割り込みコントローラに設定された、優先順位値 3 以上のマスカブル割り込みと、ノンマスカブル割り込みが受け付け可能となります。また、DI 命令（<IFF2:0> が 7）は動作的には “EI 7” と同じですが、マスカブル割り込みの割り込みレベルが 1~6 であるため、マスカブル割り込みの受け付け禁止用として使用されます。なお、EI 命令は実行後、直ちに有効となります。

上記汎用割り込み処理モードに加えて、「マイクロ DMA」処理モードがあります。マイクロ DMA は、CPU が自動的にデータの転送（1/2/4 バイト）を行うモードです。内部/外部メモリおよび内蔵 I/O に対するデータ転送を、高速に行うことができます。

さらに、このマイクロ DMA 要求を割り込み要因から与えられる以外に、ソフトで要求をかける “ソフトスタート機能” があります。

図 3.5.1に割り込み処理全体のフローを示します。

Downloaded from Elcodis.com electronic components distributor

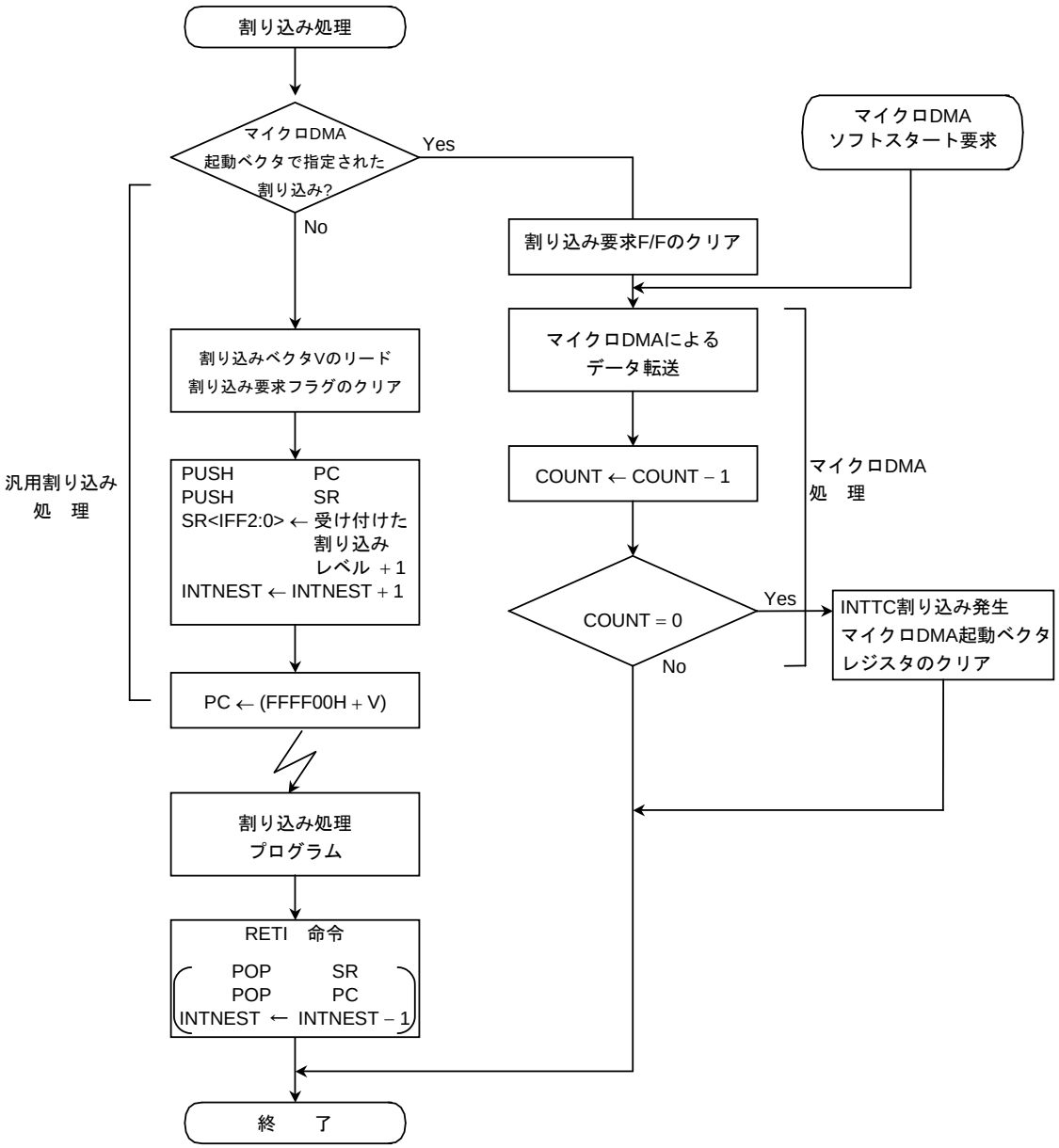


図 3.5.1 割り込み処理全体のフロー

Downloaded from Elcodis.com electronic components distributor

3.5.1 汎用割り込み処理

CPU が割り込みを受け付けると、下記の動作をします。なお、この動作は、TLCS-900/L、TLCS-900/H と同様です。

(1) CPU は、割り込みコントローラから、割り込みベクタをリードします。
割り込みコントローラは、同一レベルに設定された割り込みが同時に発生した場合、デフォルトプライオリティ (固定: ベクタ値が小さいほど優先順位が高い) に従って割り込みベクタを発生し、その割り込み要求をクリアします。

(2) CPU は、プログラムカウンタ「PC」とステータスレジスタ「SR」を、スタック領域 (XSP が示す領域) へ PUSH します。

(3) CPU の割り込みマスクレジスタ <IFF2:0> の値を、受け付けた割り込みレベルより "1" だけ高い値にセットします。ただし、値が "7" のときは、インクリメントせず "7" をセットします。

(4) 割り込みネスティングカウンタ INTNEST を、+1 します。

(5) CPU は、「FFFF00H + 割り込みベクタ」のデータで示されるアドレスへジャンプし、割り込み処理ルーチンを開始します。

上記の処理時間は、ベストケース (メモリは 16 ビットデータバス幅, 0 ウェイト) の場合、18 ステート (1.33 μs @ 27 MHz) です。

割り込み処理が終了し、メインルーチンに戻るときは、通常「RETI」命令で行います。この命令を実行すると、スタックからプログラムカウンタ PC とステータスレジスタ SR の内容を復帰し割り込みネスティングカウンタ INTNEST を–1 します。

ノンマスカブル割り込みは、プログラムによって割り込み受け付けを禁止することができません。マスカブル割り込みは、プログラムによって割り込みの許可/禁止が選択できるとともに、割り込み要因ごとに優先順位を設定することができます。CPU は、CPU 自体が持つ <IFF2:0> の値以上の、優先順位値を持つ割り込み要求があると、割り込みを受け付けます。そして、CPU の <IFF2:0> に、受け付けた優先順位に "1" を加えた値を、セットします。従って、割り込み処理中に、現在実行している割り込みよりも高いレベルの割り込みが発生した場合には、その割り込み要求を受け付け、割り込み処理のネスティング状態になります。

なお、CPU が割り込みを受け付け、前記 (1)~(5) までの処理をしている間に発生した別の割り込み要求は、その割り込み処理ルーチンの先頭命令が実行された直後にサンプリングされます。先頭命令を DI 命令にすると、マスカブル割り込みのネスティングを禁止することができます。

リセット後、CPU の <IFF2:0> は、"7" に初期化されているため、マスカブル割り込み禁止状態になっています。

アドレスFFFF00H~FFFFFFH (256 バイト) が、割り込みベクタ領域に割り当てられています。表 3.5.1に割り込みテーブルを示します。

Downloaded from Elcodis.com electronic components distributor

表 3.5.1 TMP91CW12A/CY22 の割り込みテーブル

デフォルト プライオリティ	タイプ	割り込み要因	ベクタ値	ベクタ参照 アドレス	マイクロ DMA 起動ベクタ
1	ノン マスカブル	“リセット” または「SWI0」命令	0000H	FFFF00H	–
2		「SWI 1」命令	0004H	FFFF04H	–
3		INTUNDEF: 未定義命令実行違反、または「SWI2」命令	0008H	FFFF08H	–
4		「SWI3」命令	000CH	FFFF0CH	–
5		「SWI4」命令	0010H	FFFF10H	–
6		「SWI5」命令	0014H	FFFF14H	–
7		「SWI6」命令	0018H	FFFF18H	–
8		「SWI7」命令	001CH	FFFF1CH	–
9		$\overline{\text{NMI}}$ 端子	0020H	FFFF20H	–
10		INTWD: ウォッチドッグタイマ	0024H	FFFF24H	–
–	マスカブル	マイクロ DMA	–	–	– (注)
11		INT0 端子	0028H	FFFF28H	0AH
12		INT1 端子	002CH	FFFF2CH	0BH
13		INT2 端子	0030H	FFFF30H	0CH
14		INT3 端子	0034H	FFFF34H	0DH
15		INT4 端子	0038H	FFFF38H	0EH
16		INT5 端子	003CH	FFFF3CH	0FH
17		INT6 端子	0040H	FFFF40H	10H
18		INT7 端子	0044H	FFFF44H	11H
19		INT8 端子	0048H	FFFF48H	12H
20		INTTA0: 8 ビットタイマ 0	004CH	FFFF4CH	13H
21		INTTA1: 8 ビットタイマ 1	0050H	FFFF50H	14H
22		INTTA2: 8 ビットタイマ 2	0054H	FFFF54H	15H
23		INTTA3: 8 ビットタイマ 3	0058H	FFFF58H	16H
24		INTTA4: 8 ビットタイマ 4	005CH	FFFF5CH	17H
25		INTTA5: 8 ビットタイマ 5	0060H	FFFF60H	18H
26		INTTA6: 8 ビットタイマ 6	0064H	FFFF64H	19H
27		INTTA7: 8 ビットタイマ 7	0068H	FFFF68H	1AH
28		INTTB00: 16 ビットタイマ 0 (TB0RG0)	006CH	FFFF6CH	1BH
29		INTTB01: 16 ビットタイマ 0 (TB0RG1)	0070H	FFFF70H	1CH
30		INTTB10: 16 ビットタイマ 1 (TB1RG0)	0074H	FFFF74H	1DH
31		INTTB11: 16 ビットタイマ 1 (TB1RG1)	0078H	FFFF78H	1EH
32		INTTBOF0: 16 ビットタイマ 0 (オーバフロー)	007CH	FFFF7CH	1FH
33		INTTBOF1: 16 ビットタイマ 1 (オーバフロー)	0080H	FFFF80H	20H
34		INTRX0: シリアル受信 (チャネル 0)	0084H	FFFF84H	21H
35		INTTX0: シリアル送信 (チャネル 0)	0088H	FFFF88H	22H
36		INTRX1: シリアル受信 (チャネル 1)	008CH	FFFF8CH	23H
37		INTTX1: シリアル送信 (チャネル 1)	0090H	FFFF90H	24H
38		INTSBI: シリアルバスインタフェース割り込み	0094H	FFFF94H	25H
39		INTRTC: 時計用タイマ割り込み	0098H	FFFF98H	26H
40		INTAD: AD 変換終了	009CH	FFFF9CH	27H
41		INTTC0: マイクロ DMA 終了 (チャネル 0)	00A0H	FFFFA0H	–
42		INTTC1: マイクロ DMA 終了 (チャネル 1)	00A4H	FFFFA4H	–
43		INTTC2: マイクロ DMA 終了 (チャネル 2)	00A8H	FFFFA8H	–
44		INTTC3: マイクロ DMA 終了 (チャネル 3)	00ACH	FFFFACH	–
		(Reserved) : (Reserved)	00B0H : 00FCH	FFFFB0H : FFFFFCH	– : –

注) マイクロ DMA デフォルトプライオリティ
マイクロ DMA は、ほかのマスカブル割り込みより優先されて起動します。

Downloaded from Elcodis.com electronic components distributor

3.5.2 マイクロDMA

汎用割り込み処理に加えて、マイクロ DMA 機能があります。マイクロ DMA に設定された割り込み要求は、設定された割り込みレベルにかかわらず、マスカブル割り込みの中で最も高い割り込みレベルで処理を行います。

マイクロ DMA は、4 チャネル用意されており、後述のバースト指定により、連続転送が可能です。

なお、マイクロ DMA 機能は、CPU の協調動作によって実現されているため、CPU が HALT 命令を実行しスタンバイ状態(STOP,IDLE1,DLE2) になると、マイクロ DMA の要求は、無視(保留)され、HALT 解除後に DMA 転送を開始します。

(1) マイクロ DMA の動作

マイクロ DMA は、マイクロ DMA 起動ベクタレジスタで指定された割り込み要求が発生すると、割り込み要求元の割り込みレベルにかかわらず、CPU に対しマスカブル割り込みの中で最も優先順位の高いレベルでデータ転送処理を行います。<IFF2:0> = “7” のときは、マイクロ DMA の要求は受け付けられません。

マイクロ DMA は 4 チャネル用意されており、同時に 4 種類までの割り込み要因に対して、マイクロ DMA を設定することができます。

マイクロ DMA が受け付けられると、そのチャネルに割り当られている割り込み要求フラグをクリアし、コントロールレジスタに設定された、転送元アドレスから転送先アドレスに、データ転送が一回 (1/2/4 バイト) 行われ、転送数カウンタをデクリメントします。デクリメントした結果が “0” ならば、CPU はマイクロ DMA 転送終了を割り込みコントローラに伝え、割り込みコントローラは、マイクロ DMA 転送終了割り込み (INTTCn) を発生させ、かつ、マイクロ DMA 起動ベクタレジスタ DMAnV の値を “0” にクリアして、次のマイクロ DMA 起動を禁止し、マイクロ DMA 処理を終了します。デクリメントした結果が “0” でない場合、後述のバースト指定がなければ、マイクロ DMA 処理は終了します。この場合、転送終了割り込み (INTTCn) は発生しません。

割り込み要因をマイクロ DMA 起動のみに使用する場合は、割り込みレベルを “0” にしておく必要があります。これは、マイクロ DMA 起動ベクタに設定されるまでの間に、その割り込み要求が発生すると、割り込みレベルが 1~6 の場合、CPU は汎用割り込み処理を行うためです。

割り込み要因をマイクロ DMA と汎用割り込みの起動の両方で使用する場合は、その割り込み要因の割り込みレベルを、ほかのすべての割り込み要因の割り込みレベルより低くする必要があります(注) 。なお、その割り込み要因は、エッジ割り込みに限られます。

マイクロ DMA 転送終了割り込みは、ほかのマスカブル割り込みと同様に割り込みレベルとデフォルトプライオリティにより、優先順位が決まります。

また、複数チャネルのマイクロ DMA 要求が、同時に発生した場合の優先順位は、割り込みレベルに無関係で、チャネル番号の若い方が高くなります。(CH0 (高) → CH3 (低))

転送元/転送先アドレスを設定するレジスタは、32 ビット幅のコントロールレジスタになっていますが、アドレスは 24 本しか出力されていないため、マイクロ DMA で取り扱える空間は、16 M バイトとなります。

注）マイクロ DMA 要因の割り込みレベルを他の割り込みレベルより高くすると、下記のような動作 をする場合があります。

下記設定にてINTxxx割り込みが先に発生し、割り込み処理フロー(図 3.5.1参照) で、“マイクロDMA起動ベクタで指定された割り込み”の確認後で、“割り込みベクタVのリード”の間にINTyyyが発生した場合、INTyyyの割り込みレベルのほうが高いため、その時点ではベクタVはINTyyyのベクタVに変化してしまいます。割り込み処理フローでは、マイクロDMAの確認が終了しているため、割り込みベクタVがすり替わる形となり、CPUはそのままINTyyyのベクタVをリードしてしまい、マイクロDMAの転送カウンタにかかわらずINTyyyが発生してしまいます。

INTxxx: レベル 1 DMA 設定なし

INTyyy: レベル 6 DMA 設定あり

Downloaded from Elcodis.com electronic components distributor

転送モードは、1/2/4 バイト転送の 3 種類があり、それぞれの転送モードに対して、転送後、転送元/転送先アドレスをインクリメント、デクリメント、固定するモードを用意しています。このモードにより、I/O からメモリ、メモリから I/O、I/O から I/O のデータ転送を簡単に行えます。転送モードの詳細は、(4)「転送モードレジスタ」を参照してください。

転送数カウンタは、16 ビット幅で構成されているため、一つの割り込み要因に対して、最大 65536 回 (転送カウンタの設定値が 0000H のとき最大) の、マイクロ DMA 処理を行うことができます。

マイクロDMA処理を行うことのできる割り込み要因は、表 3.5.1でマイクロDMA起動ベクタのある 30 種類の割り込みとソフトスタートによる計 31 種類です。

転送先アドレスINCモード 2 バイト転送 (カウンタモード以外は同様) のマイクロDMAサイクルを 図 3.5.2に示します。(全アドレスエリア 16 ビットバス, 0 ウェイト, ソース/デスティネーションアドレスとも偶数の場合)

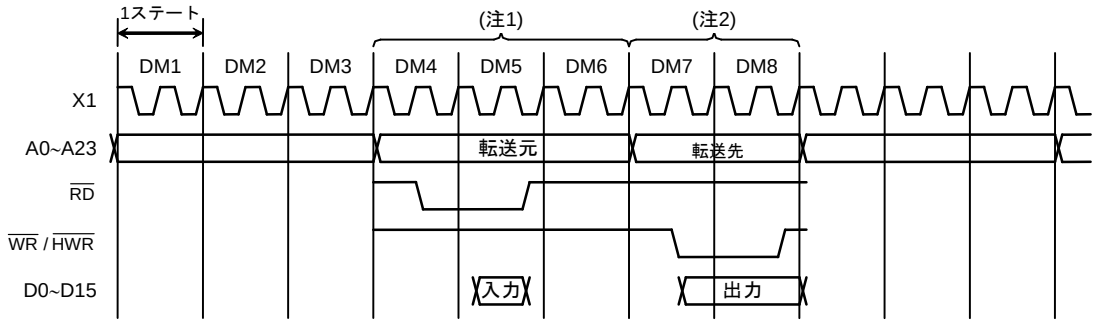


図 3.5.2 マイクロ DMA サイクル図

第 1~3 ステート: 命令フェッチサイクル (次の命令コードを先取りします)
命令キューバッファに 3 バイト以上の命令コードが入ると、
このサイクルは、ダミーサイクルになります。

第 4~5 ステート: マイクロ DMA リードサイクル

第 6 ステート: ダミーサイクル (アドレスバスは第 5 ステート状態のままです)

第 7~8 ステート: マイクロ DMA ライトサイクル

注 1) 転送元アドレスエリアが 8 ビットバスの場合、+2 ステートされます。
また、転送元アドレスエリアが 16 ビットバスで、奇数アドレスから始まる場合も、+2 ステートされます。

注 2) 転送先アドレスエリアが 8 ビットバスの場合、+2 ステートされます。
また、転送先アドレスエリアが 16 ビットバスで、奇数アドレスから始まる場合も、+2 ステートされます。

Downloaded from Elcodis.com electronic components distributor

(2) ソフトスタート機能

割り込み要因によるマイクロ DMA の起動以外に、DMAR レジスタへのライトサイクルが発生したことにより、マイクロ DMA を起動する “マイクロ DMA ソフトスタート機能” があります。

DMAR レジスタの各ビットに “1” をライトすることにより、マイクロ DMA を一回起動することができます(“0”をライトしても変化しません) 。転送が終了すると、終了したチャネルに対応する DMAR レジスタのビットが、自動的に “0” にクリアされます。なお、仕様上の制限として一度に 1 チャネルしか起動指定できません (複数のビットに“1”をライトしないでください)。

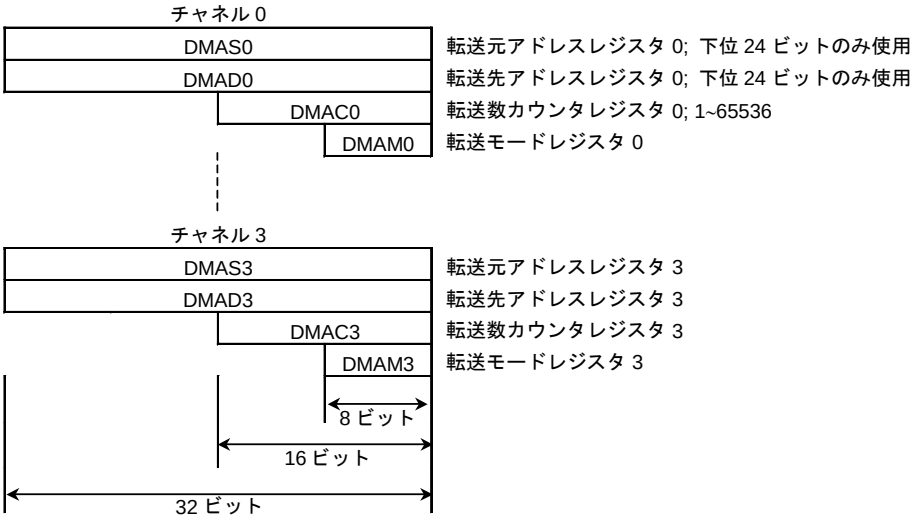
また、再度 DMAR レジスタに “1” をライトする場合は、そのビットが “0” であることを確認してから行ってください。リードした値が“1”の場合は、まだマイクロ DMA 転送が開始されません。

DMAB レジスタでバースト指定されている場合は、マイクロ DMA を起動するとマイクロ DMA 転送カウンタが “0” になるまで、連続的にデータ転送されます。割り込み要因によるマイクロ DMA 転送の合間にソフトソフトスタートを実行してもマイクロ DMA 転送カウンタは変化しません。他のビットへの誤書き込みを防ぐために、リードディファイライト命令は使わないでください。

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMAR	DMA request register	89H (RMW 禁)					DMAR3	DMAR2	DMAR1	DMAR0
							R/W			
							0	0	0	0
							DMA 要求			

(3) 転送制御レジスタ

転送元アドレス、転送先アドレスは、下記の CPU 内レジスタで設定します。これらのレジスタは、「LDC cr, r」命令を使用して、データの設定を行います。



Downloaded from Elcodis.com electronic components distributor

(4) 転送モードレジスタ: DMAM0~DMAM3

(DMAM0~DMAM3)

0	0	0	モード

注) このレジスタに値を設定するとき、上位 3 ビットは "0" にしてください。

ZZ: 0 = バイト転送、1 = ワード転送、2 = 4 バイト転送、3 = Reserved

						実行時間
0	0	0	Z	Z	転送先アドレス INC モード..... I/O to メモリ用 (DMADn+) ← (DMASn) DMACn ← DMACn – 1 if DMACn = 0 then INTTC 発生	8 ステート(593ns) @バイト/ワード転送 12 ステート(889 ns) @4 バイト転送
0	0	1	Z	Z	転送先アドレス DEC モード ..... I/O to メモリ用 (DMADn–) ← (DMASn) DMACn ← DMACn – 1 if DMACn = 0 then INTTC 発生	8 ステート(593ns) @バイト/ワード転送 12 ステート(889 ns) @4 バイト転送
0	1	0	Z	Z	転送元アドレス INC モード..... メモリ to I/O 用 (DMADn) ← (DMASn+) DMACn ← DMACn – 1 if DMACn = 0 then INTTC 発生	8 ステート(593 ns) @バイト/ワード転送 12 ステート(889 ns) @4 バイト転送
0	1	1	Z	Z	転送元アドレス DEC モード ..... メモリ to I/O 用 (DMADn) ← (DMASn–) DMACn ← DMACn–1 if DMACn = 0 then INTTC 発生	8 ステート(593 ns) @バイト/ワード転送 12 ステート(889 ns) @4 バイト転送
1	0	0	Z	Z	アドレス固定モード ..... I/O to I/O 用 (DMADn) ← (DMASn) DMACn ← DMACn – 1 if DMACn = 0 then INTTC 発生	8 ステート(593 ns) @バイト/ワード転送 12 ステート(889 ns) @4 バイト転送
1	0	1	0	0	カウンタモード..... 割り込み発生回数カウント用 DMASn ← DMASn + 1 DMACn ← DMACn – 1 if DMACn = 0 then INTTC 発生	5 ステート (370 ns)

注 1) n: 対応するマイクロ DMA チャネル 0~3
DMADn+/DMASn+: ポストインクリメント (転送後レジスタの値をインクリメント)
DMADn–/DMASn–: ポストデクリメント (転送後レジスタの値をデクリメント)
表中の I/O とは固定されたアドレス、メモリとはインクリメント, デクリメントされるアドレスを意味します。

注 2) 実行時間: 転送元/転送先アドレス空間が 16 ビットバス幅, 0 ウェイトに設定されている場合を示します。
クロック条件は fc = 27MHz、高速クロックギア: 1 倍 (fc) です。

注 3) 転送モードレジスタへは上記以外のコードを設定しないでください。

Downloaded from Elcodis.com electronic components distributor

3.5.3 割り込みコントローラの制御

図 3.5.3に、割り込み回路のブロック図を示します。この図の左側は、割り込みコントローラを示し、右側はCPUの割り込み要求信号回路と、ホルト解除回路を示しています。

割り込みコントローラは、割り込み要求フラグ、割り込みレベルレジスタ、マイクロ DMA 起動ベクタを持っています。割り込み要求フラグは、周辺からの割り込み要求をラッチするためのものです。

割り込み要求フラグは、以下の場合にクリアされます。

- リセット動作
- CPU が割り込みを受け付け、その割り込みのベクタをリードしたとき
- 割り込みをクリアする命令の実行 (INTCLR レジスタに DMA 起動ベクタをライト)
- CPU がその割り込みでのマイクロ DMA を受け付けたとき
- その割り込みでのマイクロ DMA バースト転送が終了したとき

割り込みの優先順位は、各割り込み要因ごとに準備されている割り込みレベルレジスタ (INTE0AD, INTE12 …… など) にそれぞれのレベルを設定できます。設定できる割り込みレベルは 1 から 6 までの 6 レベルです。レベルを “0” (または “7”) にすることにより、該当する割り込み要求は禁止されます。なお、ノンマスカブル割り込み ($\overline{\text{NMI}}$ 端子, ウォッチドッグタイマ) のレベルは “7” に固定されています。また、同時に同一レベルの割り込み要求が発生した場合には、デフォルトプライオリティに従い、割り込みを受け付けます。なお、割り込みレベルレジスタのビット 3, ビット 7 をリードすると、割り込み要求フラグの状態がリードされ、各チャネルの割り込み要求の有無がわかります。

割り込みコントローラは、発生した割り込みの割り込みレベルと、そのベクタアドレスを CPU へ送ります。CPU は、ステータスレジスタ (SR) に割り付けられている割り込みマスクレジスタ<IFF2:0>と割り込みレベルを比較し、割り込みのレベルがそれ以上であれば、この割り込みを受け付けます。そして、SR<IFF2:0>に、受け付けた割り込みレベル+1 の値をセットし、この値以上の割り込み要求だけが、多重に受け付けられる割り込み要因となります。割り込み処理の終了 (RETI 命令の実行) により、SR<IFF2:0>には、スタックに退避されていた、割り込み発生以前の割り込みマスクレジスタの値が、リストアされます。

割り込みコントローラには、マイクロDMAの起動ベクタを格納するレジスタ (4 チャネル) が用意されています。このレジスタに、起動ベクタ (表 3.5.1参照) をあらかじめライトすることにより、該当する割り込み要求が発生することによって、マイクロDMAが起動されます。なお、このマイクロDMA処理の前に、マイクロDMAパラメータ用レジスタ (DMAS, DMADなど) に値を設定しておく必要があります。

Downloaded from Elcodis.com electronic components distributor

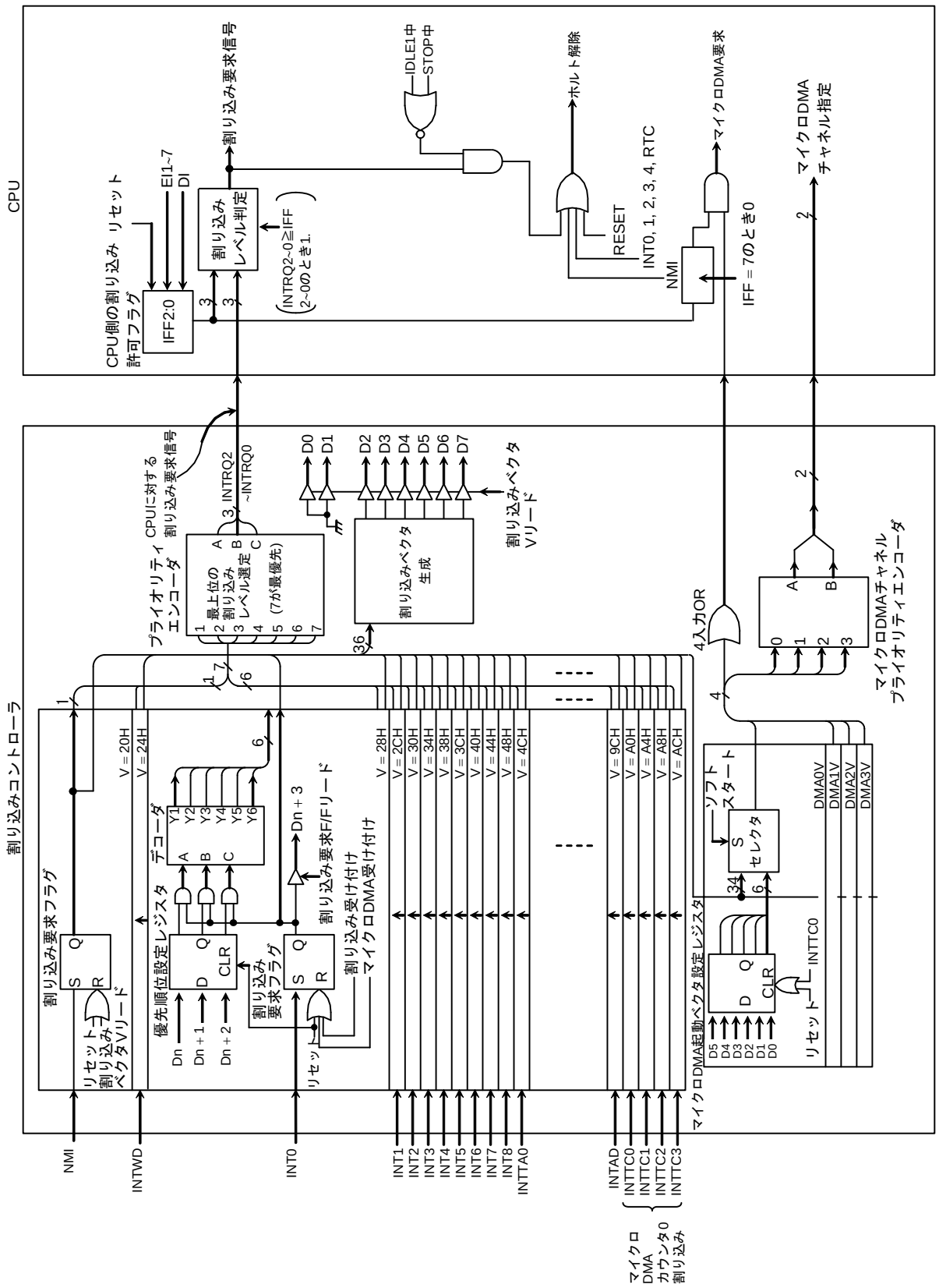


図 3.5.3 割り込みコントローラブロック図

Downloaded from Elcodis.com electronic components distributor

(1) 割り込み優先順位設定レジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE0AD	INT0 & INTAD enable	90H	INTAD				INT0			
			IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE12	INT1 & INT2 enable	91H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE34	INT3 & INT4 enable	92H	INT4				INT3			
			I4C	I4M2	I4M1	I4M0	I3C	I3M2	I3M1	I3M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE56	INT5 & INT6 enable	93H	INT6				INT5			
			I6C	I6M2	I6M1	I6M0	I5C	I5M2	I5M1	I5M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE78	INT7 & INT8 enable	94H	INT8				INT7			
			I8C	I8M2	I8M1	I8M0	I7C	I7M2	I7M1	I7M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETA01	INTTA0 & INTTA1 enable	95H	INTTA1 (TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETA23	INTTA2 & INTTA3 enable	96H	INTTA3 (TMRA3)				INTTA2 (TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETA45	INTTA4 & INTTA5 enable	97H	INTTA5 (TMRA5)				INTTA4 (TMRA4)			
			ITA5C	ITA5M2	ITA5M1	ITA5M0	ITA4C	ITA4M2	ITA4M1	ITA4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETA67	INTTA6 & INTTA7 enable	98H	INTTA7 (TMRA7)				INTTA6 (TMRA6)			
			ITA7C	ITA7M2	ITA7M1	ITA7M0	ITA6C	ITA6M2	ITA6M1	ITA6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

割り込み要求フラグ

IxxM2	IxxM1	IxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを 1 に設定
0	1	0	割り込みレベルを 2 に設定
0	1	1	割り込みレベルを 3 に設定
1	0	0	割り込みレベルを 4 に設定
1	0	1	割り込みレベルを 5 に設定
1	1	0	割り込みレベルを 6 に設定
1	1	1	割り込み要求を禁止に設定

Downloaded from Elcodis.com electronic components distributor

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTETB0	INTTB00 & INTTB01 enable	99H	INTTB01 (TMRB0)				INTTB00 (TMRB0)			
			ITB01C	ITB01M2	ITB01M1	ITB01M0	ITB00C	ITB00M2	ITB00M1	ITB00M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETB1	INTTB10 & INTTB11 enable	9AH	INTTB11 (TMRB1)				INTTB10 (TMRB1)			
			ITB11C	ITB11M2	ITB11M1	ITB11M0	ITB10C	ITB10M2	ITB10M1	ITB10M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETB01V	INTTBOF0& INTTBOF1 enable (overflow)	9BH	INTTBOF1 (TMRB1 オーバフロー)				INTTBOF0 (TMRB0 オーバフロー)			
			ITF1C	ITF1M2	ITF1M1	ITF1M0	ITF0C	ITF0M2	ITF0M1	ITF0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTES0	INTRX0 & INTTX0 enable	9CH	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTES1	INTRX1 & INTTX1 enable	9DH	INTTX1				INTRX1			
			ITXT1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTES2RTC	INTSBI & RTC enable	9EH	INTRTC				INTSBI			
			IRTCC	IRTCM2	IRTCM1	IRTCM0	ISBIC	ISBIM2	ISBIM1	ISBIM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC01	INTTC0 & INTTC1 enable	A0H	INTTC1				INTTC0			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC23	INTTC2 & INTTC3 enable	A1H	INTTC3				INTTC2			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

割り込み要求フラグ

IxxM2	IxxM1	IxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを 1 に設定
0	1	0	割り込みレベルを 2 に設定
0	1	1	割り込みレベルを 3 に設定
1	0	0	割り込みレベルを 4 に設定
1	0	1	割り込みレベルを 5 に設定
1	1	0	割り込みレベルを 6 に設定
1	1	1	割り込み要求を禁止に設定

Downloaded from Elcodis.com electronic components distributor

(2) 外部割り込みの制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
IIMC	Interrupt input mode control	8CH (RMW 禁)	–	I4EDGE	I3EDGE	I2EDGE	I1EDGE	I0EDGE	I0LE	NMIREE
			W							
			0	0	0	0	0	0	0	0
			"0"をライトしてください。	INT4 エッジ 0: 立ち上がり 1: 立ち下がり	INT3 エッジ 0: 立ち上がり 1: 立ち下がり	INT2 エッジ 0: 立ち上がり 1: 立ち下がり	INT1 エッジ 0: 立ち上がり 1: 立ち下がり	INT0 エッジ 0: 立ち上がり 1: 立ち下がり	INT0 0: エッジ 1: レベル	1: $\overline{\text{NMI}}$ 立ち上がりでも動作

INT0 レベルイネーブル

0	エッジ検知割り込み
1	"H" レベル割り込み

$\overline{\text{NMI}}$ 立ち上がりエッジイネーブル

0	立ち下がりエッジで割り込み要求発生
1	立ち上がり/立ち下がり両方のエッジで割り込み要求発生

(3) 割り込み要求フラグクリアレジスタ

割り込み要求フラグのクリアは、INTCLRレジスタに 表 3.5.1 のマイクロDMA起動ベクタをライトして行います。

例えば、INT0 割り込みフラグをクリアする場合、DI 命令後に下記のレジスタ操作を行います。

INTCLR ← 0AH　　INT0 割込み要求フラグのクリア

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTCLR	Interrupt clear control	88H (RMW 禁)			CLRV5	CLRV4	CLRV3	CLRV2	CLRV1	CLRV0
					W					
					0	0	0	0	0	0
					割り込みベクタ					

(4) マイクロ DMA 起動ベクタレジスタ

マイクロ DMA 処理をどの割り込み要因に割り当てるかを選択するレジスタです。このレジスタに設定されたベクタ値と一致するマイクロ DMA 起動ベクタを持つ割り込み要因をマイクロ DMA 起動要因として割り当てます。

マイクロ DMA 転送カウンタが "0" になると、割り込みコントローラにそのチャネルに相当するマイクロ DMA 転送終了割り込みが伝えられるとともに、このマイクロ DMA 起動ベクタレジスタはクリアされ、そのチャネルのマイクロ DMA 起動要因がクリアされますので、引き続きマイクロ DMA 処理をさせたい場合は、マイクロ DMA 転送終了割り込み処理の中で、再度このマイクロ DMA 起動ベクタレジスタをセットする必要があります。

また、複数チャネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合は、チャネル番号の小さい方が優先されます。

従って、2 チャネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合、チャネル番号の小さいチャネルがマイクロ DMA 転送終了になるまで実行され、そのチャネルのマイクロ DMA 起動ベクタを再度設定しなければ、その後のマイクロ DMA 起動はチャネル番号の大きいチャネルに移行します。(マイクロ DMA のチェーン)

Downloaded from Elcodis.com electronic components distributor

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA0 start vector	80H			DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
					R/W					
					0	0	0	0	0	0
					DMA0 起動ベクタ					
DMA1V	DMA1 start vector	81H			DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
					R/W					
					0	0	0	0	0	0
					DMA1 起動ベクタ					
DMA2V	DMA2 start vector	82H			DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
					R/W					
					0	0	0	0	0	0
					DMA2 起動ベクタ					
DMA3V	DMA3 start vector	83H			DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
					R/W					
					0	0	0	0	0	0
					DMA3 起動ベクタ					

(5) マイクロ DMA のバースト指定

マイクロ DMA 処理はバースト指定を行うことにより、1 回のマイクロ DMA 起動で、転送カウンタレジスタが 0 になるまで、連続転送を行うことが可能です。DMAB レジスタのマイクロ DMA チャネルに対応するビットを “1” にすることで、バースト指定できます。

バースト転送中にほかの割り込み(マスカブル/ノンマスカブルにかかわらず) 発生した場合は、バースト転送終了後に割り込み処理を実行します。

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMAR	DMA request register	89H (RMW 禁)					DMAR3	DMAR2	DMAR1	DMAR0
							R/W			
							0	0	0	0
							1: DMA のソフトウエア要求			
DMAB	DMA burst register	8AH					DMAB3	DMAB2	DMAB1	DMAB0
							R/W			
							0	0	0	0
							1: DMA バースト要求			

Downloaded from Elcodis.com electronic components distributor

(6) 注意事項

CPU は、命令実行ユニットとバスインタフェースユニットが分離されています。そのため、割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグをクリアする命令をフェッチした場合、CPU が割り込みを受け付けて、割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令 (注) を実行するということがあり得ます。この場合、CPU は要因消滅ベクタ "0008H" をリードし、アドレス FFFF08H の割り込みベクタをリードします。

上記の現象を回避するため、割り込み要求フラグをクリアするときは、DI 命令の後にクリアする命令をライトするようにしてください。クリアする命令を実行した後、再び EI 命令で割り込みをイネーブルにするときは、クリア命令後必ず 1 命令以上間を置いてから EI 命令を実行してください。クリア命令後すぐに EI 命令を実行すると、割り込み要求フラグがクリアされる前に、割り込みイネーブルになってしまうことがあります。

また、POP SR 命令により割り込みマスクレベル (ステータスレジスタ SR の<IFF2:0>) を書き替えるときは、必ず DI 命令により割り込みを禁止した後に POP SR 命令を実行してください。

さらに、以下の 2 点は例外の回路になっていますので注意が必要です。

INT0 のレベルモード	エッジタイプの割り込みでないため、割り込み要求用フリップフロップ機能はキャンセルされ、周辺割り込み要求がそのままフリップフロップの S 入力を素通りし、Q 出力になります。モード変更 (エッジ→レベル) を行った場合、以前の割り込み要求フラグは、自動的にクリアされます。
	INT0 を "0" から "1" にすることによって、CPU が割り込み応答シーケンスに入ったときは、その割り込み応答シーケンスが完了するまで、INT0 を "1" のままにしておく必要があります。また、INT0 のレベルモードをホルトの解除に使用する場合も、一度 "0" から "1" にした場合は、ホルトが解除されるまで必ず "1" に保持しておく必要があります。(ノイズによって途中で "0" が入ることがないようにしてください)
	レベルモードからエッジモードへ切り替えたとき、レベルモード時に受け付けた割り込み要求フラグは、クリアされません。そのため、割り込み要求フラグを以下のシーケンスでクリアしてください。
	DI
	LD (IIMC), 00H ; レベルからエッジへ切り替える
	LD (INTCLR), 0AH ; INT0 割り込み要求フラグをクリア
	NOP : EI の実行待ち
	EI

INTRX n	割り込み要求用フリップフロップをクリアするには、リセット動作、またはシリアル チャネルの受信バッファをリードする必要があります。INTCLR レジスタライトによるクリアはできません。

注) 下記の命令および端子変化も、この割り込み要求フラグをクリアする命令に相当します。

INT0: エッジモードで割り込み要求発生後のレベルモードへの切り替え命令
レベルモードでの割り込み要求発生後の端子入力変化 ("H" レベル → "L" レベル)

INTRXn: 受信バッファをリードする命令

Downloaded from Elcodis.com electronic components distributor

3.6 ポート機能

TMP91CW12A/CY22 は、汎用入出力ポート機能だけでなく、内部の CPU や内蔵 I/O の入出力機能も持っています。表 3.6.1に各ポート端子の機能を、表 3.6.2~表 3.6.3に各端子の設定方法を示します。

表 3.6.1 ポート機能

(R: PU = プログラマブルプルアップ抵抗付き)

ポート名	ピン名称	ピン数	方　向	R	方向設定単位	内蔵機能用ピン名称
ポート 0	P00~P07	8	入出力	–	ビット	AD0~AD7
ポート 1	P10~P17	8	入出力	–	ビット	AD8~AD15/A8~A15
ポート 2	P20~P27	8	入出力	–	ビット	A16~A23/A0~A7
ポート 3	P30	1	出　力	–	(固　定)	$\overline{RD}$
	P31	1	出　力	–	(固　定)	$\overline{WR}$
	P32	1	入出力	PU	ビット	$\overline{HWR}$
	P33	1	入出力	PU	ビット	$\overline{WAIT}$
	P34	1	入出力	PU	ビット	$\overline{BUSRQ}$
	P35	1	入出力	PU	ビット	$\overline{BUSAK}$
	P36	1	入出力	PU	ビット	R / $\overline{W}$
	P37	1	入出力	PU	ビット	
ポート 4	P40	1	入出力	PU	ビット	$\overline{CS0}$
	P41	1	入出力	PU	ビット	$\overline{CS1}$
	P42	1	入出力	PU	ビット	$\overline{CS2}$
	P43	1	入出力	PU	ビット	$\overline{CS3}$
ポート 5	P50~P57	8	入　力	–	(固　定)	AN0~AN7, $\overline{ADTRG}$ (P53)
ポート 6	P60	1	入出力	–	ビット	SCK
	P61	1	入出力	–	ビット	SO/SDA
	P62	1	入出力	–	ビット	SI/SCL
	P63	1	入出力	–	ビット	INT0
	P64	1	入出力	–	ビット	SCOUT
	P65	1	入出力	–	ビット	
	P66	1	入出力	–	ビット	
ポート 7	P70	1	入出力	–	ビット	TA0IN
	P71	1	入出力	–	ビット	TA1OUT
	P72	1	入出力	–	ビット	TA3OUT
	P73	1	入出力	–	ビット	TA4IN
	P74	1	入出力	–	ビット	TA5OUT
	P75	1	入出力	–	ビット	TA7OUT
ポート 8	P80	1	入出力	–	ビット	TB0IN0/INT5
	P81	1	入出力	–	ビット	TB0IN1/INT6
	P82	1	入出力	–	ビット	TB0OUT0
	P83	1	入出力	–	ビット	TB0OUT1
	P84	1	入出力	–	ビット	TB1IN0/INT7
	P85	1	入出力	–	ビット	TB1IN1/INT8
	P86	1	入出力	–	ビット	TB1OUT0
	P87	1	入出力	–	ビット	TB1OUT1
ポート 9	P90	1	入出力	–	ビット	TXD0
	P91	1	入出力	–	ビット	RXD0
	P92	1	入出力	–	ビット	SCLK0/ $\overline{CTS0}$
	P93	1	入出力	–	ビット	TXD1
	P94	1	入出力	–	ビット	RXD1
	P95	1	入出力	–	ビット	SCLK1/ $\overline{CTS1}$
	P96	1	入出力	–	ビット	XT1
	P97	1	入出力	–	ビット	XT2
ポート A	PA0~PA3	4	入出力	–	ビット	INT1~INT4
	PA4~PA7	4	入出力	–	ビット	

Downloaded from Elcodis.com electronic components distributor

表 3.6.2 I/O ポート設定一覧表 (1/2)

ポート	端子名	仕　様	リセット後	I/O レジスタ設定値		
				Pn	PnCR	PnFC
ポート 0	P00~P07	入力ポート	●	×	0	設定レジスタなし
		出力ポート		×	1	
		AD0~AD7 バス　(注 1)		×	×	
ポート 1	P10~P17	入力ポート	●	×	0	0
		出力ポート		×	1	0
		AD8~AD15 バス　(注 1)		×	0	1
		A8~A15		×	1	1
ポート 2	P20~P27	入力ポート	●	×	0	0
		出力ポート		×	1	0
		A0~A7 出力		×	0	1
		A16~A23 出力		×	1	1
ポート 3	P30	出力ポート	●	×	設定レジスタなし	0
		外部アクセス時のみ $\overline{RD}$ 出力		1		1
		常に $\overline{RD}$ 出力		0		1
	P31	出力ポート	●	×	設定レジスタなし	0
		外部アクセス時のみ $\overline{WR}$ 出力		×		1
	P32~P37	入力ポート (プルアップなし)		0	0	0
		入力ポート (プルアップあり)	●	1	0	0
		出力ポート		×	1	0
	P32	$\overline{HWR}$ 出力		×	1	1
	P33	$\overline{WAIT}$ 入力 (プルアップなし)		0	0	設定レジスタなし
		$\overline{WAIT}$ 入力 (プルアップあり)		1	0	
	P34	$\overline{BUSRQ}$ 入力 (プルアップなし)		0	0	1
		$\overline{BUSRQ}$ 入力 (プルアップあり)		1	0	1
	P35	$\overline{BUSAK}$ 出力		×	1	1
	P36	R / $\overline{W}$ 出力		×	1	1
ポート 4	P40~P43	入力ポート (プルアップなし)		0	0	0
		入力ポート (プルアップあり)	●	1	0	0
		出力ポート		×	1	0
	P40	$\overline{CS0}$ 出力		×	1	1
	P41	$\overline{CS1}$ 出力		×	1	1
	P42	$\overline{CS2}$ 出力		×	1	1
	P43	$\overline{CS3}$ 出力		×	1	1
ポート 5	P50~P57	入力ポート	●	×	設定レジスタなし	
		AN0~AN7 入力		×		
	P53	$\overline{ADTRG}$ 入力		×		
ポート 6	P60~P66	入力ポート	●	×	0	0
		出力ポート		×	1	0
	P60	SCK 入力		×	0	0
		SCK 出力		×	1	1
	P61	SDA 入力		×	0	0
		SDA 出力　(注 2)		×	1	1
		SO 出力		×	1	1
	P62	SI 入力		×	0	0
		SCL 入力		×	0	0
		SCL 出力　(注 2)		×	1	1
	P63	INT0 入力		×	0	1
	P64	SCOUT 出力		×	1	1

X: Don't care

Downloaded from Elcodis.com electronic components distributor

表 3.6.3 I/O ポート設定一覧表 (2/2)

ポート	端子名	仕　様	リセット後	I/O レジスタ設定値		
				Pn	PnCR	PnFC
ポート 7	P70~P75	入力ポート	●	×	0	0
		出力ポート		×	1	0
	P70	TA0IN 入力		×	0	設定レジスタなし
	P71	TA1OUT 出力		×	1	1
	P72	TA3OUT 出力		×	1	1
	P73	TA4IN 入力		×	0	設定レジスタなし
	P74	TA5OUT 出力		×	1	1
	P75	TA7OUT 出力		×	1	1
ポート 8	P80~P87	入力ポート	●	×	0	0
		出力ポート		×	1	0
	P80	TB0IN0, INT5 入力		×	0	1
	P81	TB0IN1, INT6 入力		×	0	1
	P82	TB0OUT0 出力		×	1	1
	P83	TB0OUT1 出力		×	1	1
	P84	TB1IN0, INT7 入力		×	0	1
	P85	TB1IN1, INT8 入力		×	0	1
	P86	TB1OUT0 出力		×	1	1
	P87	TB1OUT1 出力		×	1	1
ポート 9	P90~P95	入力ポート	●	×	0	0
		出力ポート		×	1	0
	P90	TXD0 出力		×	1	1
	P91	RXD0 入力		×	0	設定レジスタなし
	P92	SCLK0 入力		×	0	0
		SCLK0 出力		×	1	1
		$\overline{CTS0}$ 入力		×	0	0
	P93	TXD1 出力		×	1	1
	P94	RXD1 入力		×	0	設定レジスタなし
	P95	SCLK1 入力		×	0	0
		SCLK1 出力		×	1	1
		$\overline{CTS1}$ 入力		×	0	0
	P96~P97	入力ポート		×	0	設定レジスタなし
		出力ポート　(注 3)	●	×	1	
		XT1~XT2		×	0	
ポート A	PA0~PA7	入力ポート	●	×	0	0
		出力ポート		×	1	0
	PA0	INT1 入力		×	0	1
	PA1	INT2 入力		×	0	1
	PA2	INT3 入力		×	0	1
	PA3	INT4 入力		×	0	1

X: Don't care

注 1) AD0~AD7 への切り替えは特に PORT の設定はありません。外部領域アクセス時に自動的に切り替わります。

注 2) P61, P62 をそれぞれ SDA, SCL 出力でオープンドレイン出力として使用する場合は、ODE<ODE62:61>の設定をします。

注 3) P96~P97 を出力ポートとして使用する場合、オープンドレイン出力バッファです。

Downloaded from Elcodis.com electronic components distributor

- バス解放時プログラマブルプルアップ使用時の注意事項

バス解放時（$\overline{BUSAK}$ = “0”)、AD0~AD15, A0~A23, バスコントロール信号（$\overline{RD}$, $\overline{WR}$, $\overline{HWR}$, R/$\overline{W}$, $\overline{CS0}$ ~ $\overline{CS3}$）の出力バッファを OFF にし、ハイインピーダンス状態にします。ただし、内蔵のプログラマブルプルアップ抵抗は、働き続けます。このプログラマブルプルアップ抵抗は、入力モードで利用するときのみ、プログラマブルに付加/付加なしを選択できます。出力モードで利用するときは、プログラマブルに選択することはできません。

表 3.6.4にバス解放時の端子状態を示します。

表 3.6.4 バス解放時の端子状態

端子名	バス解放時の端子状態	
	ポートモード	ファンクションモード
P00~P07 (AD0~AD7) P10~P17 (AD8~AD15/A8~A15)	状態は変化しません。 (ハイインピーダンスになりません。)	ハイインピーダンスになります。
P20~P27 (A16~A23)	同上	出力バッファは OFF します。 (一度 High にしてから)
P30 ($\overline{RD}$) P31 ($\overline{WR}$)	同上	同上
P32 ($\overline{HWR}$) P37	同上	出力バッファは OFF します。出力ラッチの値に関係なく内蔵プルアップが付加されます。
P36 (R/ $\overline{W}$) P40 ($\overline{CS0}$) P41 ($\overline{CS1}$) P42 ($\overline{CS2}$) P43 ($\overline{CS3}$)	同上	同上

Downloaded from Elcodis.com electronic components distributor

図 3.6.1にバス解放機能使用時の上記信号の外部インタフェース例を示します。

なお、バス解放状態では、内蔵メモリおよび内蔵 I/O はアクセスできません。また、内蔵 I/O の動作は継続します。従って、ウォッチドッグタイマはカウントを継続しますので、バス解放機能を使用する場合は、バス解放時間を考慮して暴走検出時間を設定してください。

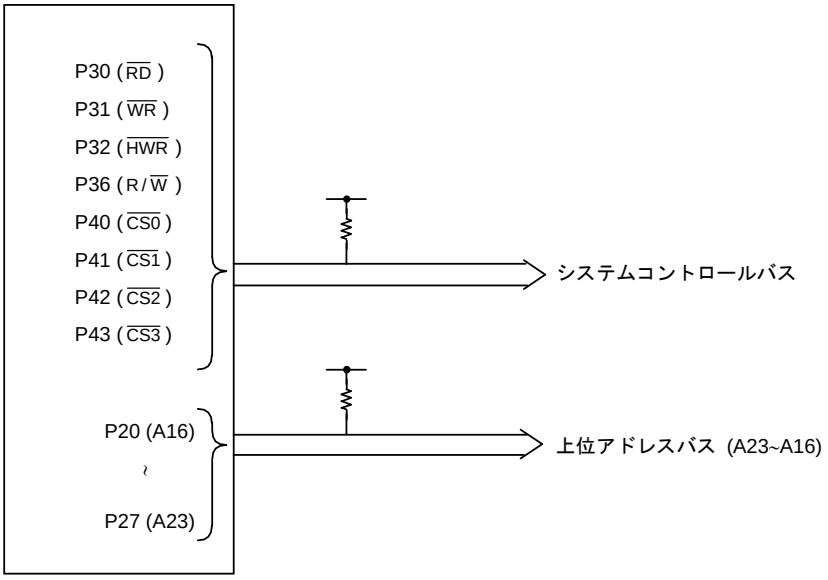


図 3.6.1 バス解放機能使用時 外部バスインタフェース例

バス解放時の信号レベルを確定させるために、外部にプルアップ抵抗を付加させる場合、上図のような回路が必要になります。

リセット動作により、P30 ($\overline{RD}$), P31 ($\overline{WR}$) は出力モードになり、P40~P43 ($\overline{CS0}$ ~ $\overline{CS3}$), P32 ($\overline{HWR}$), P36 (R/$\overline{W}$) と P35 ($\overline{BUSAK}$) は、プルアップ抵抗付きの入力モードになります。

Downloaded from Elcodis.com electronic components distributor

3.6.1 ポート 0 (P00~P07)

ポート 0 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P0CR によって行います。リセット動作により、P0CR の全ビットは “0” にリセットされ、ポート 0 は、入力モードになります。

汎用入出力ポート機能以外には、アドレスデータバス (AD0~AD7) 機能があります。外部メモリをアクセスすると、自動的にアドレスデータバス (AD0~AD7) として機能し、P0CR はすべて “0” にクリアされます。よって、アドレスデータバス (AD0~ AD7) 機能の設定はありません。

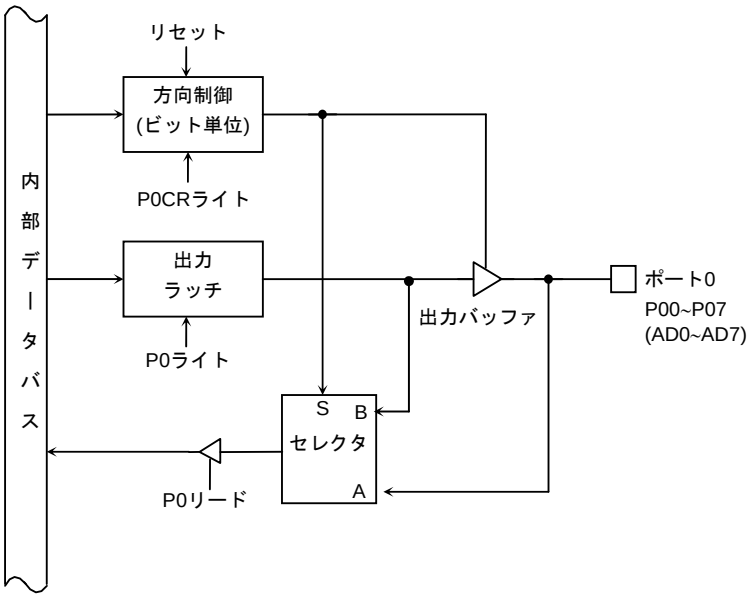


図 3.6.2 ポート 0

Downloaded from Elcodis.com electronic components distributor

ポート 0 レジスタ

		7	6	5	4	3	2	1	0
P0 (0000H)	Bit symbol	P07	P06	P05	P04	P03	P02	P01	P00
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは不定となります。)							

ポート 0 コントロールレジスタ

		7	6	5	4	3	2	1	0
P0CR (0002H)	Bit symbol	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力 (外部アクセス時は AD7~AD0 になり、このレジスタは 0 にクリアされます。)							

ポート 0 の入力/出力設定

0	入力
1	出力

注) P0CR はリードモディファイライトできません。

図 3.6.3　ポート 0 レジスタ

Downloaded from Elcodis.com electronic components distributor

3.6.2 ポート 1 (P10~P17)

ポート 1 は、ビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P1CR とファンクションレジスタ P1FC によって行います。リセット動作により、出力ラッチの P1 の全ビットと、P1CR と P1FC の、全ビットは “0” にリセットされ、ポート 1 は入力モードになります。

汎用入出力ポート以外に、アドレスデータバス (AD8~AD15) 機能とアドレスバス (A8~A15) 機能があります。

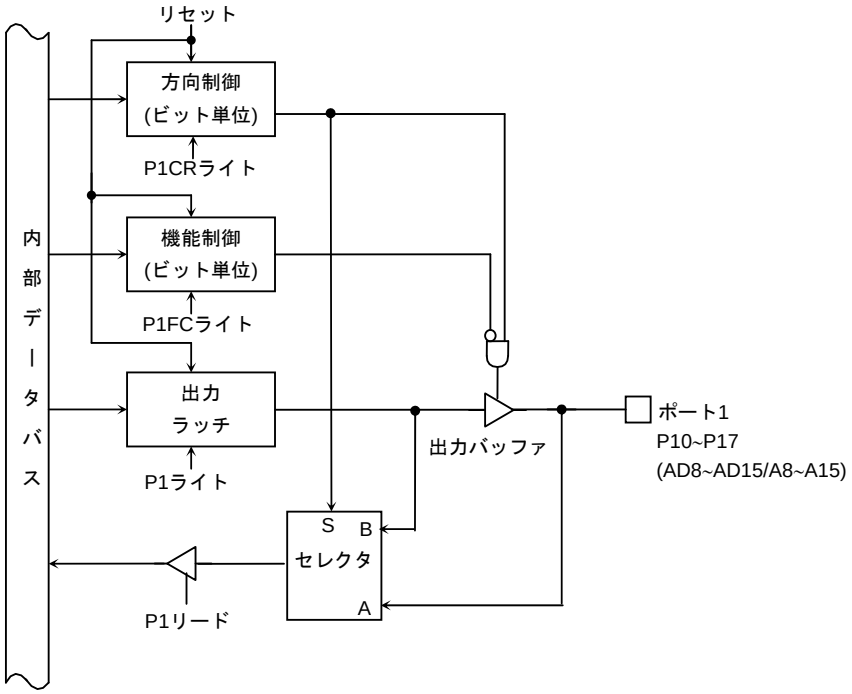


図 3.6.4 ポート 1

Downloaded from Elcodis.com electronic components distributor

ポート 1 レジスタ

		7	6	5	4	3	2	1	0
P1 (0001H)	Bit symbol	P17	P16	P15	P14	P13	P12	P11	P10
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは 0 にクリアされます。)							

ポート 1 コントロールレジスタ

		7	6	5	4	3	2	1	0
P1CR (0004H)	Bit symbol	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	<<P1FC の欄を参照>>							

ポート 1 ファンクションレジスタ

		7	6	5	4	3	2	1	0
P1FC (0005H)	Bit symbol	P17F	P16F	P15F	P14F	P13F	P12F	P11F	P10F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	P1FC/P1CR = 00: 入力　01: 出力　10: AD15~AD8　11: A15~A8							

→ ポート 1 の機能設定

P1FC<P1XF> / P1CR<P1XC>	0	1
0	入力ポート	アドレスデータバス (AD15~AD8)
1	出力ポート	アドレスバス (A15~A8)

注 1) P1CR, P1FC はリードモディファイライトできません。

注 2) <P1XF>/<P1XC>はそれぞれレジスタ P1FC/P1CR のビット X です。

図 3.6.5 ポート 1 関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

3.6.3 ポート 2 (P20~P27)

ポート 2 は、ビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P2CR と、ファンクションレジスタ P2FC によって行います。リセット動作により、出力ラッチ P2 の全ビットは “1” に、P2CR と P2FC、の全ビットは “0” にリセットされ、ポート 2 は入力モードになります。

汎用入出力ポート以外には、アドレスバス (A0~A7, A16~A23) 機能があります。

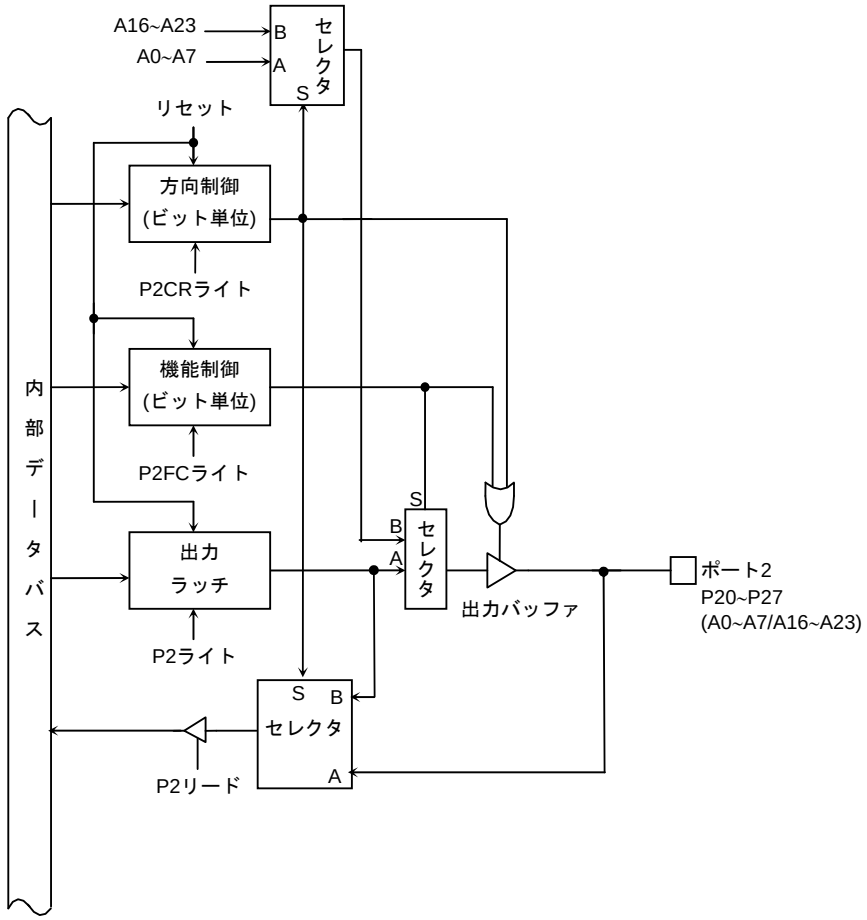


図 3.6.6 ポート 2

Downloaded from Elcodis.com electronic components distributor

ポート 2 レジスタ

		7	6	5	4	3	2	1	0
P2 (0006H)	Bit symbol	P27	P26	P25	P24	P23	P22	P21	P20
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは 1 にセットされます。)							

ポート 2 コントロールレジスタ

		7	6	5	4	3	2	1	0
P2CR (0008H)	Bit symbol	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	<<P2FC の欄を参照>>							

ポート 2 ファンクションレジスタ

		7	6	5	4	3	2	1	0
P2FC (0009H)	Bit symbol	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	P2FC/P2CR = 00: 入力　01: 出力　10: A7~A0　11: A23~A16							

ポート 2 の機能設定

P2FC<P2XF> / P2CR<P2XC>	0	1
0	入力ポート	アドレスバス (A7~A0)
1	出力ポート	アドレスバス (A23~A16)

注 1) P2CR, P2FC はリードモディファイライトできません。

注 2) <P2XF>/<P2XC>はそれぞれレジスタ P2FC/P2CR のビット X です。
アドレスバス A23~A16 に設定するときは、P2CR, P2FC の順に設定してください。P2FC, P2CR の順に設定すると P2CR 設定値が “0”の場合 P2FC を設定後、P2CR を設定するまでの間 A7~A0 が出力されます。

図 3.6.7 ポート 2 関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

3.6.4 ポート 3 (P30~P37)

ポート 3 は、ビット単位で入出力の設定ができる 8 ビットの汎用入出力ポート（ただし、P30 と P31 は出力専用）です。

入出力の指定は、コントロールレジスタ P3CR とファンクションレジスタ P3FC によって行います。リセット動作により、出力ラッチ P3 の全ビットは “1” にセットされ、P3CR（ビット 0 と 1 は未使用）と P3FC（ビット 3 と 7 は未使用）の全ビットは “0” にリセットされ、ポート 3 の P30 と P31 は “High” を 出力し、P32~P37 はプルアップ抵抗付きの入力モードになります。

汎用入出力ポート以外には、CPU のコントロール/ステータス信号の入出力機能があります。

P30 端子が、$\overline{\mathrm{RD}}$ 信号出力モードとして定義されている（<P30F> = “1”）とき 、出力ラッチレジスタ <P30> を 0 にクリアすると、P30 端子の $\overline{\mathrm{RD}}$ ストローブは内部アドレスエリアをアクセスするときでも出力され（擬似スタティック RAM 用）、1 にセットされたままだと、外部アドレスエリアをアクセスしたときのみ $\overline{\mathrm{RD}}$ ストローブは出力されます。

Downloaded from Elcodis.com electronic components distributor

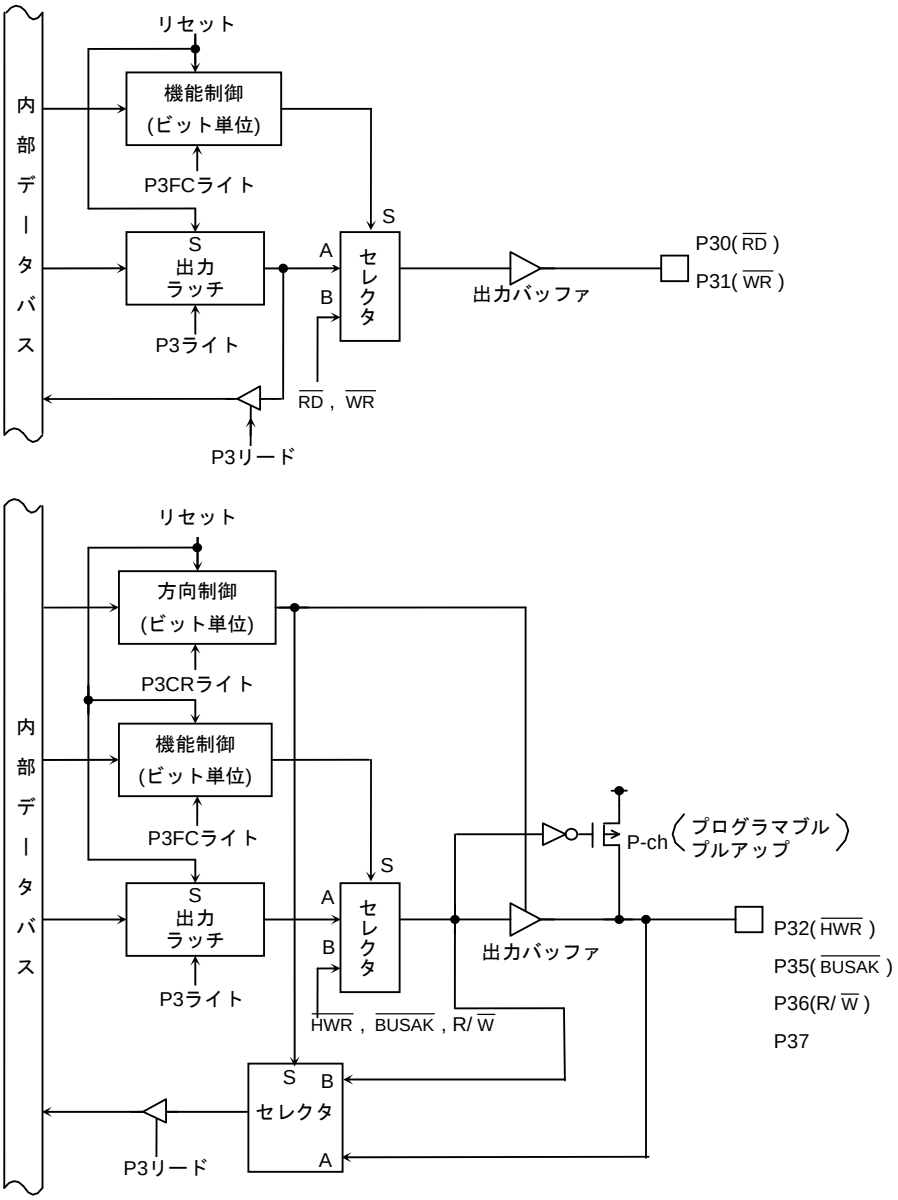


図 3.6.8 ポート 3 (P30, P31, P32, P35, P36, P37)

Downloaded from Elcodis.com electronic components distributor

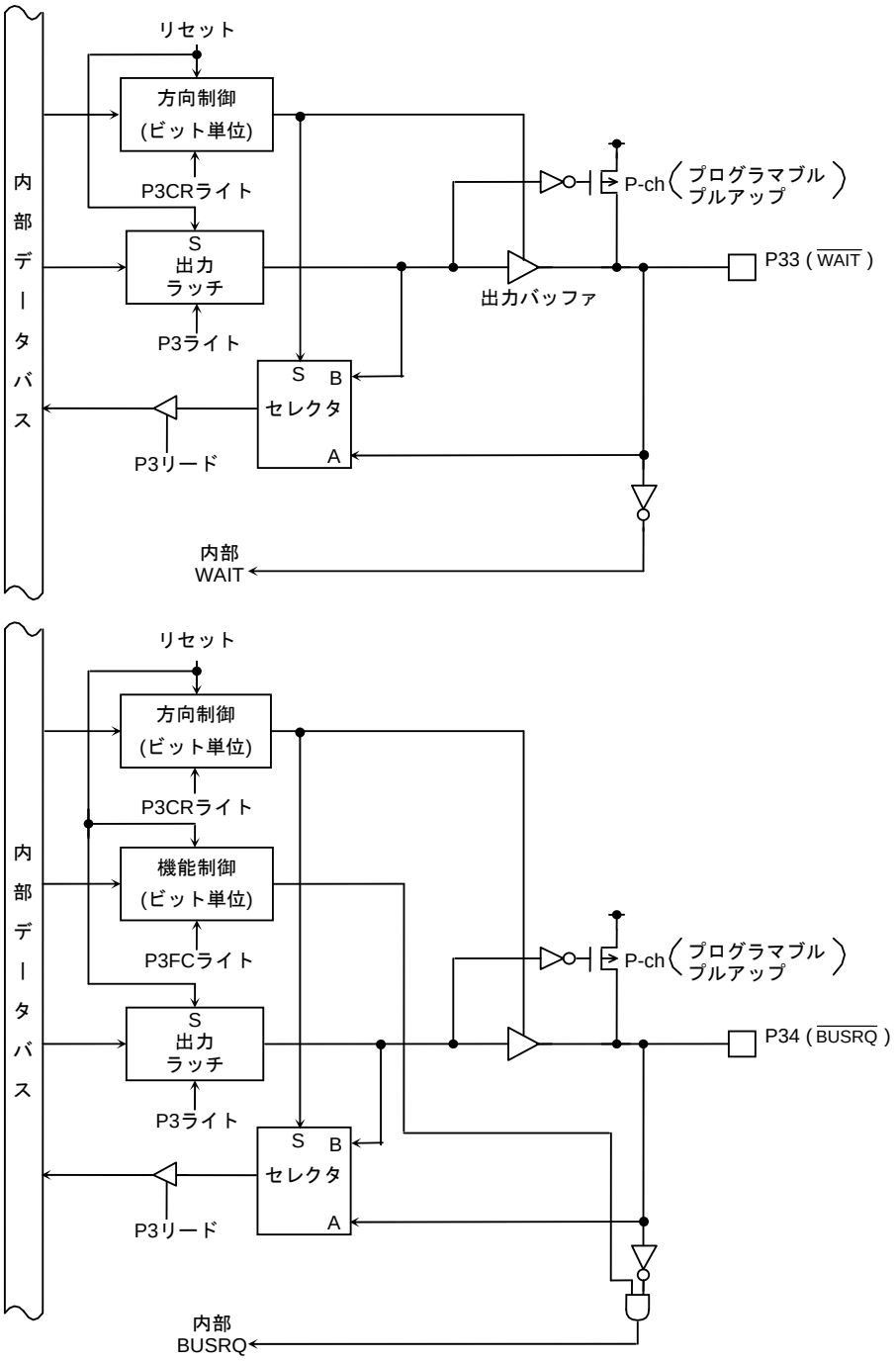


図 3.6.9 ポート 3 (P33, P34)

Downloaded from Elcodis.com electronic components distributor

ポート 3 レジスタ

P3 (0007H)	7	6	5	4	3	2	1	0
Bit symbol	P37	P36	P35	P34	P33	P32	P31	P30
Read/Write	R/W							
リセット後	外部端子データ (出力ラッチレジスタは 1 にセットされます。)						1	1
機能	0(出力ラッチレジスタ) : プルアップ抵抗 OFF 1(出力ラッチレジスタ): プルアップ抵抗 ON							

ポート 3 コントロールレジスタ

P3CR (000AH)	7	6	5	4	3	2	1	0
Bit symbol	P37C	P36C	P35C	P34C	P33C	P32C		
Read/Write	W							
リセット後	0	0	0	0	0	0		
機能	0: 入力 1: 出力							

入力/出力設定

0	入力
1	出力

ポート 3 ファンクションレジスタ

P3FC (000BH)	7	6	5	4	3	2	1	0
Bit symbol	–	P36F	P35F	P34F		P32F	P31F	P30F
Read/Write	W					W		
リセット後	0	0	0	0		0	0	0
機能	“0” をライトしてください。	0: ポート 1: R/$\overline{W}$	0: ポート 1: $\overline{BUSAK}$	0: ポート 1: $\overline{BUSRQ}$		0: ポート 1: $\overline{HWR}$	0: ポート 1: $\overline{WR}$	0: ポート 1: $\overline{RD}$

$\overline{BUSRQ}$ の設定

P3FC<P34F>	1
P3CR<P34C>	0

$\overline{BUSAK}$ の設定

P3FC<P35F>	1
P3CR<P35C>	1

R/$\overline{W}$ の設定

P3FC<P36F>	1
P3CR<P36C>	1

P30 ($\overline{RD}$)のファンクション設定

<P30> / <P30F>	0	1
0	“0” 出力	“1” 出力
1	常に $\overline{RD}$ 出力 (擬似 SRAM 対応)	外部アクセス時のみ $\overline{RD}$ 出力

P31 ($\overline{WR}$)のファンクション設定

<P31> / <P31F>	0	1
0	“0” 出力	“1” 出力
1	外部アクセス時のみ $\overline{WR}$ 出力	

$\overline{HWR}$ の設定

P3FC<P32F>	1
P3CR<P32C>	1

注 1) P3CR, P3FC はリードモディファイライトできません。

注 2) ポート 3 を入力モードで使用する場合、内蔵プルアップ抵抗は P3 レジスタにて制御します。入力モードあるいは入出力モードを混在させて使用する場合 (1 ビットでも入力端子が存在するとき) には、リードモディファイライト命令を行わないでください。入力端子の状態により内蔵プルアップ抵抗の設定が変わる場合があります。

注 3) P33/ $\overline{WAIT}$ 端子を $\overline{WAIT}$ 端子として使用する場合は、P3CR<P33C>を “0” に、チップセレクト/ウェイトコントロールレジスタのビット 3, 2<BnW2:0>を “010” に設定する必要があります。

図 3.6.10 ポート 3 関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

3.6.5 ポート 4 (P40~P43)

ポート 4 は、ビット単位で入出力の設定ができる 4 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P4CR とファンクションレジスタ P4FC によって行います。リセット動作により、P40~P43 の出力レジスタは “1”、P4CR と P4FC の全ビットは “0” にリセットされ、P40~P43 はプルアップ抵抗付きの入力モードになります。

汎用入出力ポート機能以外には、チップセレクト信号出力機能 ($\overline{CS0}$ ~ $\overline{CS3}$) があります。

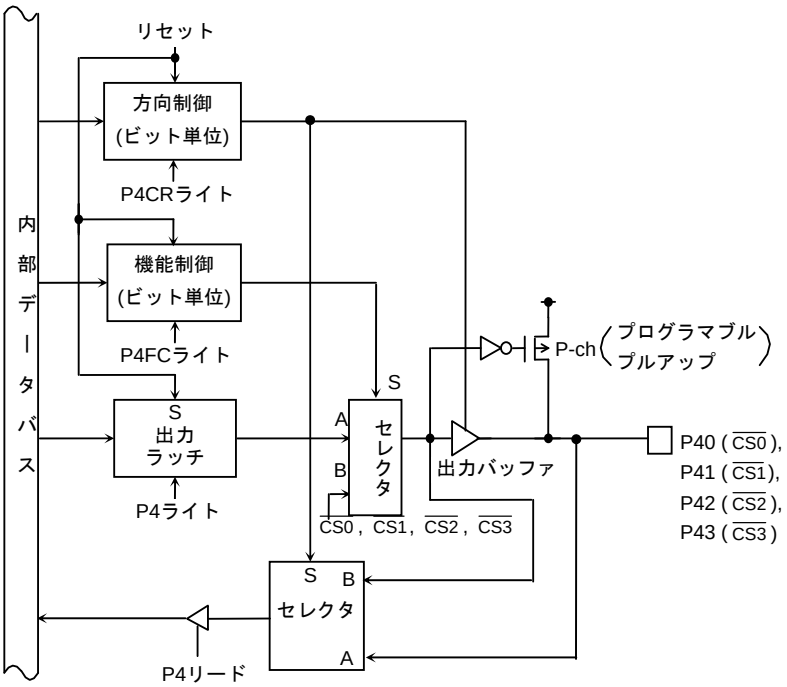


図 3.6.11 ポート 4

Downloaded from Elcodis.com electronic components distributor

ポート 4 レジスタ

P4 (000CH)	7	6	5	4	3	2	1	0
Bit symbol					P43	P42	P41	P40
Read/Write					R/W			
リセット後					外部端子データ (出力ラッチレジスタは 1 にセットされます。)			
機能					0(出力ラッチレジスタ): プルアップ抵抗 OFF 1(出力ラッチレジスタ): プルアップ抵抗 ON			

ポート 4 コントロールレジスタ

P4CR (000EH)	7	6	5	4	3	2	1	0
Bit symbol					P43C	P42C	P41C	P40C
Read/Write					W			
リセット後					0	0	0	0
機能					0: 入力		1: 出力	

入力/出力設定

0	入力
1	出力

ポート 4 ファンクションレジスタ

P4FC (000FH)	7	6	5	4	3	2	1	0
Bit symbol					P43F	P42F	P41F	P40F
Read/Write					W			
リセット後					0	0	0	0
機能					0: ポート		1: $\overline{CS}$	

0	ポート(P40)
1	$\overline{CS0}$

0	ポート(P41)
1	$\overline{CS1}$

0	ポート(P42)
1	$\overline{CS2}$

0	ポート(P43)
1	$\overline{CS3}$

注 1) P4CR, P4FC はリードモディファイライトできません。

注 2) ポート 4 を入力モードで使用する場合、内蔵プルアップ抵抗は P4 レジスタにて制御します。入力モードあるいは入出力モードを混在させて使用する場合 (1 ビットでも入力端子が存在するとき) には、リードモディファイライト命令を行わないでください。入力端子の状態により内蔵プルアップ抵抗の設定が変わる場合があります。

注 3) チップセレクト信号($\overline{CS0}$ ~ $\overline{CS3}$)を出力する場合は、ファンクションレジスタ (P4FC)、コントロールレジスタ (P4CR)の順で、双方の対応するビットを 1 にしてください。P4CR を先に設定すると P4FC レジスタを設定するまでの間、P4 レジスタの値が出力されます。

図 3.6.12 ポート 4 関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

3.6.6 ポート 5 (P50~P57)

ポート 5 は、8 ビットの入力専用ポートで AD コンバータのアナログ入力端子と兼用になっています。また、P53 は AD コンバータの AD トリガ入力端子機能も兼用しています。

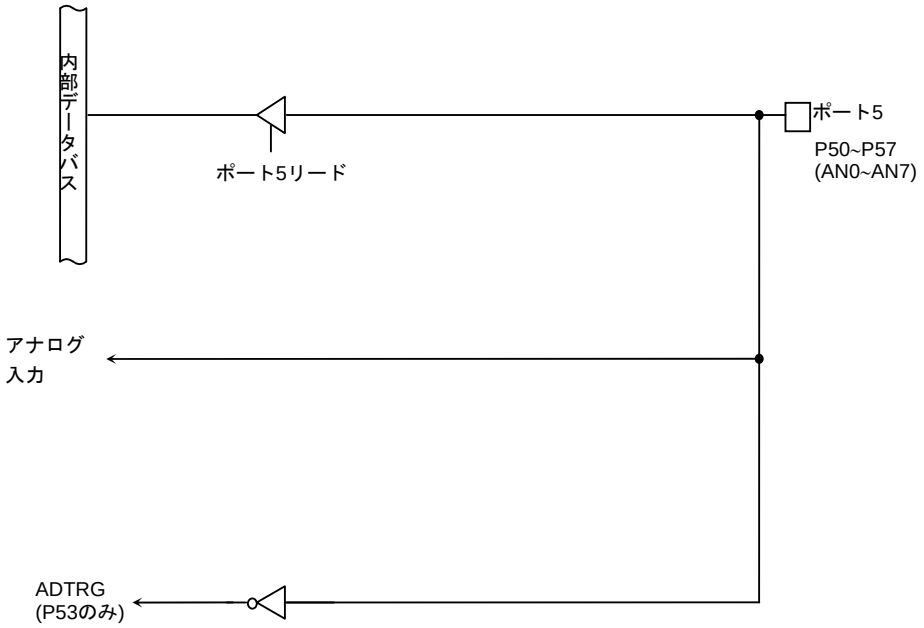


図 3.6.13 ポート 5

ポート 5 レジスタ

		7	6	5	4	3	2	1	0
P5 (000DH)	Bit symbol	P57	P56	P55	P54	P53	P52	P51	P50
	Read/Write	R							
	リセット後	外部端子データ							

注) AD コンバータの入力チャネル選択、P53 の AD トリガ入力許可の設定は、AD コンバータモードレジスタ ADMOD1 にて設定します。

図 3.6.14 ポート 5 関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

3.6.7 ポート 6 (P60~P66)

ポート 6 は、ビット単位で入出力の指定ができる 7 ビットの汎用入出力ポートです。リセット動作により、入力ポートとなります。

また、出力ラッチレジスタの全ビットは “1” へセットされます。

入出力ポート以外には、シリアルバスインタフェースの入出力機能があります。

この機能はポート 6 ファンクションレジスタ P6FC の該当ビットへ “1” をライトすることにより各ファンクションが可能となります。

リセット動作により、P6CR, P6FC の値は “0” にリセットされ、全ビットが入力ポートとなります。

(1) ポート 60 (SCK)

ポート 60 は、入出力ポート以外にシリアルバスインタフェースの SIO モード時のクロック SCK 入出力端子としての機能を持ちます。

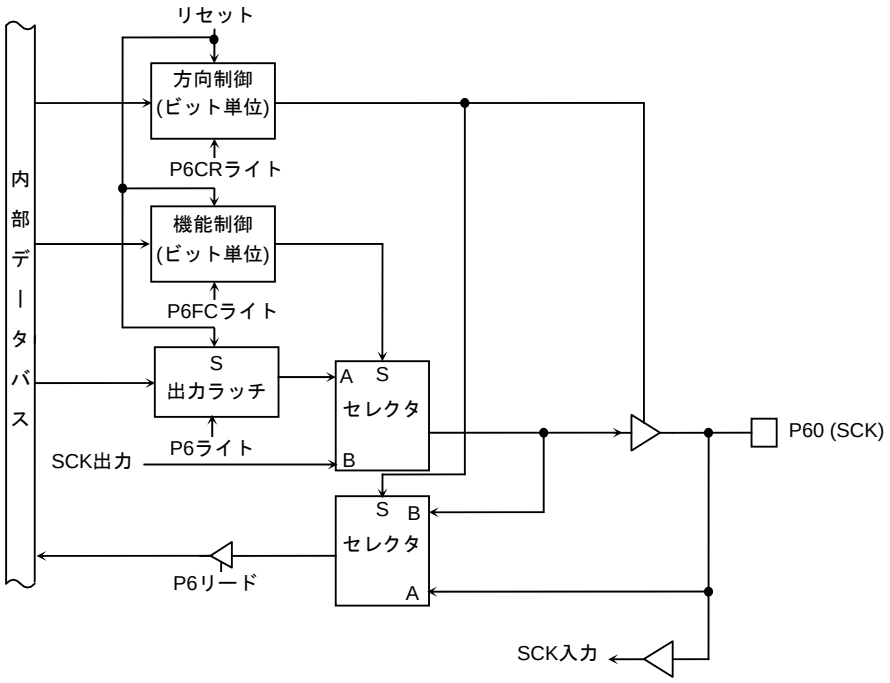


図 3.6.15 ポート 60

Downloaded from Elcodis.com electronic components distributor

(2) ポート 61 (SO/SDA)

ポート 61 は、入出力ポート以外にシリアルバスインタフェースの I²C バスモード時のデータ SDA 入出力端子または SIO モード時のデータ SO 出力端子としての機能を持っています。

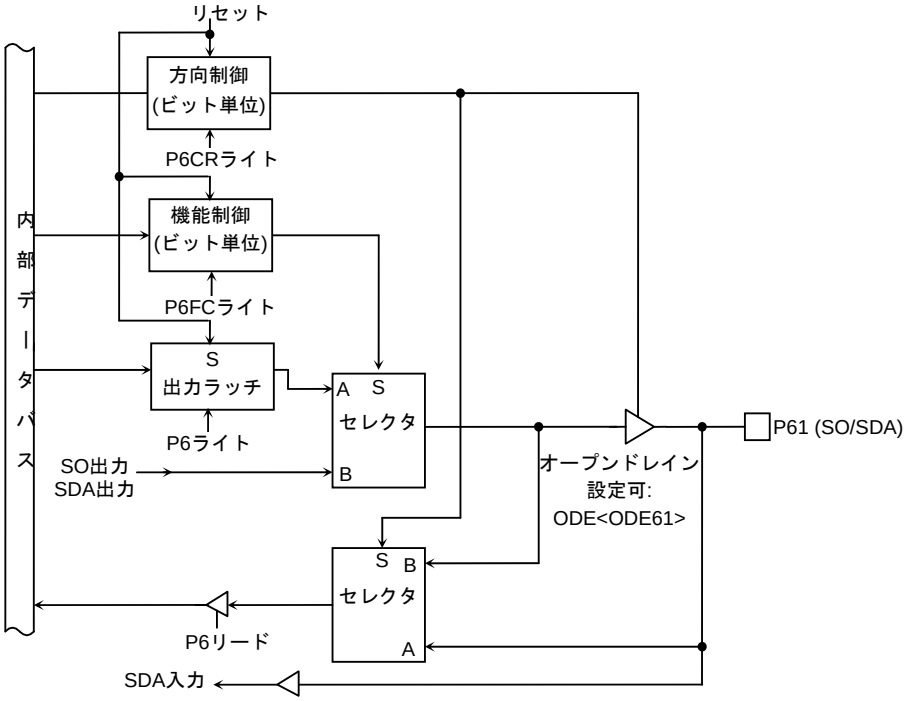


図 3.6.16 ポート 61

Downloaded from Elcodis.com electronic components distributor

(3) ポート 62 (SI/SCL)

ポート 62 は、入出力ポート以外にシリアルバスインタフェースの SIO モード時のデータ入力端子、または I²C バスモード時のクロック SCL 入出力端子としての機能を持っています。

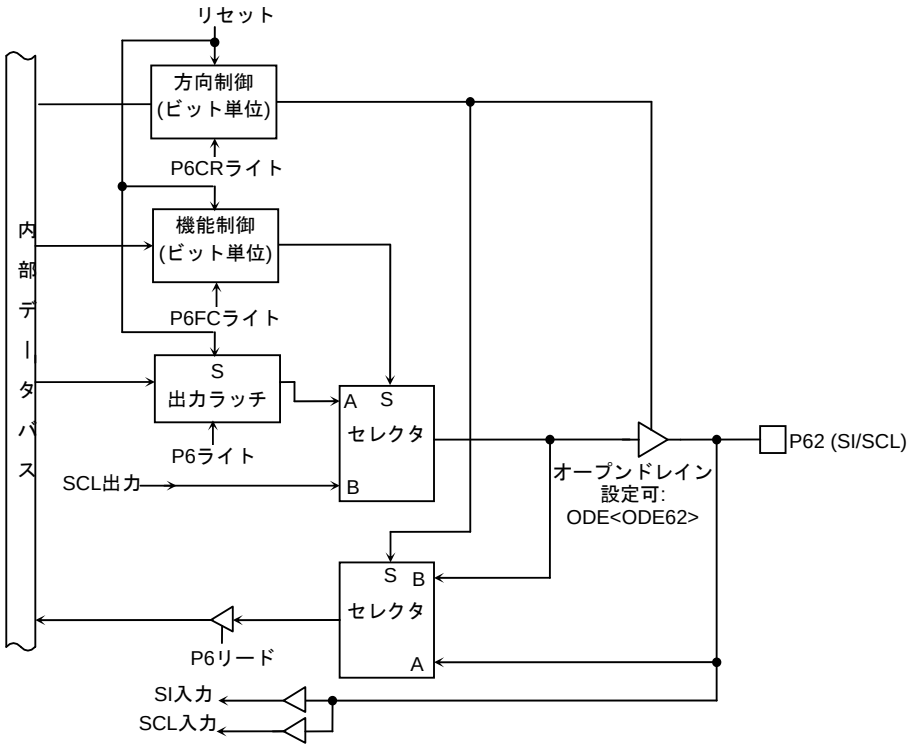


図 3.6.17 ポート 62

Downloaded from Elcodis.com electronic components distributor

(4) ポート 63 (INT0)

ポート 63 は、入出力ポート以外に外部割り込みの INT0 入力端子としての機能を持っています。

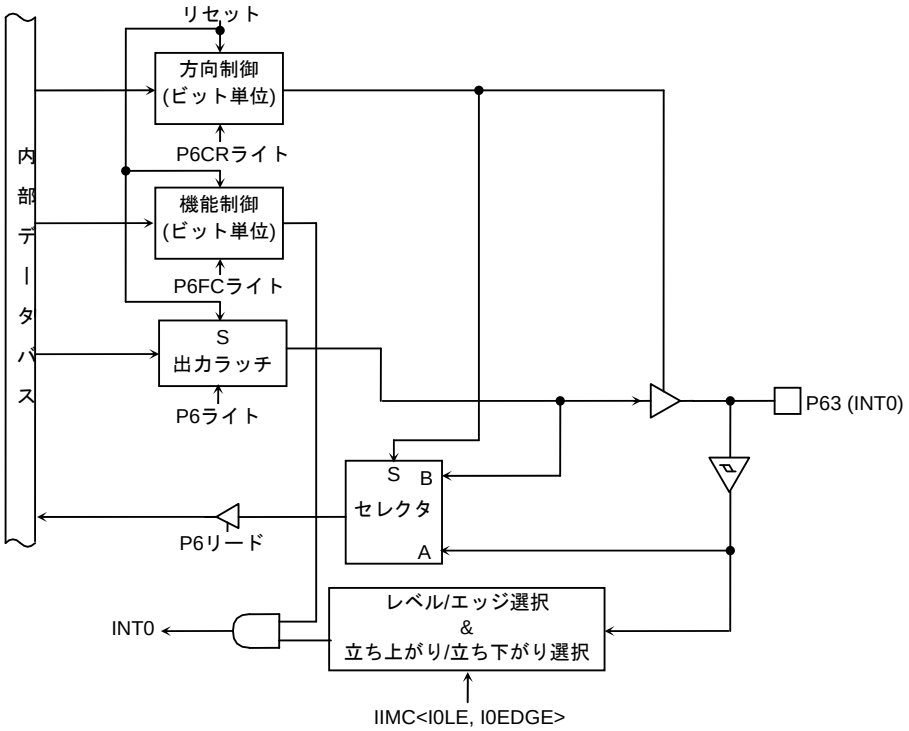


図 3.6.18 ポート 63

Downloaded from Elcodis.com electronic components distributor

(5) ポート 64 (SCOUT)

ポート 64 は、入出力ポート以外に内部クロックを出力する SCOUT 出力端子としての機能を持っています。

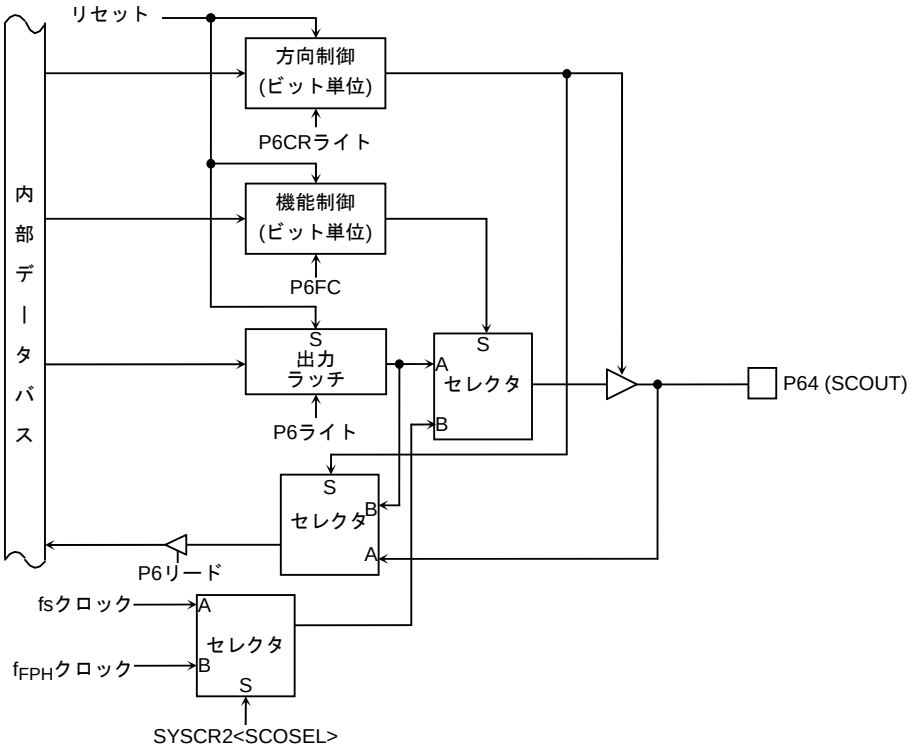


図 3.6.19 ポート 64

(6) ポート 65, 66

ポート 65, 66 は、入出力ポートの機能を持っています。

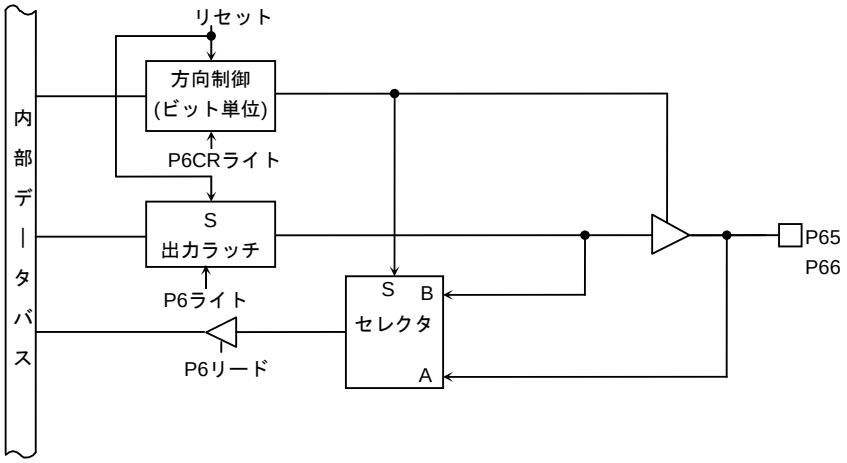


図 3.6.20 ポート 65, 66

Downloaded from Elcodis.com electronic components distributor

ポート 6 レジスタ

P6 (0012H)	7	6	5	4	3	2	1	0
Bit symbol		P66	P65	P64	P63	P62	P61	P60
Read/Write		R/W						
リセット後		外部端子データ (出力ラッチレジスタは 1 にセットされます。)						

ポート 6 コントロールレジスタ

P6CR (0014H)	7	6	5	4	3	2	1	0
Bit symbol		P66C	P65C	P64C	P63C	P62C	P61C	P60C
Read/Write		W						
リセット後		0	0	0	0	0	0	0
機能		0: 入力 1: 出力						

ポート 6 の入力/出力設定

0	入力
1	出力

ポート 6 ファンクションレジスタ

P6FC (0015H)	7	6	5	4	3	2	1	0
Bit symbol				P64F	P63F	P62F	P61F	P60F
Read/Write				W				
リセット後				0	0	0	0	0
機能				0: ポート 1: SCOUT 出力	0: ポート 1: INT0 入力	0: ポート 1: SCL 出力	0: ポート 1: SDA/SO 出力	0: ポート 1: SCK 出力

P60 の SCK 出力設定

P6FC<P60F>	1
P6CR<P60C>	1

P61 の SDA/SO 出力設定

P6FC<P61F>	1
P6CR<P61C>	1

P62 の SCL 出力設定

P6FC<P62F>	1
P6CR<P62C>	1

P63 の INT0 入力設定

P6FC<P63F>	1
P6CR<P63C>	0

P64 の SCOUT 出力設定

P6FC<P64F>	1
P6CR<P64C>	1

注) P6CR, P6FC はリードモディファイライトできません。

Downloaded from Elcodis.com electronic components distributor

オープンドレイン出力設定レジスタ

ODE (002FH)	7	6	5	4	3	2	1	0
bit Symbol					ODE62	ODE61	ODE93	ODE90
Read/Write					R/W			
リセット後					0	0	0	0
機能					0: トライステート 1: オープンドレイン	0: トライステート 1: オープンドレイン	0: トライステート 1: オープンドレイン	0: トライステート 1: オープンドレイン

P61 の
オープンドレインの出力設定

0	トライステート出力
1	オープンドレイン出力

P62 の
オープンドレインの出力設定

0	トライステート出力
1	オープンドレイン出力

図 3.6.21 ポート 6 関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

3.6.8 ポート 7 (P70~P75)

ポート 7 は、ビット単位で入出力指定ができる 6 ビットの汎用入出力ポートです。リセット動作により入力ポートとなります。入出力ポート機能以外に、ポート 70, 73 は 8 ビットタイマ 0, 4 のクロック入力端子 TA0IN, TA4IN、ポート 71, 72, 74, 75 はそれぞれ 8 ビットタイマ出力 TA1OUT, TA3OUT, TA5OUT, TA7OUT 端子の機能を持っています。このタイマ出力機能は、ポート 7 ファンクションレジスタ P7FC を設定することにより可能となります。リセット動作により、P7CR, P7FC の値は “0” にリセットされ、全ビットが入力ポートとなります。

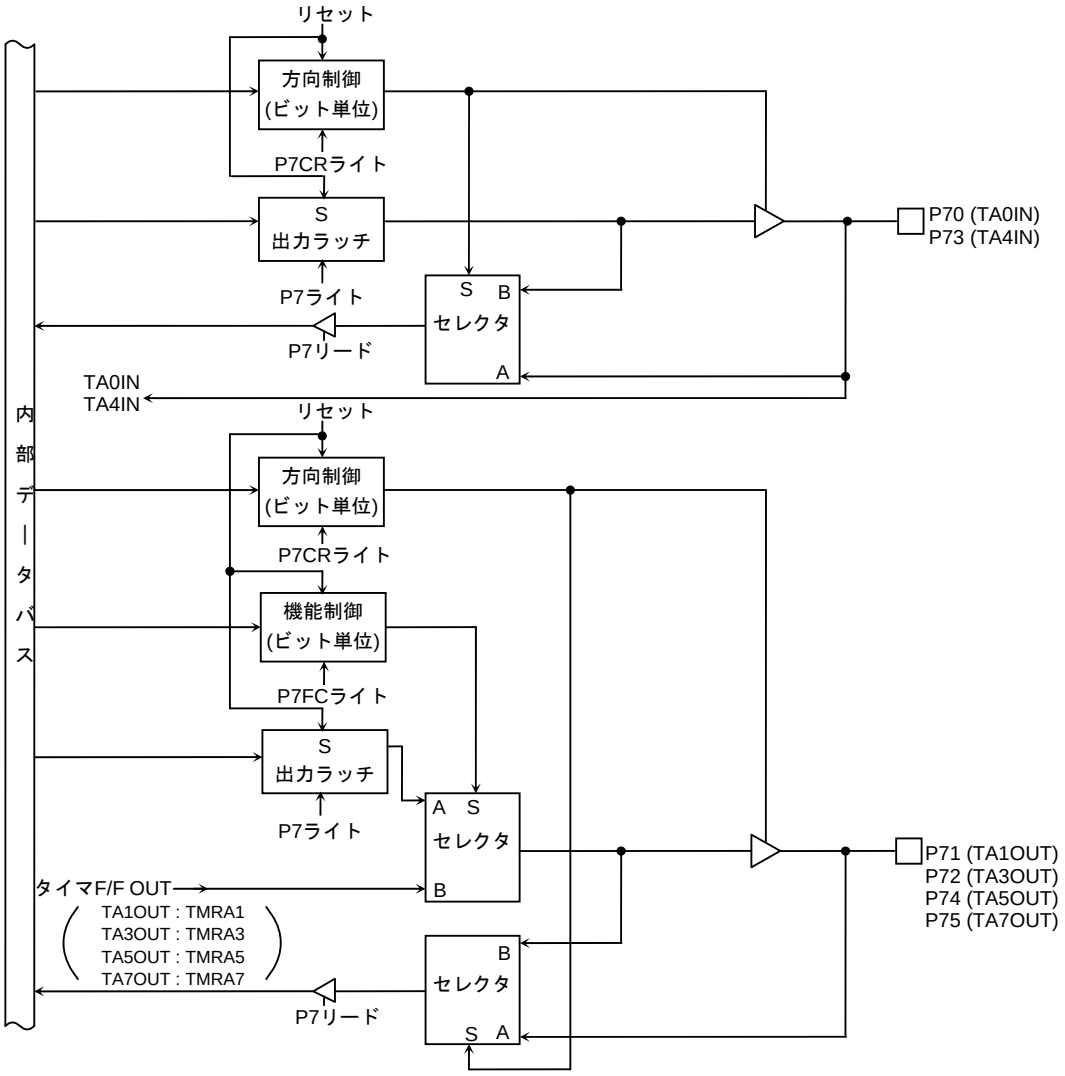


図 3.6.22 ポート 7

Downloaded from Elcodis.com electronic components distributor

ポート 7 レジスタ

P7 (0013H)		7	6	5	4	3	2	1	0
	Bit symbol			P75	P74	P73	P72	P71	P70
	Read/Write			R/W					
	リセット後			外部端子データ (出力ラッチレジスタは 1 にセットにセットされます。)					

ポート 7 コントロールレジスタ

P7CR (0016H)		7	6	5	4	3	2	1	0
	Bit symbol			P75C	P74C	P73C	P72C	P71C	P70C
	Read/Write			W					
	リセット後			0	0	0	0	0	0
	機能			0: 入力 1: 出力					

ポート 7 の入力/出力設定

0	入力
1	出力

ポート 7 ファンクションレジスタ

P7FC (0017H)		7	6	5	4	3	2	1	0
	Bit symbol			P75F	P74F		P72F	P71F	
	Read/Write			W			W		
	リセット後			0	0		0	0	
	機能			0: ポート 1: TA7OUT	0: ポート 1: TA5OUT		0: ポート 1: TA3OUT	0: ポート 1: TA1OUT	

P71 の TA1OUT 出力設定

P7FC<P71F>	1
P7CR<P71C>	1

P72 の TA3OUT 出力設定

P7FC<P72F>	1
P7CR<P72C>	1

P74 の TA5OUT 出力設定

P7FC<P74F>	1
P7CR<P74C>	1

P75 の TA7OUT 出力設定

P7FC<P75F>	1
P7CR<P75C>	1

注 1) P7CR, P7FC はリードモディファイライトできません。

注 2) P70/TA0IN, P73/TA4IN 端子は、ポート/ファンクションの切り替えレジスタはありませんので、入力ポートとして使用する場合でもタイマ入力 0 および 4 として、8 ビットタイマ 0 および 4 へ入力されます。

図 3.6.23 ポート 7 関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

3.6.9 ポート 8 (P80~P87)

ポート 8 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。リセット動作により入力ポートとなります。また、出力ラッチレジスタ P8 の全ビットは “1” へセットされます。入出力ポート以外には、16 ビットタイマのクロック入力、16 ビットタイマ F/F の出力および INT5~INT8 入力機能があります。この機能はファンクションレジスタ P8FC を設定することにより、各ファンクションが可能となります。リセット動作により、P8CR, P8FC の値は “0” にリセットされ、全ビットが入力ポートとなります。

(1) P80~P87

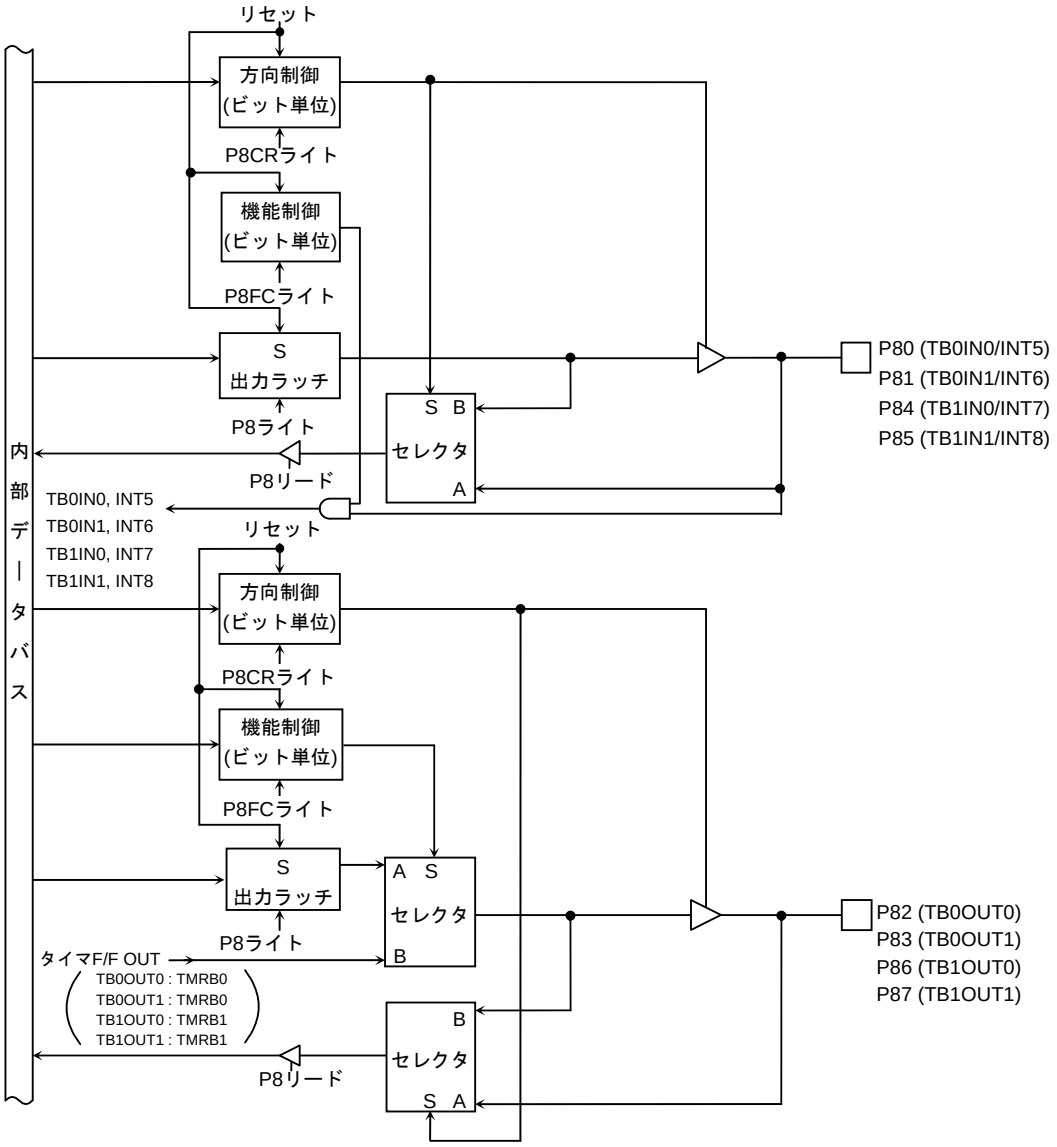


図 3.6.24 ポート 8 (P80~P87)

Downloaded from Elcodis.com electronic components distributor

ポート 8 レジスタ

P8 (0018H)

	7	6	5	4	3	2	1	0
Bit symbol	P87	P86	P85	P84	P83	P82	P81	P80
Read/Write	R/W							
リセット後	外部端子データ (出力ラッチはレジスタ 1 にセットされます。)							

ポート 8 コントロールレジスタ

P8CR (001AH)

	7	6	5	4	3	2	1	0
Bit symbol	P87C	P86C	P85C	P84C	P83C	P82C	P81C	P80C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	0: 入力 1: 出力							

ポート 8 の入力/出力設定

0	入力
1	出力

ポート 8 ファンクションレジスタ

P8FC (001BH)

	7	6	5	4	3	2	1	0
Bit symbol	P87F	P86F	P85F	P84F	P83F	P82F	P81F	P80F
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	0: ポート 1:TB1OUT1	0: ポート 1:TB1OUT0	0: ポート 1: TB1IN1, INT8 入力	0: ポート 1: TB1IN0, INT7 入力	0: ポート 1:TB0OUT1	0: ポート 1:TB0OUT0	0: ポート 1: TB0IN1 INT6 入力	0: ポート 1: TB0IN0 INT5 入力

P82 の TB0OUT0 出力設定

P8FC<P82F>	1
P8CR<P82C>	1

P83 の TB0OUT1 出力設定

P8FC<P83F>	1
P8CR<P83C>	1

P86 の TB1OUT0 出力設定

P8FC<P86F>	1
P8CR<P86C>	1

P87 の TB1OUT1 出力設定

P8FC<P87F>	1
P8CR<P87C>	1

注) P8CR, P8FC はリードモディファイライトできません。

図 3.6.25 ポート 8 関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

3.6.10 ポート 9 (P90~P97)

- ポート 90~95

  ポート 90~95 は、ビット単位で入出力の指定ができる 6 ビットの汎用入出力ポートです。リセット動作により、入力ポートとなります。

  また、出力ラッチレジスタの全ビットは “1” へセットされます。

  入出力ポート以外にシリアルチャネル 0, 1 の入出力機能があります。

  この機能は、ポート 9 ファンクションレジスタ P9FC を設定することにより、各ファンクションが可能となります。

  リセット動作により、P9CR, P9FC の値は “0” にリセットされ、全ビットが入力ポートとなります。

- ポート 96~97

  ポート 96~97 は、ビット単位で入出力の指定ができる 2 ビットの入出力ポートです。出力ポートの場合は、オープンドレイン出力となります。

  リセット動作により、出力ラッチレジスタ, コントロールレジスタの値は “1” にセットされ、High-Z (ハイインピーダンス) 出力となります。

  入出力ポート以外には、低速クロック機能使用時の低周波発振子接続端子 (XT1, XT2) と兼用となっており、システムクロックコントロールレジスタ SYSCR0, SYSCR1 の設定によりデュアルクロック機能が使用できます。

(1) ポート 90, 93 (TXD0/TXD1)

  ポート 90, 93 は、入出力ポート以外にシリアルチャネルの TXD 出力端子としての機能を持ちます。

  また、このポートは、プログラマブルオープンドレイン機能を持っています。

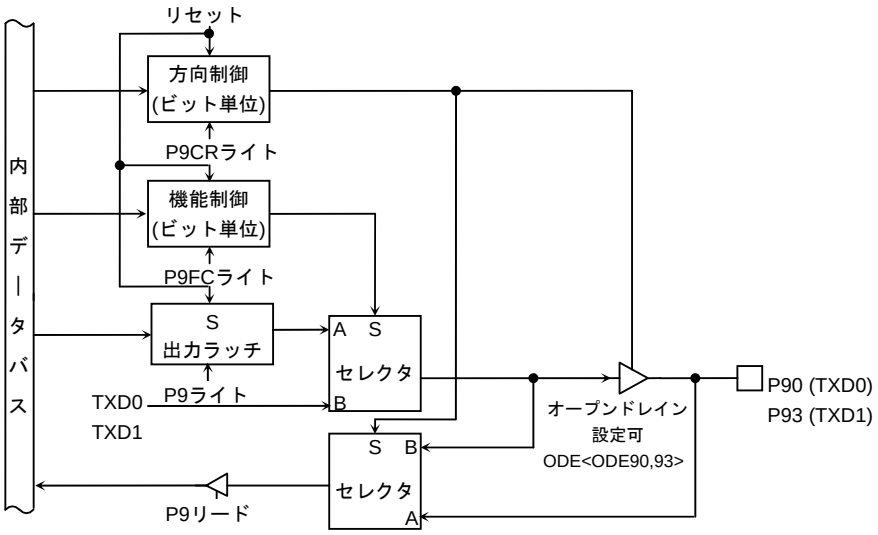


図 3.6.26 ポート 90, 93

Downloaded from Elcodis.com electronic components distributor

(2) ポート 91, 94 (RXD0, RXD1)

ポート 91, 94 は、入出力ポート以外にシリアルチャネルの RXD 入力端子としての機能を持っています。

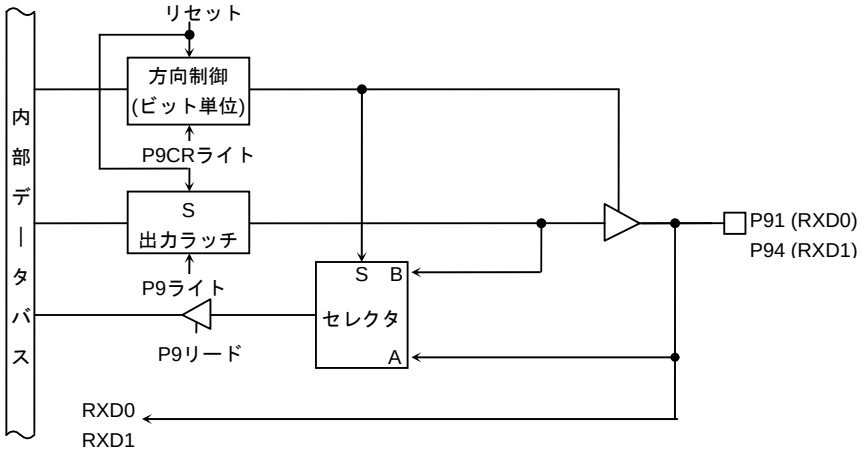


図 3.6.27 ポート 91, 94

(3) ポート 92, 95 ($\overline{CTS0}$ /SCLK0, $\overline{CTS1}$ /SCK1)

ポート 92, 95 は、入出力ポート以外にシリアルチャネルの $\overline{CTS}$ 入力端子、または SCLK 入出力端子としての機能を持っています。

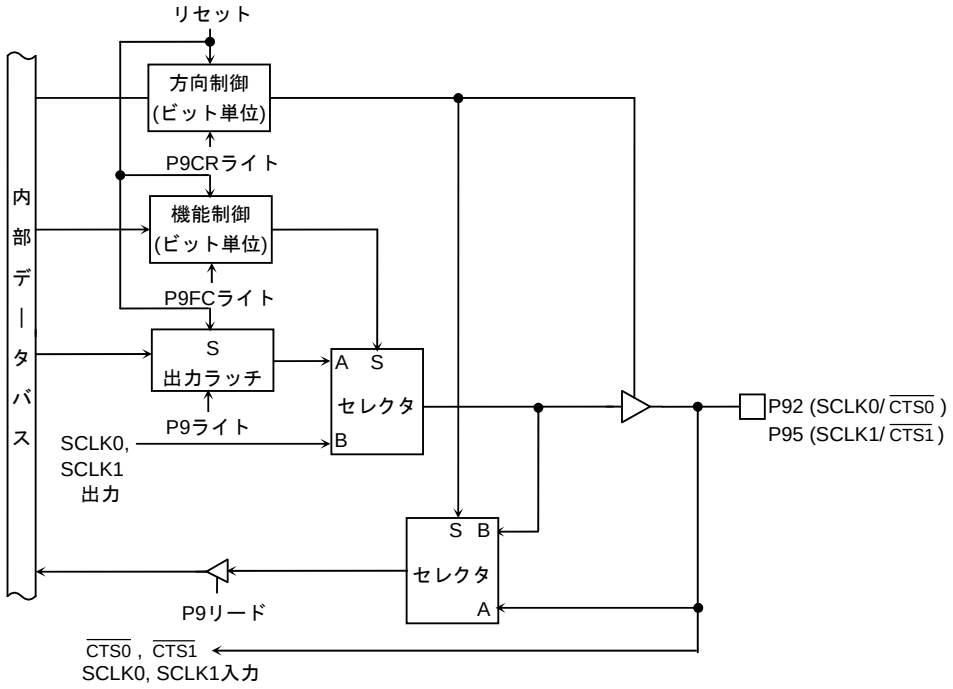


図 3.6.28 ポート 92, 95

Downloaded from Elcodis.com electronic components distributor

(4) ポート 96 (XT1), 97 (XT2)

ポート 96, 97 は、入出力ポート以外に低周波発振子接続端子の機能を持っています。

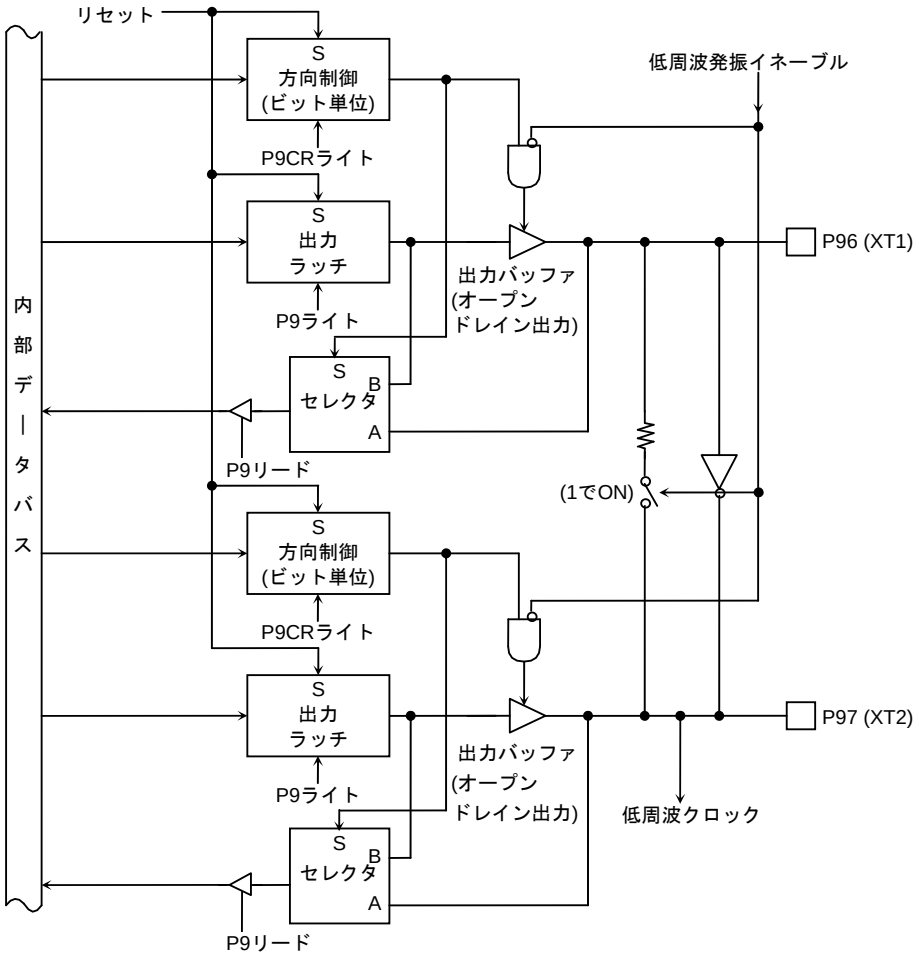


図 3.6.29 ポート 96, 97

Downloaded from Elcodis.com electronic components distributor

ポート 9 レジスタ

P9 (0019H)	7	6	5	4	3	2	1	0
Bit symbol	P97	P96	P95	P94	P93	P92	P91	P90
Read/Write	R/W							
リセット後	1	1	外部端子データ (出力ラッチレジスタは 1 にセットされます。)					

ポート 9 コントロールレジスタ

P9CR (001CH)	7	6	5	4	3	2	1	0
Bit symbol	P97C	P96C	P95C	P94C	P93C	P92C	P91C	P90C
Read/Write	W							
リセット後	1	1	0	0	0	0	0	0
	0: 入力 1: 出力							

ポート 9 の入力/出力設定

0	入力
1	出力

注) ポート 96, 97 はオープンドレイン出力端子です。

ポート 9 ファンクションレジスタ

P9FC (001DH)	7	6	5	4	3	2	1	0
Bit symbol			P95F		P93F	P92F		P90F
Read/Write			W		W			W
リセット後			0		0	0		0
機能			0: ポート 1: SCLK1 出力		0: ポート 1: TXD1	0: ポート 1: SCLK0 出力		0: ポート 1: TXD0

P90 の TXD0 出力設定

P9FC<P90F>	1
P9CR<P90C>	1

P92 の SCLK 出力設定

P9FC<P92F>	1
P9CR<P92C>	1

P93 の TXD1 出力設定

P9FC<P93F>	1
P9CR<P93C>	1

P95 の SCLK 出力設定

P9FC<P95F>	1
P9CR<P95C>	1

注 1) P9CR, P9FC はリードモディファイライトできません。

注 2) TXD 端子をオープンドレイン出力に設定するには、ODE レジスタのビット 0(TXD0 端子用)、またはビット 1 (TXD1 端子用) に “1” をライトします。P91/RXD0, P94/RXD1 端子は、ポート/ファンクションの切り替えレジスタはありませんので、入力ポートとして使用する場合でも、シリアル受信データとして SIO へ入力されます。

注 3) 低周波発振回路使用上の注意点

ポート 96, 97 に低周波発振子を接続する場合、消費電力削減のために下記の設定が必要です。

(発振子接続の場合)

P9CR<P96C, P97C> = “11”, P9<P96, P97> = “00” に設定してください。

(外部クロック入力の場合)

P9CR<P96C, P97C> = “11”, P9<P96, P97> = “10” に設定してください。

Downloaded from Elcodis.com electronic components distributor

オープンドレイン出力設定レジスタ

		7	6	5	4	3	2	1	0
ODE (002FH)	bit Symbol					ODE62	ODE61	ODE93	ODE90
	Read/Write					R/W			
	リセット後					0	0	0	0
	機能					0: トライステート 1: オープンドレイン	0: トライステート 1: オープンドレイン	0: トライステート 1: オープンドレイン	0: トライステート 1: オープンドレイン

P90 のオープンドレインの出力設定

0	トライステート出力
1	オープンドレイン出力

P93 のオープンドレインの出力設定

0	トライステート出力
1	オープンドレイン出力

図 3.6.30 ポート 9 関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

3.6.11 ポートA (PA0~PA7)

ポート A は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PACR によって行います。リセット動作により、PACR は “0” にリセットされ入力ポートとなります。

PA0~PA3 は、入出力ポート機能以外に外部割り込み INT1~INT4 の入力機能があります。

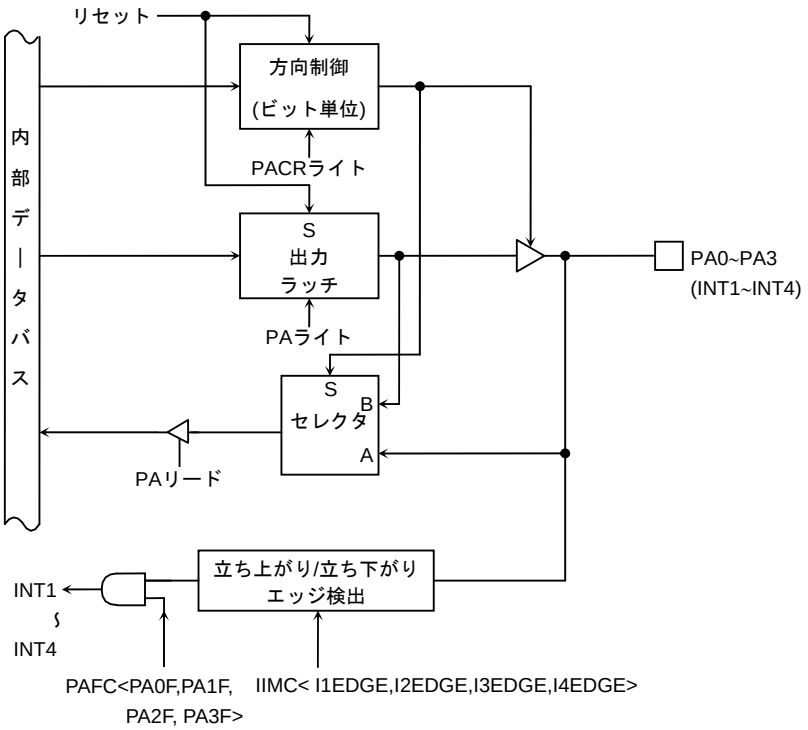


図 3.6.31 ポート A0~A3

Downloaded from Elcodis.com electronic components distributor

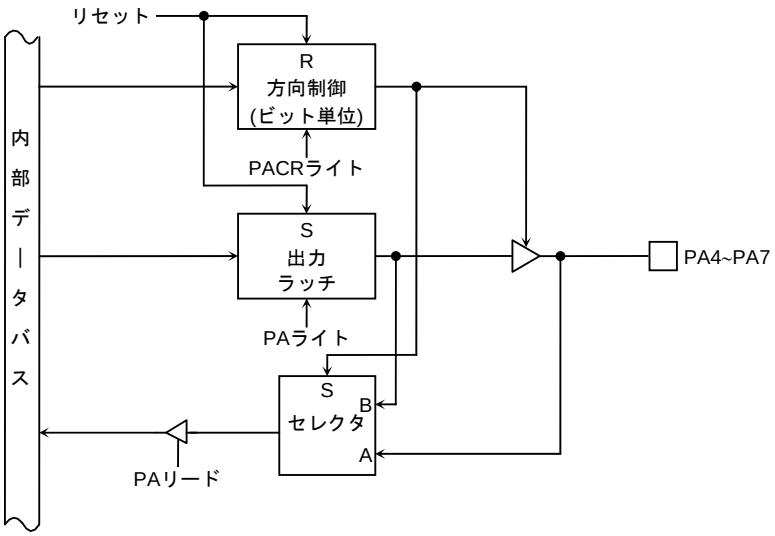


図 3.6.32 ポート A4~A7

Downloaded from Elcodis.com electronic components distributor

ポート A レジスタ

PA (001EH)	7	6	5	4	3	2	1	0
Bit symbol	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
Read/Write	R/W							
リセット後	外部端子データ (出力ラッチレジスタは 1 にセットされます。)							

ポート A コントロールレジスタ

PACR (0020H)	7	6	5	4	3	2	1	0
Bit symbol	PA7C	PA6C	PA5C	PA4C	PA3C	PA2C	PA1C	PA0C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	0: 入力 1: 出力							

ポート A ファンクションレジスタ

PAFC (0021H)	7	6	5	4	3	2	1	0
Bit symbol	–	–	–	–	PA3F	PA2F	PA2F	PA0F
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	“0” をライトしてください。				0: ポート 1: INT4 入力	0: ポート 1: INT3 入力	0: ポート 1: INT2 入力	0: ポート 1: INT1 入力

PA0 の INT1 入力設定

PAFC<PA0F>	1
PACR<PA0C>	0

PA1 の INT2 入力設定

PAFC<PA1F>>	1
PACR<PA1C>	0

PA2 の INT3 入力設定

PAFC<PA2F>	1
PACR<PA2C>	0

PA3 の INT4 入力設定

PAFC<PA3F>	1
PACR<PA3C>	0

注) PACR, PAFC はリードモディファイライトできません。

図 3.6.33 ポート A 関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

3.7 チップセレクト/ウェイトコントローラ

任意の 4 ブロックのアドレス空間 (CS0~CS3) を設定し、各アドレス空間 (CS0~CS3 と、それ以外のアドレス空間) に対して、データバス幅およびウェイト数を設定することができます。

内蔵 ROM、RAM 空間は、このコントローラに関係なく 16 ビット、0 ウェイト固定で動作します。$\overline{CS0}$ ~ $\overline{CS3}$ は、CS0~CS3 空間に対応した出力端子です。このコントローラは、CPU が出力するアドレスに応じて各チップセレクト信号をこれらの端子から出力します。ただし、チップセレクト信号を出力するためには、ポート 4 コントロールレジスタ P4CR と、ポート 4 ファンクションレジスタ P4FC による設定が必要です。本製品は、ROM および SRAM を接続することができます。

CS0~CS3 空間は、メモリスタートアドレスレジスタ MSAR0~MSAR3 と、メモリアドレスマスクレジスタ MAMR0~MAMR3 により設定されます。

各アドレス空間に対するマスタイネーブル, データバス幅, ウェイト数は、チップセレクト/ウェイトコントロールレジスタ B0CS~B3CS, BEXCS で指定します。

また、これらの状態を制御する入力端子として、バスウェイト要求端子 ($\overline{WAIT}$) があります。

3.7.1 アドレス空間指定

CS0~CS3 空間の設定は、スタートアドレスレジスタ MSAR0~MSAR3 と、メモリアドレスマスクレジスタ MAMR0~MAMR3 により行います。

バスサイクルごとに、バス上のアドレスをCS0~CS3 空間で指定された領域のアドレスであるかどうか比較します。比較した結果が一致していると、指定されたCS空間がアクセスされたと判断して $\overline{CS0}$ ~ $\overline{CS3}$ 端子からチップセレクト信号を出力し、チップセレクト/ウェイトコントロールレジスタB0CS~B3CSで設定した動作を実行します (3.7.2「チップセレクト/ウェイトコントロールレジスタ」を参照してください)。

Downloaded from Elcodis.com electronic components distributor

(1) メモリスタートアドレスレジスタ

メモリスタートアドレスレジスタMSAR0~MSAR3 は、CS0~CS3 空間のスタートアドレスを設定するレジスタです。<S23:16>には、スタートアドレスの上位 8 ビット(A23~A16) を設定します。また、スタートアドレスの下位 16 ビット (A15~A0)は、常に “0” が設定されています。従って、スタートアドレスは、000000Hから 64 Kバイトごとの値になります。図 3.7.2に、スタートアドレスとスタートアドレスレジスタ値の関係を示します。

メモリスタートアドレスレジスタ (CS0~CS3 空間)

		7	6	5	4	3	2	1	0
MSAR0 (00C8H) / MSAR1 (00CAH)	Bit symbol	S23	S22	S21	S20	S19	S18	S17	S16
	Read/Write	R/W							
MSAR2 (00CCH) / MSAR3 (00CEH)	リセット後	1	1	1	1	1	1	1	1
	機能	スタートアドレス A23~A16 設定							

CS0~CS3 空間のスタートアドレス設定

図 3.7.1 メモリスタートアドレスレジスタ

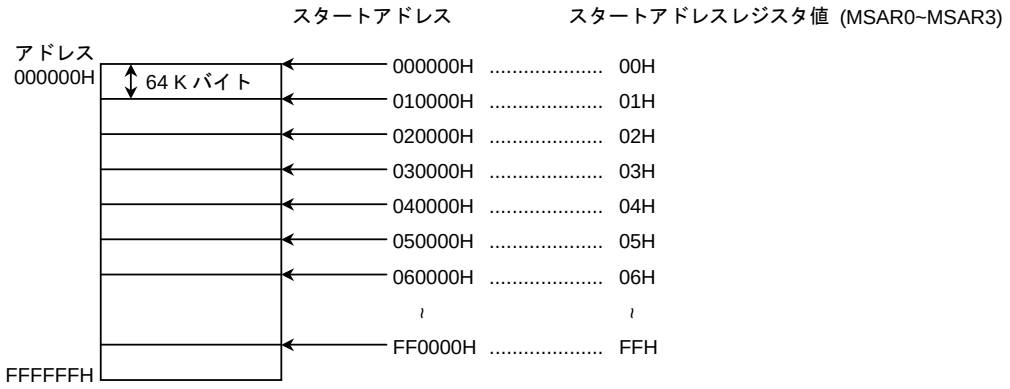


図 3.7.2 スタートアドレスとスタートアドレスレジスタ値の関係

Downloaded from Elcodis.com electronic components distributor

(2) メモリアドレスマスクレジスタ

メモリアドレスマスクレジスタ MAMR0~MAMR3 は、MSAR0~MSAR3 で設定したスタートアドレスの各ビットに対しマスク指定を行うことで、CS0~CS3 空間サイズを設定しています。“0” をライトしたビットに対応するバス上のアドレスが、CS0~CS3 空間の領域かどうかの比較対象となります。

また、CS0~CS3 空間は、それぞれ MAMR0~MAMR3 によってマスクできるアドレスビットが異なります。従って、設定できる空間サイズも異なります。

メモリアドレスマスクレジスタ (CS0 空間)

		7	6	5	4	3	2	1	0
MAMR0 (00C9H)	Bit symbol	V20	V19	V18	V17	V16	V15	V14~V9	V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	CS0 空間サイズ設定　0: アドレス比較対照							

CS0 空間は、最小 256 バイトエリアから、最大 2 M バイトエリアを設定できます。

メモリアドレスマスクレジスタ (CS1 空間)

		7	6	5	4	3	2	1	0
MAMR1 (00CBH)	Bit symbol	V21	V20	V19	V18	V17	V16	V15~V9	V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	CS1 空間サイズ設定　0: アドレス比較対照							

CS1 空間は、最小 256 バイトエリアから、最大 4 M バイトエリアを設定できます。

メモリアドレスマスクレジスタ (CS2, CS3 空間)

		7	6	5	4	3	2	1	0
MAMR2 (00CDH) / MAMR3 (00CFH)	Bit symbol	V22	V21	V20	V19	V18	V17	V16	V15
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	CS2、CS3 空間サイズ設定　0: アドレス比較対照							

CS2 および CS3 空間は、最小 32 K バイトから、最大 8 M バイトエリアを設定できます。

図 3.7.3 メモリアドレスマスクレジスタ

Downloaded from Elcodis.com electronic components distributor

(3) メモリスタートアドレス、アドレス空間の設定方法

図 3.7.4 に、CS0 空間を用いて 010000Hから始まる 64 Kバイトの空間を指定する場合を例として説明します。

メモリスタートアドレスレジスタ MSAR0<S23:16>に、スタートアドレスの上位 8 ビットに相当する “01H” を設定します。次に、終了アドレス (01FFFFH) と、スタートアドレスとの差を計算により求めます。この結果のビット 20~8 は、CS0 空間を指定する際のマスク値に相当します。この値をメモリアドレスマスクレジスタ MAMR0<V20:8>に設定することで、空間サイズを設定できます。

この例では、MAMR0 に “07H” を設定し、64 K バイト空間を指定しています。

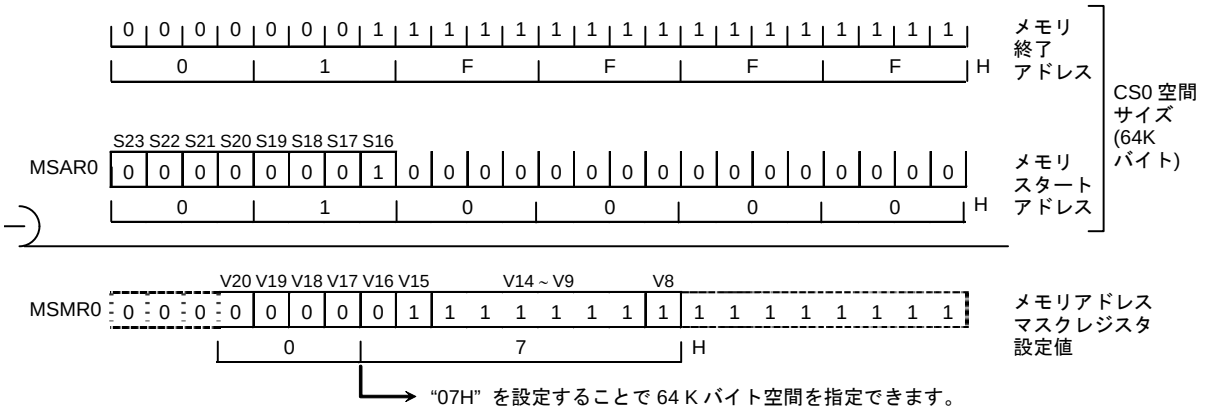


図 3.7.4 CS0 空間の設定例

なお、リセット後、MSAR0~MSAR3 およびMAMR0~MAMR3 は、“FFH”にセットされます。一方、B0CS<B0E>, B1CS<B1E>, B3CS<B3E>は “0” にリセットされるため、CS0, CS1, CS3 空間はディセーブルになります。ただし、B2CS<B2M>は “0”にリセットされ、B2CS<B2E>は “1” にセットされるため、CS2 空間は、TMP91CW12Aでは 002000H~FDFFFFHの空間、TMP91CY22 では 005000H~FBFFFFHの空間でイネーブルになります。また、指定されたCS0~CS3 空間以外のアドレスでは、BEXCSで指定されたバス幅およびウェイトにより動作します(3.7.2「チップセレクト/ウェイトコントロールレジスタ」を参照してください)。

Downloaded from Elcodis.com electronic components distributor

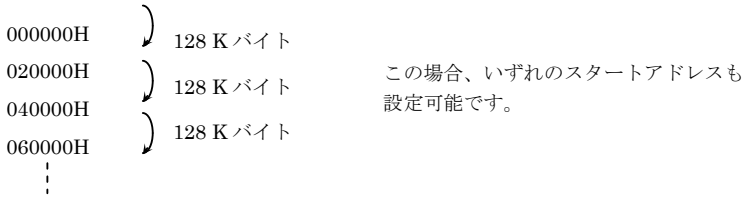
(4) アドレス空間サイズ指定

表 3.7.1に、CS空間と空間サイズの関係を示します。“◊” は、メモリスタートアドレスレジスタとメモリアドレスマスクレジスタの組み合わせにより､設定できない場合があることを意味します。“◊” で示す組み合わせを用いて空間サイズを設定する場合、000000Hから希望のサイズステップでスタートアドレスを設定してください。

なお、CS2 空間を 16 M バイト空間に設定、または 2 つ以上のアドレス空間を重ねて設定した場合には、CS 空間番号の小さい方が優先的に選択されます。

(例) CS0 空間を 128K バイトエリアに設定する場合

1. 設定できるスタートアドレス



2. 設定できないスタートアドレス

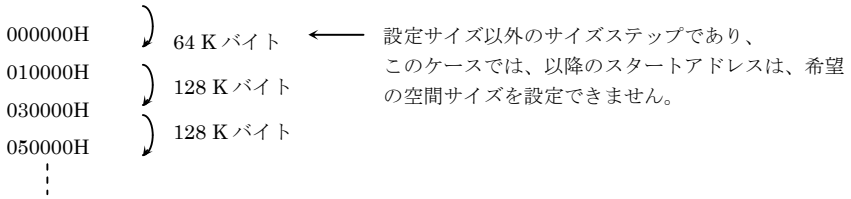


表 3.7.1 CS 空間と空間サイズ

CS 空間 \ サイズ (バイト)	256	512	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M
CS0	○	○	○	○	◊	◊	◊	◊	◊		
CS1	○	○		○	◊	◊	◊	◊	◊	◊	
CS2			○	○	◊	◊	◊	◊	◊	◊	◊
CS3			○	○	◊	◊	◊	◊	◊	◊	◊

注) “◊” は、メモリスタートアドレスレジスタとメモリアドレスマスクレジスタの組み合わせにより、設定できない場合があることを示しています。

Downloaded from Elcodis.com electronic components distributor

3.7.2 チップセレクト/ウェイトコントロールレジスタ

図 3.7.5に、チップセレクト/ウェイトコントロールレジスタを示します。各アドレス空間(CS0~CS3 空間と、それ以外のアドレス空間) は、それぞれのチップセレクト/ウェイトコントロールレジスタB0CS~B3CS, BEXCSにより、マスタイネーブル/ディセーブル, チップセレクト出力波形選択, データバス幅選択, ウェイト数設定を行うことができます。

チップセレクト/ウェイトコントロールレジスタ

		7	6	5	4	3	2	1	0
B0CS (00C0H)	Bit symbol	B0E		B0OM1	B0OM0	B0BUS	B0W2	B0W1	B0W0
	Read/Write	W		W					
	リセット後	0		0	0	0	0	0	0
リードモディファイライトはできません。	機能	0: 禁止 1: 許可		チップセレクト出力波形選択 00: ROM/SRAM 用 01: 10: 設定禁止 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 001: 1 ウェイト 010: (1+N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
B1CS (00C1H)	Bit symbol	B1E		B1OM1	B1OM0	B1BUS	B1W2	B1W1	B1W0
	Read/Write	W		W					
	リセット後	0		0	0	0	0	0	0
リードモディファイライトはできません。	機能	0: 禁止 1: 許可		チップセレクト出力波形選択 00: ROM/SRAM 用 01: 10: 設定禁止 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 001: 1 ウェイト 010: (1+N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
B2CS (00C2H)	Bit symbol	B2E	B2M	B2OM1	B2OM0	B2BUS	B2W2	B2W1	B2W0
	Read/Write	W							
	リセット後	1	0	0	0	0	0	0	0
リードモディファイライトはできません。	機能	0: 禁止 1: 許可	CS2 空間選択 0: 16M バイト空間 1: CS 空間	チップセレクト出力波形選択 00: ROM/SRAM 用 01: 10: 設定禁止 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 001: 1 ウェイト 010: (1+N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
B3CS (00C3H)	Bit symbol	B3E		B3OM1	B3OM0	B3BUS	B3W2	B3W1	B3W0
	Read/Write	W		W					
	リセット後	0		0	0	0	0	0	0
リードモディファイライトはできません。	機能	0: 禁止 1: 許可		チップセレクト出力波形選択 00: ROM/SRAM 用 01: 10: 設定禁止 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 001: 1 ウェイト 010: (1+N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
BEXCS (00C7H)	Bit symbol					BEXBUS	BEXW2	BEXW1	BEXW0
	Read/Write					W			
	リセット後					0	0	0	0
リードモディファイライトはできません。	機能					データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 001: 1 ウェイト 010: (1+N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	

マスタイネーブルビット

0	CS エリア禁止
1	CS エリア許可

CS2 空間選択

0	16M バイト空間
1	アドレス指定空間

チップセレクト出力波形選択

00	ROM/SRAM 用
01 10 11	設定禁止

データバス幅選択

0	16 ビットデータバス
1	8 ビットデータバス

アドレス空間ウェイト数設定
(「ウェイトコントロール」参照)

図 3.7.5 チップセレクト/ウェイトコントロールレジスタ

Downloaded from Elcodis.com electronic components distributor

(1) マスタイネーブルビット

チップセレクト/ウェイトコントロールレジスタのビット 7 (<B0E>, <B1E>, <B2E>, <B3E>) は、各アドレス空間に対する設定のイネーブル/ディセーブルを指定するマスタビットです。このビットに “1” をライトすると、イネーブルになります。リセットにより、<B0E>, <B1E>, <B3E>はディセーブル “0”、<B2E>はイネーブル “1” になります (リセット動作により、CS2 空間のみイネーブルになります)。

(2) データバス幅選択

チップセレクト/ウェイトコントロールレジスタのビット 3 (<B0BUS>, <B1BUS>, <B2BUS>, <B3BUS>, <BEXBUS>) は、データバス幅を指定するビットです。このビットを “0” にすると、16 ビットのデータバス幅でメモリをアクセスします。“1” にすると、8 ビットのデータバス幅でメモリをアクセスします。

このように、アクセスするアドレスに応じてデータバス幅を変えることを “ダイナミックバスサイジング” と呼びます。このバス動作の詳細を、表 3.7.2に示します。

表 3.7.2 ダイナミックバスサイジング

オペランドデータバス幅	オペランドスタートアドレス	メモリ側データバス幅	CPU アドレス	CPU データ	
				D15~D8	D7~D0
8 ビット	2n + 0 (偶数)	8 ビット	2n + 0	xxxxx	b7~b0
		16 ビット	2n + 0	xxxxx	b7~b0
	2n + 1 (奇数)	8 ビット	2n + 1	xxxxx	b7~b0
		16 ビット	2n + 1	b7~b0	xxxxx
16 ビット	2n + 0 (偶数)	8 ビット	2n + 0	xxxxx	b7~b0
			2n + 1	xxxxx	b15~b8
		16 ビット	2n + 0	b15~b8	b7~b0
	2n + 1 (奇数)	8 ビット	2n + 1	xxxxx	b7~b0
			2n + 2	xxxxx	b15~b8
		16 ビット	2n + 1	b7~b0	xxxxx
			2n + 2	xxxxx	b15~b8
32 ビット	2n + 0 (偶数)	8 ビット	2n + 0	xxxxx	b7~b0
			2n + 1	xxxxx	b15~b8
			2n + 2	xxxxx	b23~b16
			2n + 3	xxxxx	b31~b24
		16 ビット	2n + 0	b15~b8	b7~b0
			2n + 2	b31~b24	b23~b16
	2n + 1 (奇数)	8 ビット	2n + 1	xxxxx	b7~b0
			2n + 2	xxxxx	b15~b8
			2n + 3	xxxxx	b23~b16
			2n + 4	xxxxx	b31~b24
		16 ビット	2n + 1	b7~b0	xxxxx
			2n + 2	b23~b16	b15~b8
			2n + 4	xxxxx	b31~b24

xxxxx: リード時は、そのバスの入力データが無視されることを示します。ライト時は、そのバスがハイインピーダンスで、そのバスのライトストローブ信号は、ノンアクティブのままであることを示します。

Downloaded from Elcodis.com electronic components distributor

(3) ウェイトコントロール

チップセレクト/ウェイトコントロールレジスタのビット 2~0 (<B0W2:0>, <B1W2:0>, <B2W2:0>, <B3W2:0>, <BEXW2:0>) は、ウェイト数を指定するビットです。これらのビットの組み合わせにより、次のようなウェイト動作を実行します。ただし、下記の組み合わせ以外は、設定しないでください。これらのビットは "000"(2 ウェイト)になります。

表 3.7.3 ウェイト動作の設定

<BxW2:0>	ウェイト数	ウェイト動作
000	2WAIT	2 ステート分のウェイトが挿入されます。
001	1WAIT	1 ステート分のウェイトが挿入されます。
010	(1 + N) WAIT	1 ステート分のウェイトを挿入した後、$\overline{\text{WAIT}}$ 端子の状態をサンプリングし、端子が "L" レベルならウェイトを挿入し続け、端子が "H" レベルになるまでそのバスサイクルを引き延ばします。
011	0WAIT	ウェイトなしで、そのバスサイクルを完了します。
100	Reserved	設定しないでください。
101	3WAIT	3 ステート分のウェイトが挿入されます。
110	4WAIT	4 ステート分のウェイトが挿入されます。
111	8WAIT	8 ステート分のウェイトが挿入されます。

(4) CS0~CS3 空間外バス幅ウェイトコントロール

チップセレクト/ウェイトコントロールレジスタ BEXCS は、任意の 4 ブロックアドレス空間 (CS0~CS3 空間) 外のアドレス空間がアクセスされたときの、データバス幅選択とウェイト数を設定するレジスタです。このレジスタの設定は CS0~CS3 空間外のエリアに対して、常にイネーブルです。

(5) 16 M バイト空間/アドレス設定空間選択

チップセレクト/ウェイトコントロールレジスタ B2CS<B2M>を "0" にすることにより、16 M バイト空間 (TMP91CW12A では 002000H~FDFFFFH の空間、TMP91CY22 では 005000H~FBFFFFH) で、CS2 空間が選択されます。B2CS<B2M>を "1" にすると、CS0, CS1, CS3 空間と同様に、スタートアドレスレジスタ MSAR2 およびアドレスマスクレジスタ MAMR2 の設定エリアに従い、CS2 空間が選択されます。リセットにより、このビットは "0" にクリアされ、16 M バイト空間が選択されます。

Downloaded from Elcodis.com electronic components distributor

(6) チップセレクト/ウェイトコントローラ設定手順

チップセレクト/ウェイトコントロール機能を使用する場合は、以下の手順でレジスタの設定を行ってください。

1. メモリスタートアドレスレジスタ MSAR0~MSAR3 の設定

   CS0~CS3 空間のスタートアドレスを設定します。

2. メモリアドレスマスクレジスタ MAMR0~MAMR3 の設定

   CS0~CS3 空間のサイズを設定します。

3. コントロールレジスタ B0CS~B3CS の設定

   CS0~CS3 空間のチップセレクト出力波形, データバス幅, ウェイト数, マスタイネーブル/ディセーブルを設定します。

$\overline{CS0}$ ~ $\overline{CS3}$ 端子は、P40~P43 端子と兼用になっています。チップセレクト信号をこれらの端子から出力するには、ポート 4 コントロールレジスタ P4CR とポート 4 ファンクションレジスタ P4FC の該当するビットを、“1” に設定する必要があります。

なお、CS0~CS3 空間として設定したアドレスが、内蔵の I/O, RAM および ROM エリアを指定した場合、$\overline{CS0}$ ~ $\overline{CS3}$ 端子はチップセレクト信号を出力せず、CPU は内部エリアをアクセスします。

(設定例)

CS0 空間を、010000H~01FFFFH (64 K バイト空間), 16 ビットデータバス, 0 ウェイトに設定する場合

MSAR0 = 01H ..... スタートアドレス: 010000H

MAMR0 = 07H ..... アドレス空間: 64 K バイト

B0CS = 83H ..... ROM/SRAM、16 ビットデータバス, 0 ウェイト,
CS0 空間設定イネーブル

Downloaded from Elcodis.com electronic components distributor

3.7.3 使用例

図 3.7.6は、TMP91CW12A/CY22 による外部メモリの接続例です。この例では、ROMを 16 ビット幅で接続し、RAMとI/Oを 8 ビット幅で接続しています。

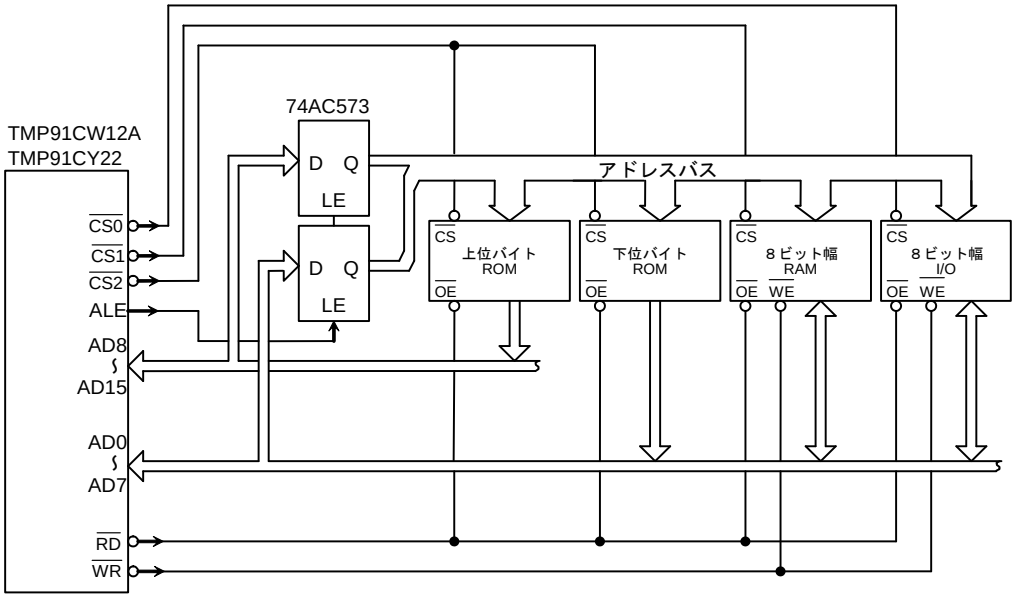


図 3.7.6 外部メモリ接続例 (ROM = 16 ビット幅、RAM & I/O = 8 ビット幅)

TMP91CW12A/CY22 ではリセット後、ポート 4 コントロールレジスタ P4CR とポート 4 ファンクションレジスタ P4FC は “0” にクリアされているため、CS 信号出力はディセーブルとなっています。CS 信号を出力する場合、P4FC, P4CR の順に必要なビットに “1” をセットしてください。

Downloaded from Elcodis.com electronic components distributor

3.8 8 ビットタイマ (TMRA)

8 ビットタイマを 8 チャネル (TMRA0~TMRA7) 内蔵しています。

TMRA は 2 チャネルを 1 モジュールとし、4 モジュールで構成され、それぞれ TMRA01, TMRA23, TMRA45, TMRA67 と呼びます。各モジュールは次の 4 種類のモードを持っています。

- 8 ビットインタバルタイマモード
- 16 ビットインタバルタイマモード
- 8 ビットプログラマブル矩形波 (PPG: 可変周期で可変デューティ) 出力モード
- 8 ビット PWM (パルス幅変調: 固定周期で可変デューティ) 出力モード

図 3.8.1~図 3.8.4にTMRA01, TMRA23, TMRA45, TMRA67 の ブロック図を示します。

各チャネルは主に 8 ビットアップカウンタ、8 ビットコンパレータおよび 8 ビットタイマレジスタで構成され、2 チャネルに 1 つのプリスケーラ、タイマフリップフロップで構成されています。

タイマの動作モードやタイマフリップフロップは 5 バイトのレジスタ(SFR) で制御されます。

4 つの各モジュール (TMRA01, TMRA23, TMRA45, TMRA67) は、それぞれ独立に動作します。いずれのモジュールも 表 3.8.1に示される仕様相違点を除いて同一の動作をしますので、TMRA01 の場合についてのみ説明します。

表 3.8.1 TMRA のモジュール別仕様相違点

仕様 \ モジュール		TMRA01	TMRA23	TMRA45	TMRA67
外部端子	外部クロック入力端子	TA0IN (P70 と兼用)	なし	TA4IN (P73 と兼用)	なし
	タイマフリップフロップ出力端子	TA1OUT (P71 と兼用)	TA3OUT (P72 と兼用)	TA5OUT (P74 と兼用)	TA7OUT (P75 と兼用)
SFR 名 (アドレス)	タイマ RUN レジスタ	TA01RUN (0100H)	TA23RUN (0108H)	TA45RUN (0110H)	TA67RUN (0118H)
	タイマレジスタ	TA0REG (0102H) TA1REG (0103H)	TA2REG (010AH) TA3REG (010BH)	TA4REG (0112H) TA5REG (0113H)	TA6REG (011AH) TA7REG (011BH)
	タイマモードレジスタ	TA01MOD (0104H)	TA23MOD (010CH)	TA45MOD (0114H)	TA67MOD (011CH)
	タイマフリップフロップコントロールレジスタ	TA1FFCR (0105H)	TA3FFCR (010DH)	TA5FFCR (0115H)	TA7FFCR (011DH)

Downloaded from Elcodis.com electronic components distributor

3.8.1 モジュール別のブロック図

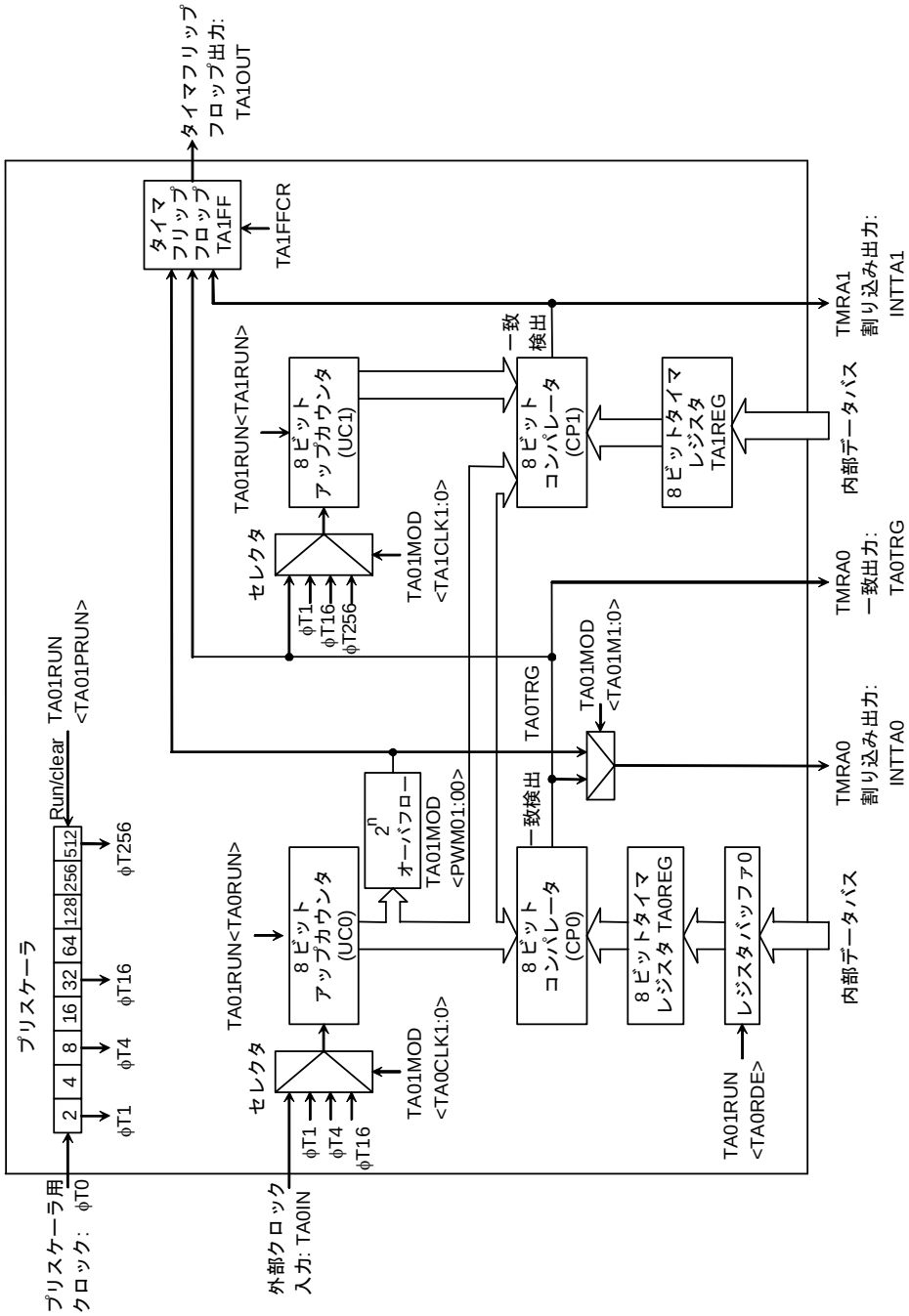


図 3.8.1 TMRA01 ブロック図

Downloaded from Elcodis.com electronic components distributor

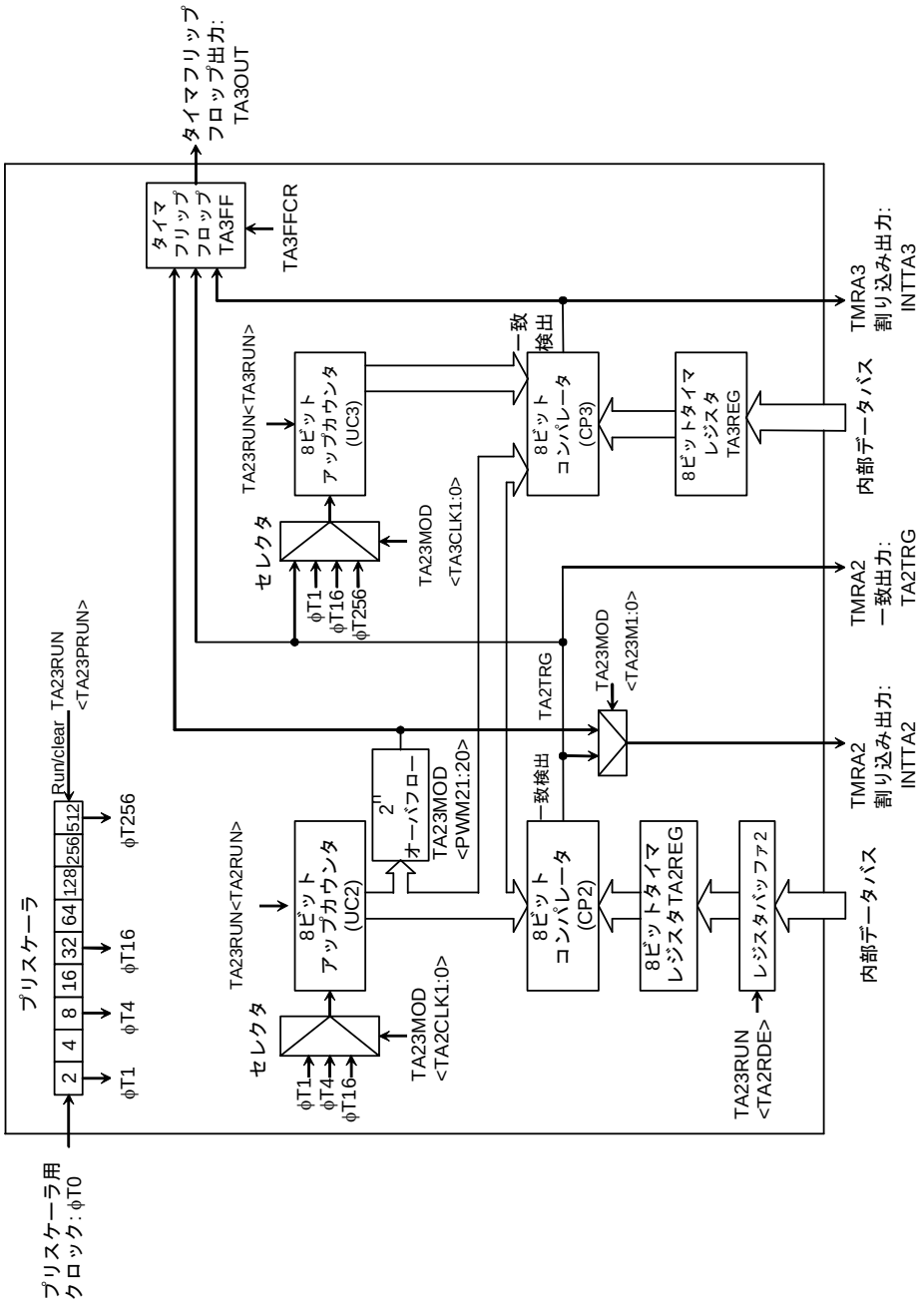


図 3.8.2　TMRA23 ブロック図

Downloaded from Elcodis.com electronic components distributor

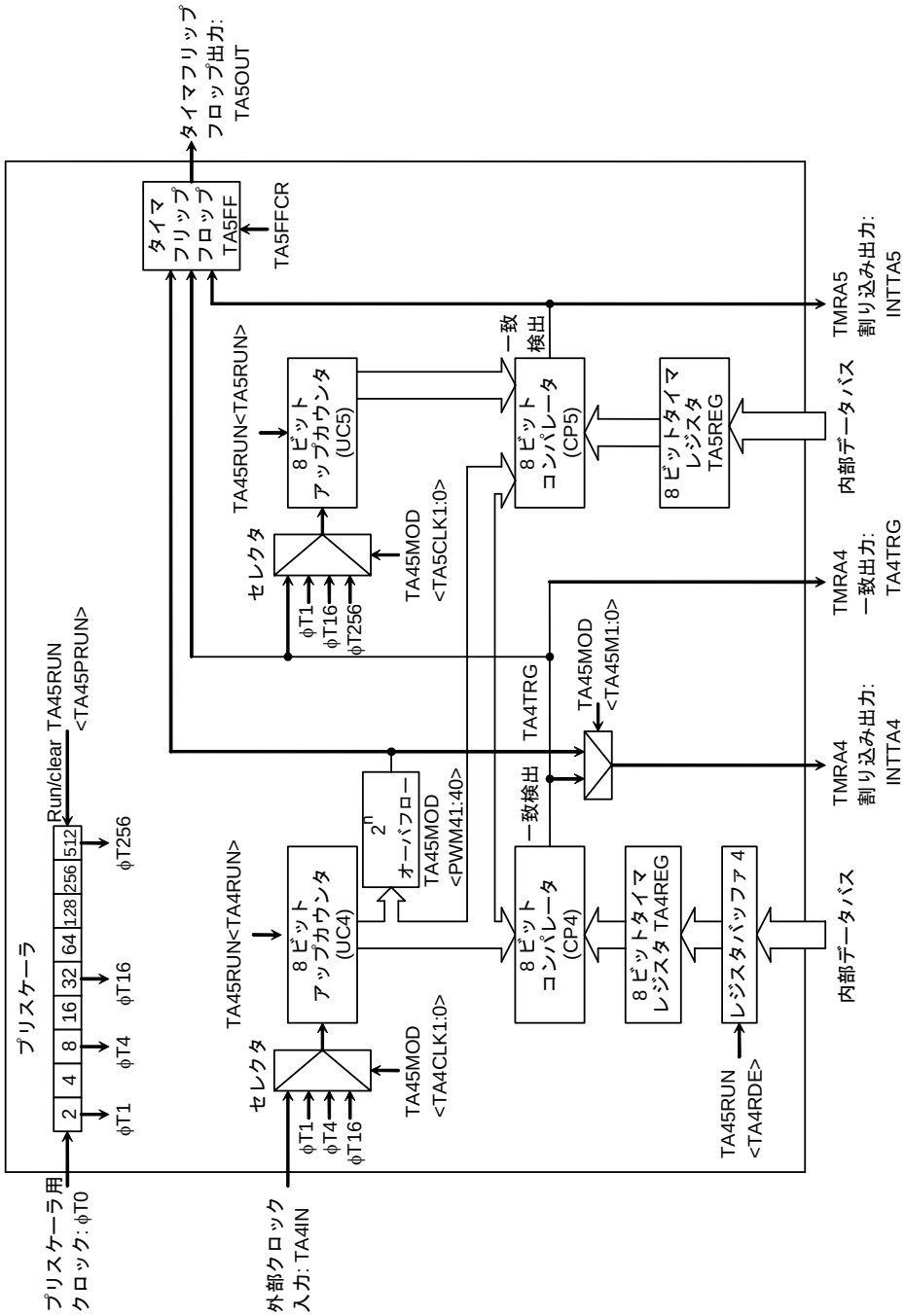


図 3.8.3 TMRA45 ブロック図

Downloaded from Elcodis.com electronic components distributor

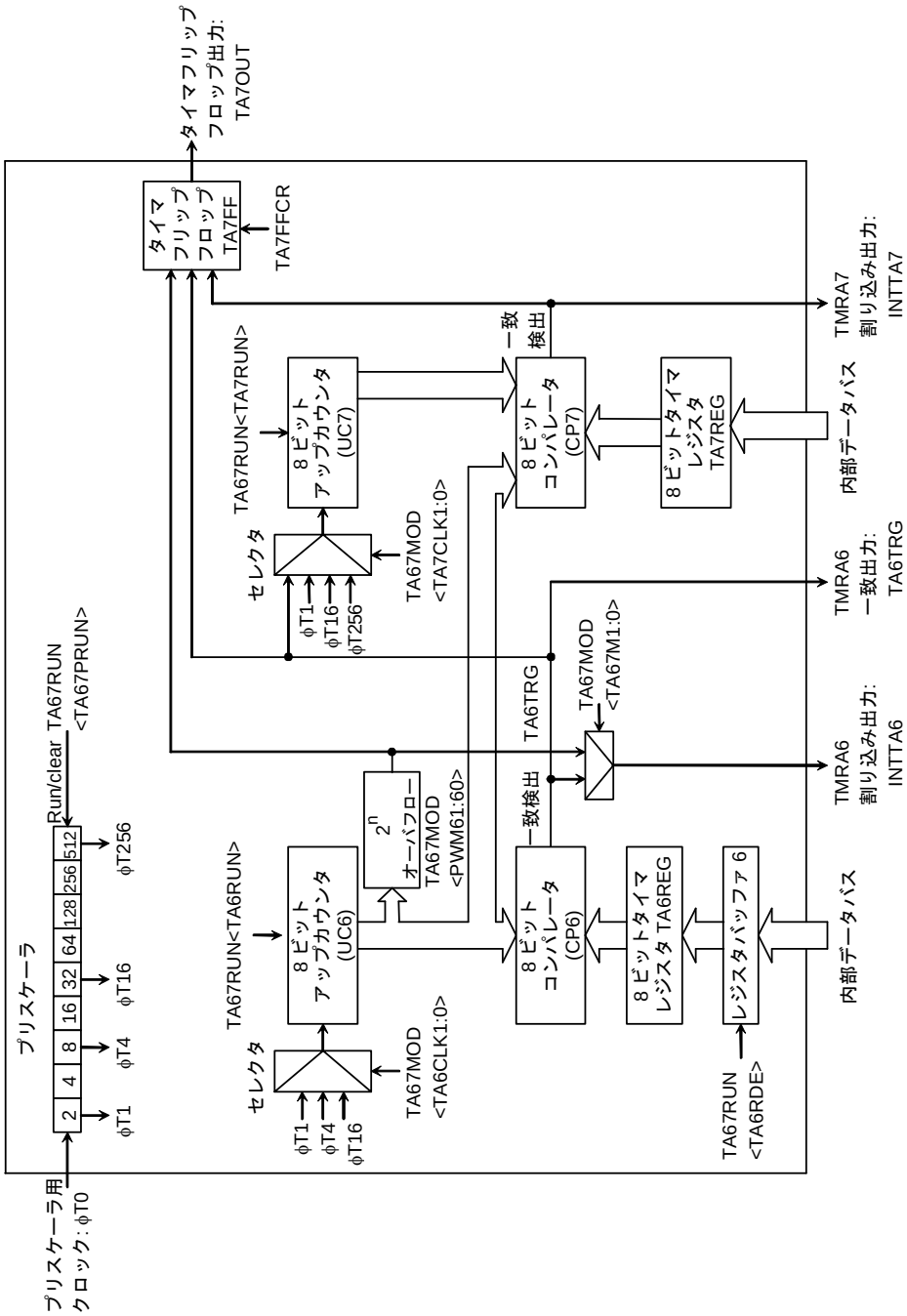


図 3.8.4 TMRA67 ブロック図

Downloaded from Elcodis.com electronic components distributor

3.8.2 回路別の動作説明

(1) プリスケーラ

TMRA01 のクロックソースを得るため 9 ビットプリスケーラがあります。プリスケーラの入力クロックϕT0 は、クロックギア部の SYSCR0<PRCK1:0> にて選択したクロックを 4 分周したクロックです。

プリスケーラはTA01RUN<TA01PRUN> により制御されます。“1”に設定するとカウント開始し、“0”に設定するとクリアされ停止します。プリスケーラ出力クロックの分解能を 表 3.8.2に示します。

表 3.8.2 プリスケーラ出力クロック分解能

システムクロック選択 SYSCR1 <SYSCK>	プリスケーラ用クロック選択 SYSCR0 <PRCK1:0>	クロックギア選択 SYSCR1 <GEAR2:0>	–	タイマカウンタ入力クロック TMRA 部プリスケーラ TAxxMOD<TAxCLK1:0>			
				ϕT1(1/2)	ϕT4(1/8)	ϕT16(1/32)	ϕT256(1/512)
1 (fs)	00 (f_{FPH})	–	1/4	fs/8	fs/32	fs/128	fs/2048
0 (fc)		000(1/1)		fc/8	fc/32	fc/128	fc/2048
		001(1/2)		fc/16	fc/64	fc/256	fc/4096
		010(1/4)		fc/32	fc/128	fc/512	fc/8192
		011(1/8)		fc/64	fc/256	fc/1024	fc/16384
		100(1/16)		fc/128	fc/512	fc/2048	fc/32768
	10 (fc/16 クロック)	–		fc/128	fc/512	fc/2048	fc/32768

(2) アップカウンタ (UC0, UC1)

タイマモードレジスタ TA01MOD で指定された入力クロックによってカウントアップする 8 ビットのバイナリカウンタです。

UC0 の入力クロックは、TA0IN 端子からの外部クロックと、3 種類のプリスケーラ出力クロックϕT1, ϕT4, ϕT16 から、TA01MOD<TA0CLK1:0>の設定値に応じて選択されます。

UC1 の入力クロックは動作モードによって異なります。16 ビットタイマモードに設定した場合は、UC0 のオーバフロー出力が入力クロックとなり、16 ビットタイマモード以外の設定の場合は、TA01MOD<TA1CLK1:0>の設定によりプリスケーラ出力クロックϕT1, ϕT16, ϕT256 と、TMRA0 のコンパレータ出力 (一致検出) の中から選択されます。

アップカウンタは、TA01RUN<TA0RUN>, <TA1RUN>によってカウントの開始および停止&クリアを設定します。リセット動作により、アップカウンタはクリアされ、停止します。

Downloaded from Elcodis.com electronic components distributor

(3) タイマレジスタ (TA0REG, TA1REG)

インタバル時間を設定する 8 ビットのレジスタです。タイマレジスタへの設定値とアップカウンタの値が一致すると、コンパレータの一致検出信号が出力されます。タイマレジスタに “00H”を設定した場合は、アップカウンタのオーバフロー時に、一致信号がアクティブになります。

TA0REG は、ダブルバッファ構成になっており、レジスタバッファ 0 とペアになっています。

ダブルバッファは、TA01RUN<TA0RDE>の設定により制御されます。<TA0RDE> = “0” のときディセーブル、<TA0RDE> = “1” のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファ 0 からタイマレジスタ 0 へのデータ転送タイミングは、PWM モードの 2^n オーバフロー、または、PPG モードの周期のコンペア一致時です。従って、タイマモード時に、ダブルバッファを使用することはできません。

リセット時は<TA0RDE> = “0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタに設定値をライトし、<TA0RDE> = “1” に設定した後、次の設定値をライトしください。

図 3.8.5にTA0REGの構成を示します。

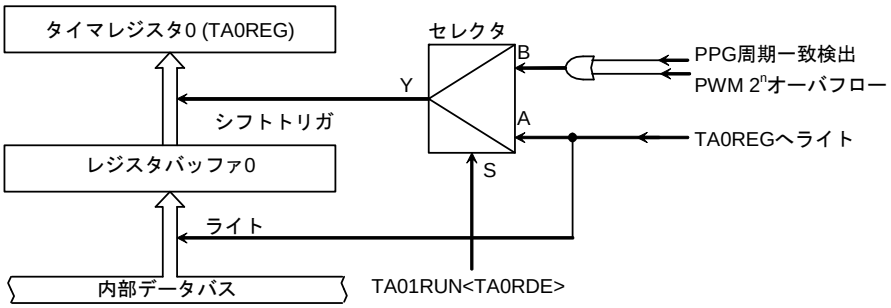


図 3.8.5 タイマレジスタ 0 (TA0REG)の構成

注) TA0REG とレジスタバッファ 0 は同じアドレスに割り付けられています。
<TA0RDE> = “0” のときは、レジスタバッファ 0 と TA0REG の両方に同じ値がライトされ、<TA0RDE> = “1” のときは、レジスタバッファ 0 のみにライトされます。

各タイマレジスタのアドレスは次のとおりです。

TA0REG: 000102H	TA1REG: 000103H
TA2REG: 00010AH	TA3REG: 00010BH
TA4REG: 000112H	TA5REG: 000113H
TA6REG: 00011AH	TA7REG: 00011BH

各レジスタともライト専用のレジスタでリードできません。

Downloaded from Elcodis.com electronic components distributor

(4) コンパレータ (CP0,CP1)

アップカウンタの値とタイマレジスタの値とを比較し、一致すると、アップカウンタを 0 にクリアするとともに、割り込み INTTA0, INTTA1 を発生します。また、タイマフリップフロップ反転イネーブルであれば同時にタイマフリップフロップの値を反転させます。

(5) タイマフリップフロップ (TA1FF)

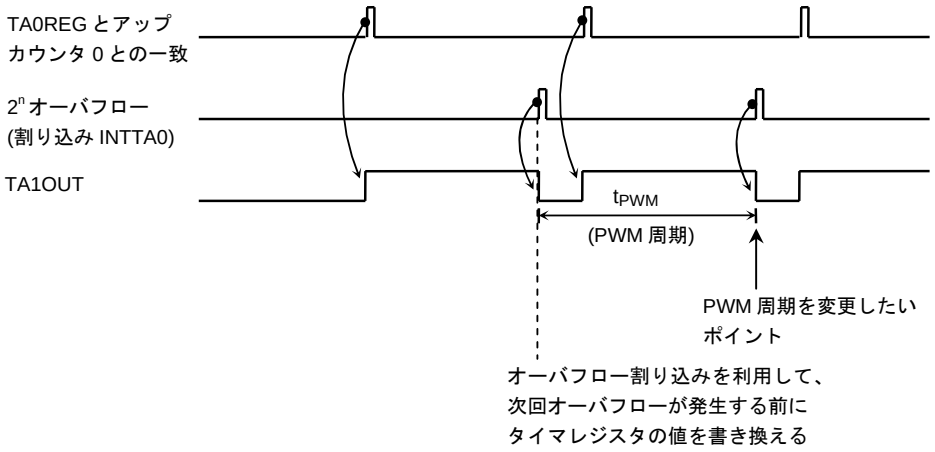
タイマフリップフロップ TA1FF は、コンパレータからの一致検出信号により反転するフリップフロップです。反転のディセーブル/イネーブルは、TA1FFCR<TA1FFIE>により設定できます。

リセットにより、TA1FF は "0" になります。TA1FFCR<TA1FFC1:0>に "01"、または、"10" をライトすることで、TA1FF の値を "1"、または、"0" に設定することができます。また、このビットに "00" をライトすることにより、TA1FF の値を 反転させることができます (ソフト反転)。

TA1FF の値は、タイマフリップフロップ出力端子 TA1OUT (P71 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート 7 関連レジスタ P7CR, P7FC により、設定を行う必要があります。

注) 8 ビットタイマにおいて、PWM モードや PPG モードを使用時にダブルバッファを利用する場合は、注意が必要です。
タイマレジスタの設定値と、アップカウンタが一致して、オーバフロー発生するタイミング直前にレジスタバッファのデータ更新を行うと、設定値と異なる波形信号が出力される場合があります。
そのため、PWM モードではオーバフロー割込みを利用し、次回のオーバフローが発生する 6 サイクル前までに($f_{SYS} \times 6$)、レジスタバッファを更新を終了するようにしてください。
また、PPG モードを使用の際も同様に、周期のコンペアー致割込みを使用し、次回の周期コンペアが一致する 6 サイクル前までに、レジスタバッファを更新を終了するようにしてください。

PWM モード時の例



Downloaded from Elcodis.com electronic components distributor

3.8.3 SFR説明

TMRA01 RUN レジスタ

TA01RUN (0100H)

	7	6	5	4	3	2	1	0
Bit symbol	TA0RDE				I2TA01	TA01PRUN	TA1RUN	TA0RUN
Read/Write	R/W				R/W			
リセット後	0				0	0	0	0
機能	ダブルバッファ 0: 禁止 1: 許可				IDLE2 モード時 0: 停止 1: 動作	TMRA01 プリスケーラ	アップカウンタ (UC1)	アップカウンタ (UC0)
						0: 停止 & クリア 1:カウント		

TA0REG ダブルバッファの制御

0	禁止
1	許可

カウント動作

0	停止 & クリア
1	カウント

注) TA01RUN のビット 4, 5, 6 は、リードすると不定値がリードされます。

TMRA23 RUN レジスタ

TA23RUN (0108H)

	7	6	5	4	3	2	1	0
Bit symbol	TA2RDE				I2TA23	TA23PRUN	TA3RUN	TA2RUN
Read/Write	R/W				R/W			
リセット後	0				0	0	0	0
機能	ダブルバッファ 0: 禁止 1: 許可				IDLE2 モード時 0: 停止 1: 動作	TMRA23 プリスケーラ	アップカウンタ (UC3)	アップカウンタ (UC2)
						0: 停止 & クリア 1:カウント		

TA2REG ダブルバッファの制御

0	禁止
1	許可

カウント動作

0	停止 & クリア
1	カウント

注) TA23RUN のビット 4, 5, 6 は、リードすると不定値がリードされます。

図 3.8.6 TMRA レジスタ

Downloaded from Elcodis.com electronic components distributor

TMRA45 RUN レジスタ

TA45RUN (0110H)

	7	6	5	4	3	2	1	0
Bit symbol	TA4RDE				I2TA45	TA45PRUN	TA5RUN	TA4RUN
Read/Write	R/W				R/W			
リセット後	0				0	0	0	0
機能	ダブルバッファ 0: 禁止 1: 許可				IDLE2 モード時 0: 停止 1: 動作	TMRA45 プリスケーラ	アップカウンタ (UC5)	アップカウンタ (UC4)
						0: 停止 & クリア 1:カウント		

TA4REG ダブルバッファの制御

0	禁止
1	許可

カウント動作

0	停止 & クリア
1	カウント

注) TA45RUN のビット 4, 5, 6 は、リードすると不定値がリードされます。

TMRA67 RUN レジスタ

TA67RUN (0118H)

	7	6	5	4	3	2	1	0
Bit symbol	TA4RDE				I2TA67	TA67PRUN	TA7RUN	TA6RUN
Read/Write	R/W				R/W			
リセット後	0				0	0	0	0
機能	ダブルバッファ 0: 禁止 1: 許可				IDLE2 モード時 0: 停止 1: 動作	TMRA67 プリスケーラ	アップカウンタ (UC7)	アップカウンタ (UC6)
						0: 停止 & クリア 1:カウント		

TA6REG ダブルバッファの制御

0	禁止
1	許可

カウント動作

0	停止 & クリア
1	カウント

注) TA67RUN のビット 4, 5, 6 は、リードすると不定値がリードされます。

図 3.8.7 TMRA レジスタ

Downloaded from Elcodis.com electronic components distributor

TMRA01 モードレジスタ

TA01MOD (0104H)

	7	6	5	4	3	2	1	0
Bit symbol	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	動作モード 00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		PWM 周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA1 ソースクロック 00: TA0TRG 01: φT1 10: φT16 11: φT256		TMRA0 入力クロック 00: TA0IN 端子入力 01: φT1 10: φT4 11: φT16	

TMRA0 の入力クロック

<TA0CLK1:0>	00	TA0IN 端子入力
	01	φT1
	10	φT4
	11	φT16

TMRA1 の入力クロック

		TA01MOD<TA01M1:0>≠01	TA01MOD<TA01M1:0>=01
<TA1CLK1:0>	00	TMRA0 の一致出力	TMRA0 のオーバフロー出力 (16 ビットタイマモード)
	01	φT1	
	10	φT16	
	11	φT256	

8 ビット PWM モード時の周期選択

<PWM01:00>	00	Reserved
	01	2^6 × ソースクロック
	10	2^7 × ソースクロック
	11	2^8 × ソースクロック

TMRA01 の動作モード選択

<TA01MA1:0>	00	8 ビットタイマ 2ch
	01	16 ビットタイマ
	10	8 ビットプログラム矩形波出力
	11	8 ビット PWM (TMRA0), 8 ビットタイマ (TMRA1)

図 3.8.8 TMRA レジスタ

Downloaded from Elcodis.com electronic components distributor

TMRA23 モードレジスタ

TA23MOD (010CH)

	7	6	5	4	3	2	1	0
Bit symbol	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	動作モード 00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		PWM 周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA3 ソースクロック 00: TA2TRG 01: φT1 10: φT16 11: φT256		TMRA2 入力クロック 00: Reserved 01: φT1 10: φT4 11: φT16	

TMRA2 の入力クロック

<TA2CLK1:0>	00	Reserved
	01	φT1
	10	φT4
	11	φT16

TMRA3 の入力クロック

		TA23MOD<TA23M1:0>≠01	TA23MOD<TA23M1:0>=01
<TA3CLK1:0>	00	TMRA2 の一致出力	TMRA2 のオーバフロー出力 (16 ビットタイマモード)
	01	φT1	
	10	φT16	
	11	φT256	

8 ビット PWM モード時の周期選択

<PWM21:20>	00	Reserved
	01	2^6 × ソースクロック
	10	2^7 × ソースクロック
	11	2^8 × ソースクロック

TMRA23 の動作モード選択

<TA23M1:0>	00	8 ビットタイマ 2ch
	01	16 ビットタイマ
	10	8 ビットプログラム矩形波出力
	11	8 ビット PWM (TMRA2), 8 ビットタイマ (TMRA3)

図 3.8.9 TMRA レジスタ

Downloaded from Elcodis.com electronic components distributor

TMRA45 モードレジスタ

TA45MOD (0114H)

	7	6	5	4	3	2	1	0
Bit symbol	TA45M1	TA45M0	PWM41	PWM40	TA5CLK1	TA5CLK0	TA4CLK1	TA4CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	動作モード 00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		PWM 周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA5 ソースクロック 00: TA4TRG 01: φT1 10: φT16 11: φT256		TMRA4 入力クロック 00: TA4IN 端子入力 01: φT1 10: φT4 11: φT16	

TMRA4 の入力クロック

<TA4CLK1:0>	00	TA4IN 端子入力
	01	φT1
	10	φT4
	11	φT16

TMRA5 の入力クロック

		TA45MOD<TA45M1:0>≠01	TA45MOD<TA45M1:0>=01
<TA5CLK1:0>	00	TMRA4 の一致出力	TMRA4 のオーバフロー出力 (16 ビットタイマモード)
	01	φT1	
	10	φT16	
	11	φT256	

8 ビット PWM モード時の周期選択

＜PWM41:40>	00	Reserved
	01	2^6 × ソースクロック
	10	2^7 × ソースクロック
	11	2^8 × ソースクロック

TMRA45 の動作モード選択

<TA45M1:0>	00	8 ビットタイマ 2ch
	01	16 ビットタイマ
	10	8 ビットプログラム矩形波出力
	11	8 ビット PWM (TMRA4), 8 ビットタイマ (TMRA5)

図 3.8.10 TMRA レジスタ

Downloaded from Elcodis.com electronic components distributor

TMRA67 モードレジスタ

TA67MOD (011CH)

	7	6	5	4	3	2	1	0
Bit symbol	TA67M1	TA67M0	PWM61	PWM60	TA7CLK1	TA7CLK0	TA6CLK1	TA6CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	動作モード 00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		PWM 周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA7 ソースクロック 00: TA6TRG 01: φT1 10: φT16 11: φT256		TMRA6 入力クロック 00: Reserved 01: φT1 10: φT4 11: φT16	

TMRA6 の入力クロック

＜TA6CLK1:0>	00	Reserved
	01	φT1
	10	φT4
	11	φT16

TMRA7 の入力クロック

		TA67MOD<TA67M1:0>≠01	TA67MOD<TA67M1:0>=01
<TA7CLK1:0>	00	TMRA6 の一致出力	TMRA6 のオーバフロー出力 (16 ビットタイマモード)
	01	φT1	
	10	φT16	
	11	φT256	

8 ビット PWM モード時の周期選択

<PWM61:60>	00	Reserved
	01	2^6 × ソースクロック
	10	2^7 × ソースクロック
	11	2^8 × ソースクロック

TMRA67 の動作モード選択

<TA67M1:0>	00	8 ビットタイマ 2ch
	01	16 ビットタイマ
	10	8 ビットプログラム矩形波出力
	11	8 ビット PWM (TMRA6), 8 ビットタイマ (TMRA7)

図 3.8.11 TMRA レジスタ

Downloaded from Elcodis.com electronic components distributor

TMRA1 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TA1FFCR (0105H)	Bit symbol					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS
	Read/Write					R/W		R/W	
	リセット後					1	1	0	0
リードモディファイライトはできません。	機能					00: TA1FF 反転 01: TA1FF セット 10: TA1FF クリア 11: Don't care		TA1FF 反転制御 0: 禁止 1: 許可	TA1FF 反転信号セレクト 0: TMRA0 1: TMRA1

タイマフリップフロップ 1 (TA1FF) の反転信号セレクト
(8 ビットタイマモード以外は Don't care)

TA1FFIS	0	TMRA0 による反転
	1	TMRA1 による反転

TA1FF の反転制御

TA1FFIE	0	反転禁止
	1	反転許可

TA1FF の制御

<TA1FFC1:0>	00	TA1FF の値を反転 (ソフト反転)
	01	TA1FF を "1" にセット
	10	TA1FF を "0" にクリア
	11	Don't care

注) TA1FFCR のビット 4, 5, 6, 7 は、リードすると不定値がリードされます。

図 3.8.12 TMRA レジスタ

Downloaded from Elcodis.com electronic components distributor

TMRA3 フリップフロップコントロールレジスタ

TA3FFCR (010DH)		7	6	5	4	3	2	1	0
	Bit symbol					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS
	Read/Write					R/W		R/W	
	リセット後					1	1	0	0
リードモディファイライトはできません。	機能					00: TA3FF 反転 01: TA3FF セット 10: TA3FF クリア 11: Don't care		TA3FF 反転制御 0: 禁止 1: 許可	TA3FF 反転信号セレクト 0: TMRA2 1: TMRA3

タイマフリップフロップ 3 (TA3FF) の反転信号セレクト
(8 ビットタイマモード以外は Don't care)

TA3FFIS	0	TMRA2 による反転
	1	TMRA3 による反転

TA3FF の反転制御

TA3FFIE	0	反転禁止
	1	反転許可

TA3FF の制御

<TA3FFC1:0>	00	TA3FF の値を反転 (ソフト反転)
	01	TA3FF を "1" にセット
	10	TA3FF を "0" にクリア
	11	Don't care

注) TA3FFCR のビット 4, 5, 6, 7 は、リードすると不定値がリードされます。

図 3.8.13 8 ビットタイマレジスタ

Downloaded from Elcodis.com electronic components distributor

TMRA5 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TA5FFCR (0115H)	Bit symbol					TA5FFC1	TA5FFC0	TA5FFIE	TA5FFIS
	Read/Write					R/W		R/W	
	リセット後					1	1	0	0
リードモディファイライトはできません。	機能					00: TA5FF 反転 01: TA5FF セット 10: TA5FF クリア 11: Don't care		TA5FF 反転制御 0: 禁止 1: 許可	TA5FF 反転信号セレクト 0: TMRA4 1: TMRA5

タイマフリップフロップ 5 (TA5FF) の反転信号セレクト
(8 ビットタイマモード以外は Don't care)

TA5FFIS	0	TMRA4 による反転
	1	TMRA5 による反転

TA5FF の反転制御

TA5FFIE	0	反転禁止
	1	反転許可

TA5FF の制御

<TA5FFC1:0>	00	TA5FF の値を反転 (ソフト反転)
	01	TA5FF を "1" にセット
	10	TA5FF を "0" にクリア
	11	Don't care

注) TA5FFCR のビット 4, 5, 6, 7 は、リードすると不定値がリードされます。

図 3.8.14 TMRA レジスタ

Downloaded from Elcodis.com electronic components distributor

TMRA7 フリップフロップコントロールレジスタ

TA7FFCR (011DH)		7	6	5	4	3	2	1	0
	Bit symbol					TA7FFC1	TA7FFC0	TA7FFIE	TA7FFIS
	Read/Write					R/W		R/W	
	リセット後					1	1	0	0
リードモディファイライトはできません。	機能					00: TA7FF 反転 01: TA7FF セット 10: TA7FF クリア 11: Don't care		TA7FF 反転制御 0: 禁止 1: 許可	TA7FF 反転信号セレクト 0: TMRA6 1: TMRA7

タイマフリップフロップ 7 (TA7FF) の反転信号セレクト
(8 ビットタイマモード以外は Don't care)

TA7FFIS	0	TMRA6 による反転
	1	TMRA7 による反転

TA7FF の反転制御

TA7FFIE	0	反転禁止
	1	反転許可

TA7FF の制御

<TA7FFC1:0>	00	TA7FF の値を反転 (ソフト反転)
	01	TA7FF を "1" にセット
	10	TA7FF を "0" にクリア
	11	Don't care

注) TA7FFCR のビット 4, 5, 6, 7 は、リードすると不定値がリードされます。

図 3.8.15 TMRA レジスタ

Downloaded from Elcodis.com electronic components distributor

タイマレジスタ

		7	6	5	4	3	2	1	0
TA0REG (0102H)	bit Symbol	−							
	Read/Write	W							
	リセット後	不定							
TA1REG (0103H)	bit Symbol	−							
	Read/Write	W							
	リセット後	不定							
TA2REG (010AH)	bit Symbol	−							
	Read/Write	W							
	リセット後	不定							
TA3REG (010BH)	bit Symbol	−							
	Read/Write	W							
	リセット後	不定							
TA4REG (0112H)	bit Symbol	−							
	Read/Write	W							
	リセット後	不定							
TA5REG (0113H)	bit Symbol	−							
	Read/Write	W							
	リセット後	不定							
TA6REG (011AH)	bit Symbol	−							
	Read/Write	W							
	リセット後	不定							
TA7REG (011BH)	bit Symbol	−							
	Read/Write	W							
	リセット後	不定							

図 3.8.16　TMRA レジスタ

Downloaded from Elcodis.com electronic components distributor

3.8.4 モード別動作説明

(1) 8 ビットタイマモード

TMRA0, TMRA1 は、それぞれ独立に 8 ビットインタバルタイマとして使用できます。機能、および、カウントデータの設定を行う場合、TMRA0, TMRA1 を停止させた状態で行ってください。

1. 一定周期の割り込みを発生させる場合

ここでは TMRA1 を使用した例を示します。TMRA1 を用いて、一定周期ごとに TMRA1 割り込み INTTA1 を発生させる場合、まず TMRA 1 を停止させ、動作モード、入力クロック、周期をそれぞれ TA01MOD、TA1REG に設定します。次に割り込み INTTA1 をイネーブルにしてから、TMRA 1 をカウントさせます。

例: fc = 27 MHz で 12 μs ごとに INTTA1 割り込みを発生させたい場合、次の順序で各レジスタを設定します。

* クロック条件 { クロックギア: 1/1
クロックギア部プリスケーラ: 1/2

		MSB 7	6	5	4	3	2	1	LSB 0	
TA01RUN	←	–	X	X	X	–	–	0	–	TMRA1 を停止し、0 にクリアします。
TA01MOD	←	0	0	X	X	0	1	X	X	8 ビットタイマモードにし、入力クロックを φT1 ((2³/fc)s @fc = 27 MHz) に設定します。
TA1REG	←	0	0	1	0	1	0	0	0	TA1REG に 12μs ÷ φT1((2³/fc)s) ≈ 40 (28H) をライトします。
INTETA01	←	X	1	0	1	–	–	–	–	INTTA1 をイネーブル、割り込みレベル 5 に設定します。
TA01RUN	←	–	X	X	X	–	1	1	–	TMRA1 をカウントさせます。

X: Don't Care、–: No change

入力クロックの選択は 表 3.8.2を参考にしてください。

注) TMRA0 と TMRA1 の入力クロックは下記のように異なります。
TMRA0: TA0IN 端子入力、φT1, φT4, φT16
TMRA1: TMRA0 の一致検出信号、φT1, φT16, φT256

Downloaded from Elcodis.com electronic components distributor

2. デューティ 50 %の矩形波を出力させる場合

一定周期ごとにタイマフリップフロップ TA1FF の値を反転させ、この値をタイマフリップフロップ出力端子 TA1OUT へ出力します。

例: fc = 27 MHz で周期 1.8 μs の矩形波を TA1OUT 端子から出力させたい場合、次の順序で各レジスタを設定します。この場合、TMRA0 か TMRA1 を用いますが、ここでは TMRA1 を使用したときのレジスタ設定例を示します。

* クロック条件 { クロックギア: 1/1 / クロックギア部プリスケーラ: 1/2

		7	6	5	4	3	2	1	0	
TA01RUN	←	–	X	X	X	–	–	0	–	TMRA1 を停止し、0 にクリアします。
TA01MOD	←	0	0	X	X	0	1	X	X	8 ビットタイマモードにし、入力クロックを φT1 ((2³/fc)s @fc = 27 MHz) に設定します。
TA1REG	←	0	0	0	0	0	0	1	1	TA1REG に 1.8 μs ÷ φT1((2³/fc)s) ÷ 2 ≈ 03H をセットします。
TA1FFCR	←	X	X	X	X	1	0	1	1	TA1FF を "0" にクリアし、TMRA1 からの一致検出信号で反転するように設定します。
P7CR	←	X	X	–	–	–	–	1	–	P71 を TA1OUT 出力端子に設定します。
P7FC	←	X	X	–	–	X	–	1	X	
TA01RUN	←	–	X	X	X	–	1	1	–	TMRA1 のカウントを開始させます。

X: Don't Care、–: No change

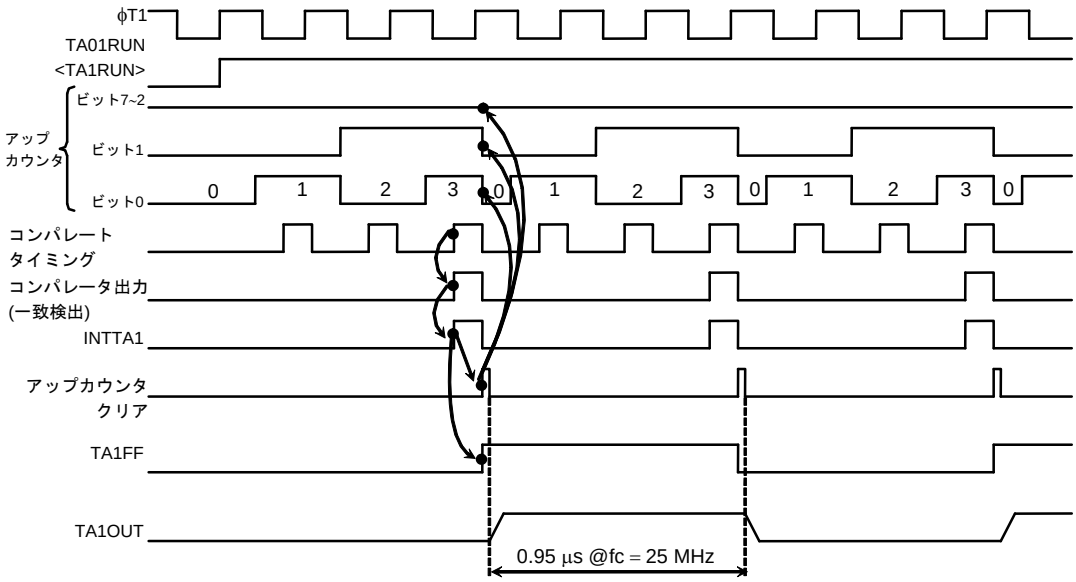


図 3.8.17 矩形波 (デューティ 50%) 出力のタイミングチャート

Downloaded from Elcodis.com electronic components distributor

3. TMRA0 の一致出力で TMRA1 をカウントアップさせる場合

8 ビットタイマモードに設定し、TMRA1 の入力クロックを TMRA0 のコンパレータ出力に設定します。

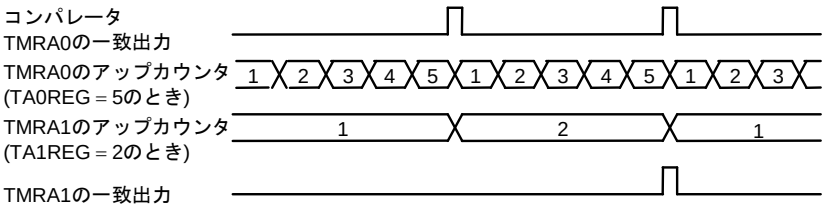


図 3.8.18 TMRA0 による TMRA1 のカウントアップ

(2) 16 ビットタイマモード

TMRA0 と TMRA1 をペアにして、16 ビットインタバルタイマとして使用できます。

TA01MOD<TA01M1:0>を “01” に設定することで 16 ビットタイマモードとなります。

16 ビットタイマモードに設定すると、TA01MOD<TA1CLK1:0> の設定値にかかわらず、TMRA1 の入力クロックは、TMRA0 のオーバフロー出力になります。TMRA0 の入力クロックの選択は 表 3.8.2を参考にしてください。

タイマ割り込み周期は、タイマレジスタ TA0REG に下位 8 ビットを、TA1REG に上位 8 ビットを設定します。この場合、必ず TA0REG から先に設定してください (TA0REG にデータをライトするとコンペアが一時禁止され、TA1REG へのデータライトでコンペアが開始されるためです)。

例: fc = 27 MHz で 0.3 秒ごとに割り込み INTTA1 を発生させる場合、タイマレジスタ TA0REG, TA1REG には次の値を設定します。

＊クロック条件 { クロックギア: 1/1
クロックギア部プリスケーラ: 1/2

$\phi T16$ (= (2^7/fc) s @27 MHz) を入力クロックとしてカウントすると

0.3 s ÷(2^7/fc)s ≈ 62500 = F424H

従って TA1REG = F4H, TA0REG = 24H を設定すると、0.32 秒ごとに割り込み INTTA1 が発生します。

Downloaded from Elcodis.com electronic components distributor

TMRA0 のコンパレータ出力は、アップカウンタ UC0 と TA0REG が一致するたびに出力されますが、アップカウンタ UC0 はクリアされません。また、このとき INTTA0 は発生しません。

TMRA1 のコンパレータは、アップカウンタ UC1 と TA1REG が一致すると、コンパレートタイミング時、毎回一致検出信号が出力されます。TMRA0, TMRA1 両方のコンパレータの一致検出信号が同時に出力されると、アップカウンタ UC0, UC1 が 0 にクリアされ、割り込み INTTA1 が発生します。また反転イネーブルであれば、タイマフリップフロップ TA1FF の値は反転されます。

例: TA1REG = 04H, TA0REG = 80H の場合

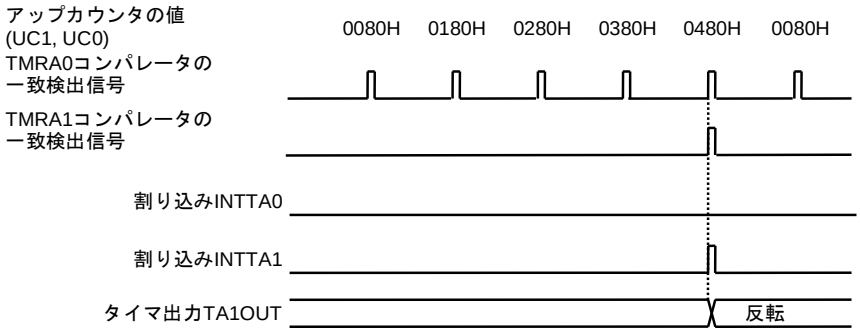


図 3.8.19 16 ビットタイマモードによるタイマ出力

(3) 8 ビット PPG (プログラマブル矩形波) 出力モード

TMRA0 を用いて、任意周波数, 任意デューティの矩形波を出力することができます。出力パルスは Low アクティブ、High アクティブどちらの設定も可能です。

このモードに設定した場合 TMRA1 は使用できません。

矩形波は TA1OUT (P71 と兼用) へ出力されます。

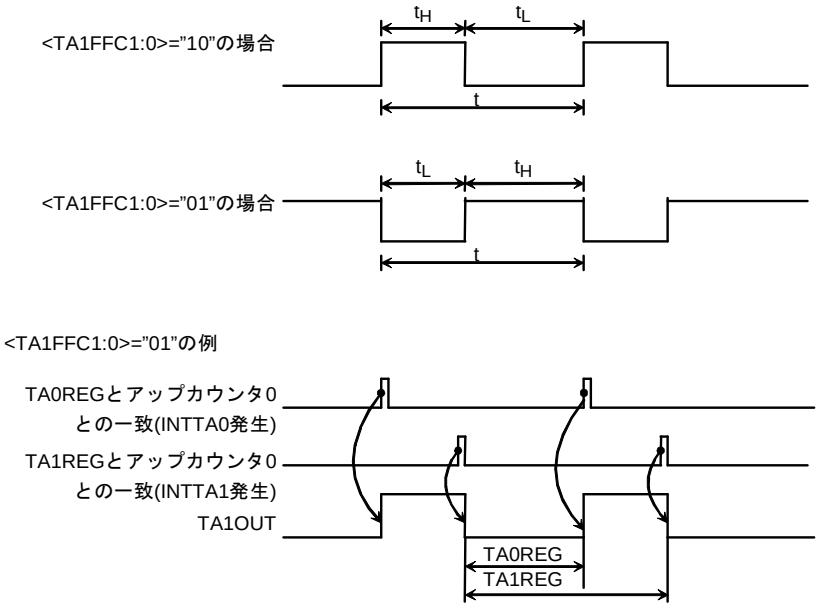


図 3.8.20 8 ビット PPG 出力波形

Downloaded from Elcodis.com electronic components distributor

このモードは、8 ビットアップカウンタ UC0 が、タイマレジスタ TA0REG および TA1REG と一致するたびにタイマ出力を反転させることにより、プログラマブル矩形波を出力するものです。

ただし、(TA0REG の設定値) < (TA1REG の設定値) の条件を満たす必要があります。

なお、このモードでは、TMRA1 のアップカウンタ UC1 は使用できませんが、TA01RUN<TA1RUN> = 1 に設定して、TMRA1 をカウント状態にしてください。

このモードをブロック図で示すと 図 3.8.21のようになります。

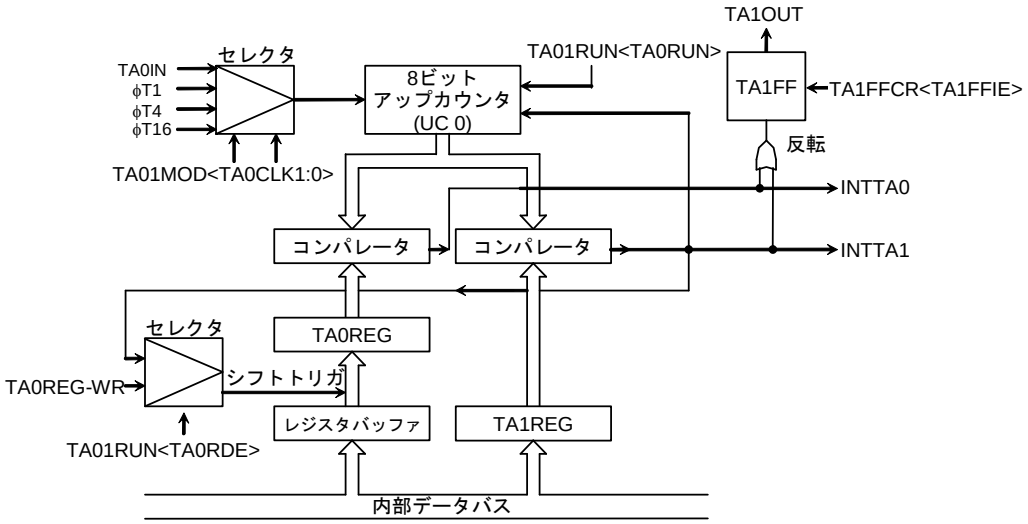


図 3.8.21 8 ビット PPG 出力モードのブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、レジスタバッファの値が TA1REG と UC0 の一致時に、TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティ (デューティを変化させるとき) への対応が容易に行えます。

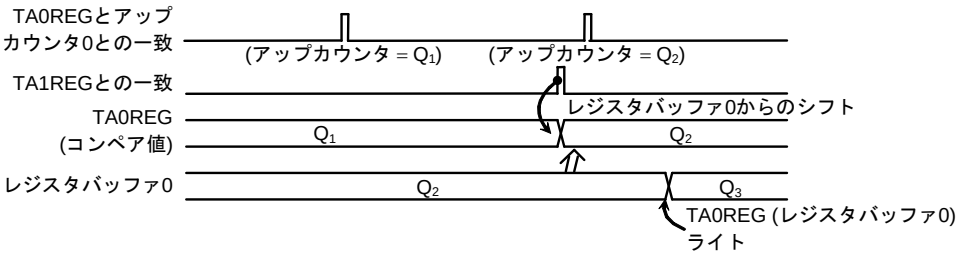
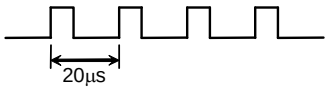


図 3.8.22 レジスタバッファ 0 の動作

Downloaded from Elcodis.com electronic components distributor

例: デューティ 1/4 の 50 kHz のパルスを出力する場合 (fc = 27 MHz)



＊クロック条件 クロックギア: 1/1
クロックギア部プリスケーラ: 1/2

タイマレジスタへの設定値を求めます。
周波数を 50 kHz にするには、周期 t = 1/50 kHz = 20 μs の波形をつくります。
$\phi T1 = (2^3/fc)$ s (@fc = 27 MHz) を用いると、

$20\ \mu s \div (2^3/fc)\ s \approx 67$

従って TA1REG を、TA1REG = 67 = 43H と設定すると 50.3kHz のパルスが作られます。
次にデューティを 1/4 にするには、t × 1/4 = 20 μs × 1/4 = 5 μs

$5\ \mu s \div (2^3/fc)\ s \approx 17$

従って TA0REG = 17= 11H に設定します。

		7	6	5	4	3	2	1	0	
TA01RUN	←	–	X	X	X	–	–	0	0	TMRA0, 1 を停止し、0 にクリアします。(ダブルバッファディセーブル)
TA01MOD	←	1	0	X	X	X	X	0	1	8 ビット PPG モードにし、入力クロックをφT1 にします。
TA0REG	←	0	0	0	1	0	0	0	1	11H をライトします。
TA1REG	←	0	1	0	0	0	0	1	1	43H をライトします。
TA1FFCR	←	X	X	X	X	0	1	1	X	TA1FF をセットし、反転イネーブルにします。
										"10" にすると負論理の出力波形が得られます。
P7CR	←	X	X	–	–	–	–	1	–	P71 を TA1OUT 端子に設定します。
P7FC	←	X	X	–	–	X	–	1	X	
TA01RUN	←	1	X	X	X	–	1	1	1	TMRA0, TMRA1 のカウントを開始します。(ダブルバッファイネーブル)

X: Don't Care、–: No change

Downloaded from Elcodis.com electronic components distributor

(4) 8 ビット PWM 出力モード

TMRA0 のみ可能なモードで、分解能 8 ビットまでの PWM を出力することができます。PWM 出力は TA1OUT 端子 (P71 と兼用) へ出力されます。

このモードでは、TMRA1 は 8 ビットタイマとして使用できます。

タイマ出力の反転は、アップカウンタ UC0 がタイマレジスタ TA0REG の設定値と一致したときと、2^n (n = 6, 7, 8 のいずれかを TA01MOD<PWM01:00>で指定) カウンタオーバフロー発生時に起こります。また、UC0 は 2^n カウンタのオーバフローによってクリアされます。

なお、この PWM モードを使用する場合、次の条件を満たさなければなりません。

(TA0REG の設定値) < (2^n カウンタのオーバフロー設定値)

(TA0REG の設定値) ≠ 0

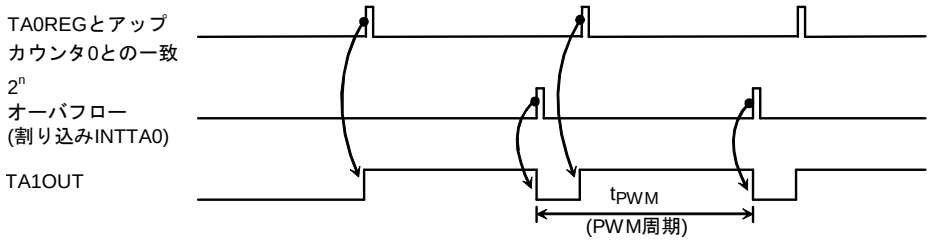


図 3.8.23 8 ビット PWM 出力波形

このモードをブロック図で示すと 図 3.8.24のようになります。

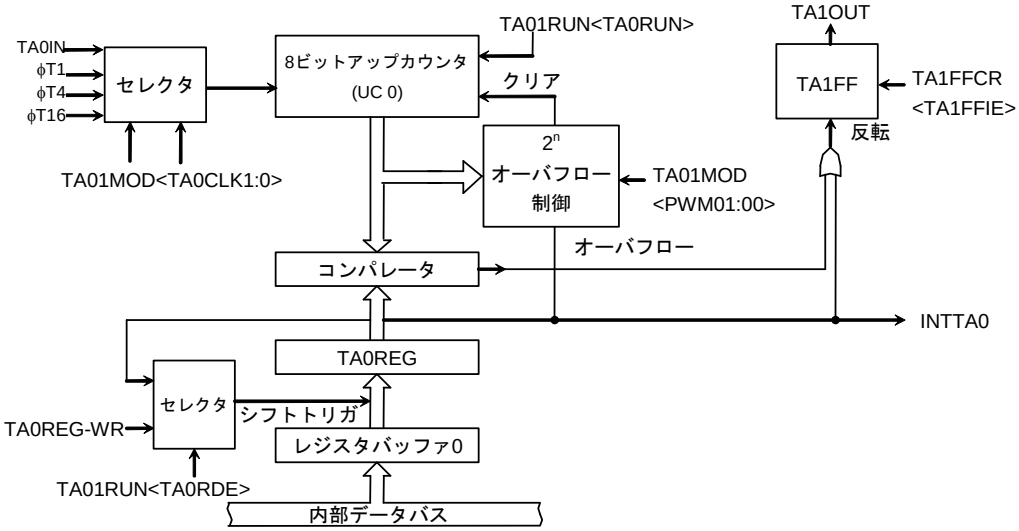


図 3.8.24 8 ビット PWM 出力モードのブロック図

Downloaded from Elcodis.com electronic components distributor

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、2^n オーバフロー検出で、レジスタバッファの値が TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティへの対応が、容易に行えます。

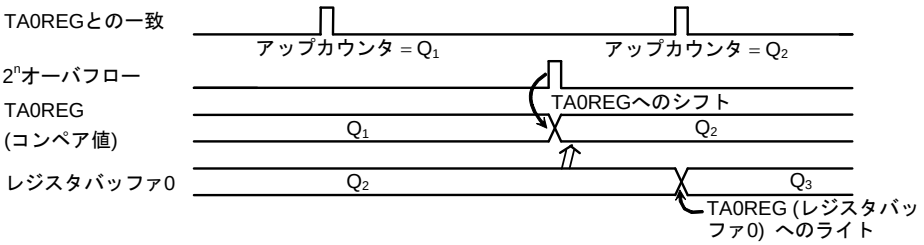
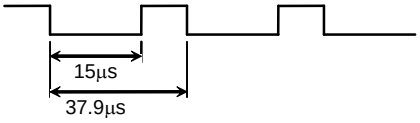


図 3.8.25 レジスタバッファ 0 の動作

例: fc = 27 MHz 時、TMRA0 を使って下記の PWM 波形を TA1OUT 端子へ出力する場合



* クロック条件
- システムクロック: 高速 (fc)
- 高速クロックギア: 1 倍 (fc)
- プリスケーラクロック: f_{FPH}

PWM 周期 37.9μs を $\phi T1 = (2^3/fc)$ s (@fc = 27 MHz) で実現する場合

$37.9\ \mu s \div (2^3/fc)\ s \approx 128 = 2^n$

従って n = 7 に設定します。

"L" レベルの期間は、

$15.0\ \mu s \div (2^3/fc)\ s \approx 51 = 33H$

を TA0REG に設定します。

		MSB 7	6	5	4	3	2	1	LSB 0	
TA01RUN	←	–	X	X	X	–	–	–	0	TMRA0 を停止し、0 にクリアします。
TA01MOD	←	1	1	1	0	X	X	0	1	8 ビット PWM モード (周期 = 2^7)にし、入力クロックをϕT1 にします。
TA0REG	←	0	0	1	1	0	0	1	1	33H をライトします。
TA1FFCR	←	X	X	X	X	1	0	1	X	TA1FF をクリアし、反転イネーブルにします。
P7CR	←	X	X	–	–	–	–	1	–	P71 を TA1OUT 端子に設定します。
P7FC	←	X	X	–	–	X	–	1	X	
TA01RUN	←	1	X	X	X	–	1	–	1	TMRA0 のカウントを開始します。

X: Don't Care、–: No change

Downloaded from Elcodis.com electronic components distributor

表 3.8.3 PWM 周期

システムクロック選択 SYSCR1 <SYSCK>	プリスケーラ用クロック選択 SYSCR0 <PRCK1:0>	クロックギア値 SYSCR1 <GEAR2:0>	–	PWM 周期								
				2^6 (x64)			2^7(x128)			2^8(x256)		
				TAxxMOD<TAxCLK1:0>			TAxxMOD<TAxCLK1:0>			TAxxMOD<TAxCLK1:0>		
				φT1(x2)	φT4(x8)	φT16(x32)	φT1(x2)	φT4(x8)	φT16(x32)	φT1(x2)	φT4(x8)	φT16(x32)
1 (1/fs)	00 (f_{FPH})	–	x4	512/fc	2048/fc	8192/fc	1024/fc	4096/fc	16384/fc	2048/fc	8192/fc	32768/fc
0 (1/fc)		000(x1)		512/fc	2048/fc	8192/fc	1024/fc	4096/fc	16384/fc	2048/fc	8192/fc	32768/fc
		001(x2)		1024/fc	4096/fc	16384/fc	2048/fc	8192/fc	32768/fc	4096/fc	16384/fc	65536/fc
		010(x4)		2048/fc	8192/fc	32768/fc	4096/fc	16384/fc	65536/fc	8192/fc	32768/fc	131072/fc
		011(x8)		4096/fc	16384/fc	65536/fc	8192/fc	32768/fc	131072/fc	16384/fc	65536/fc	262144/fc
		100(x16)		8192/fc	32768/fc	131072/fc	16384/fc	65536/fc	262144/fc	32768/fc	131072/fc	524288/fc
	10 (fcx16)	–		8192/fc	32768/fc	131072/fc	16384/fc	65536/fc	262144/fc	32768/fc	131072/fc	524288/fc

(5) 動作モード設定一覧

TMRA01 の各モードをまとめると 表 3.8.4のような設定になります。

表 3.8.4 各タイマモードの設定レジスタ

レジスタ名	TA01MOD				TA1FFCR
<レジスタ中の機能名>	<TA01M1:0>	<PWM01:00>	<TA1CLK1:0>	<TA0CLK1:0>	TA1FFIS
機能	タイマモード	PWM 周期	上位タイマ入力クロック	下位タイマ入力クロック	タイマ F/F 反転信号セレクト
8 ビットタイマ × 2 チャネル	00	–	下位タイマ一致 φT1, φT16, φT256 (00, 01, 10, 11)	外部, φT1, φT4, φT16 (00, 01, 10, 11)	0:下位タイマ出力 1:上位タイマ出力
16 ビットタイマモード	01	–	–	外部, φT1, φT4, φT16 (00, 01, 10, 11)	–
8 ビット PPG × 1 チャネル	10	–	–	外部, φT1, φT4, φT16 (00, 01, 10, 11)	–
8 ビット PWM × 1 チャネル	11	2^6 , 2^7 , 2^8 (01, 10, 11)	–	外部, φT1, φT4, φT16 (00, 01, 10, 11)	–
8 ビット PWM × 1 チャネル	11	–	φT1, φT16 , φT256 (01, 10, 11)	–	出力不可

–: Don't care

Downloaded from Elcodis.com electronic components distributor

3.9 16 ビットタイマ/イベントカウンタ (TMRB)

多機能 16 ビットタイマ/イベントカウンタを 2 チャネル (TMRB0, TMRB1) 内蔵しています。TMRB は、次の 3 つの動作モードを持っています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波出力 (PPG) モード

また、キャプチャ機能を利用することで、次のような動作を行うことができます。

- 周波数測定
- パルス幅測定
- 時間差測定

図 3.9.1、図 3.9.2 にTMRB0, TMRB1 のブロック図を示します。

各チャネルは、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (1 本はダブルバッファ構造)、16 ビットキャプチャレジスタ 2 本、コンパレータ 2 個、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。

タイマの動作モードやタイマフリップフロップは 11 バイトのレジスタ (SFR) で制御されます。

各チャネル (TMRB0, TMRB1) はそれぞれ独立に動作します。いずれのチャネルも 表 3.9.1に示される仕様相違点を除いて同一の動作をしますので、動作説明はTMRB0 の場合についてのみ説明します。

表 3.9.1 TMRB のチャネル別仕様相違点

仕様 ＼ チャネル		TMRB0	TMRB1
外部端子	外部クロック/キャプチャトリガ入力端子	TB0IN0 (P80 と兼用) TB0IN1 (P81 と兼用)	TB1IN0 (P84 と兼用) TB1IN1 (P85 と兼用)
	タイマフリップフロップ出力端子	TB0OUT0 (P82 と兼用) TB0OUT1 (P83 と兼用)	TB1OUT0 (P86 と兼用) TB1OUT1 (P87 と兼用)
SFR 名 (アドレス)	タイマ RUN レジスタ	TB0RUN (0180H)	TB1RUN (0190H)
	タイマモードレジスタ	TB0MOD (0182H)	TB1MOD (0192H)
	タイマフリップフロップコントロールレジスタ	TB0FFCR (0183H)	TB1FFCR (0193H)
	タイマレジスタ	TB0RG0L (0188H) TB0RG0H (0189H) TB0RG1L (018AH) TB0RG1H (018BH)	TB1RG0L (0198H) TB1RG0H (0199H) TB1RG1L (019AH) TB1RG1H (019BH)
	キャプチャレジスタ	TB0CP0L (018CH) TB0CP0H (018DH) TB0CP1L (018EH) TB0CP1H (018FH)	TB1CP0L (019CH) TB1CP0H (019DH) TB1CP1L (019EH) TB1CP1H (019FH)

Downloaded from Elcodis.com electronic components distributor

3.9.1 チャネル別のブロック図

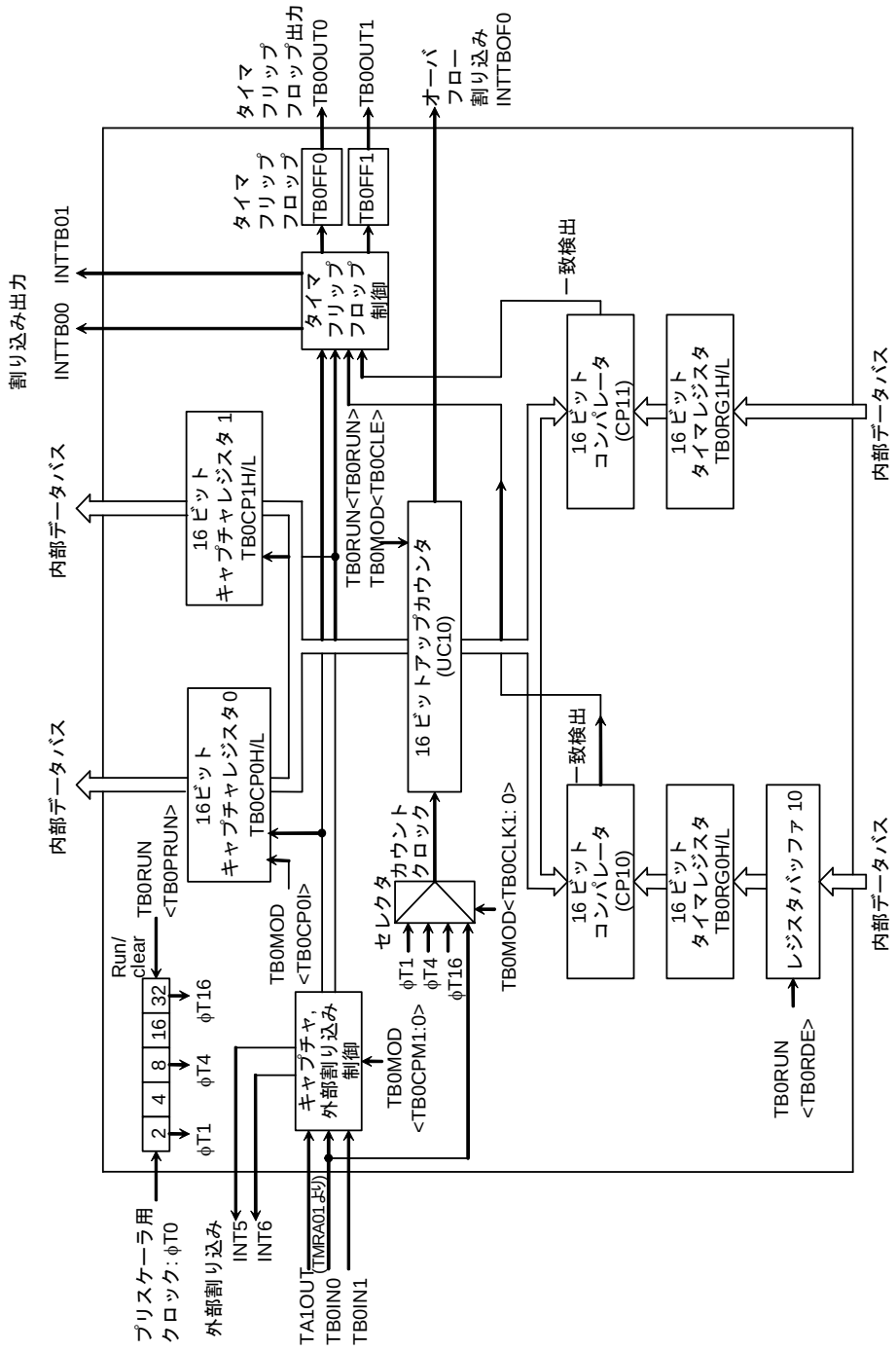


図 3.9.1 TMRB0 ブロック図

Downloaded from Elcodis.com electronic components distributor

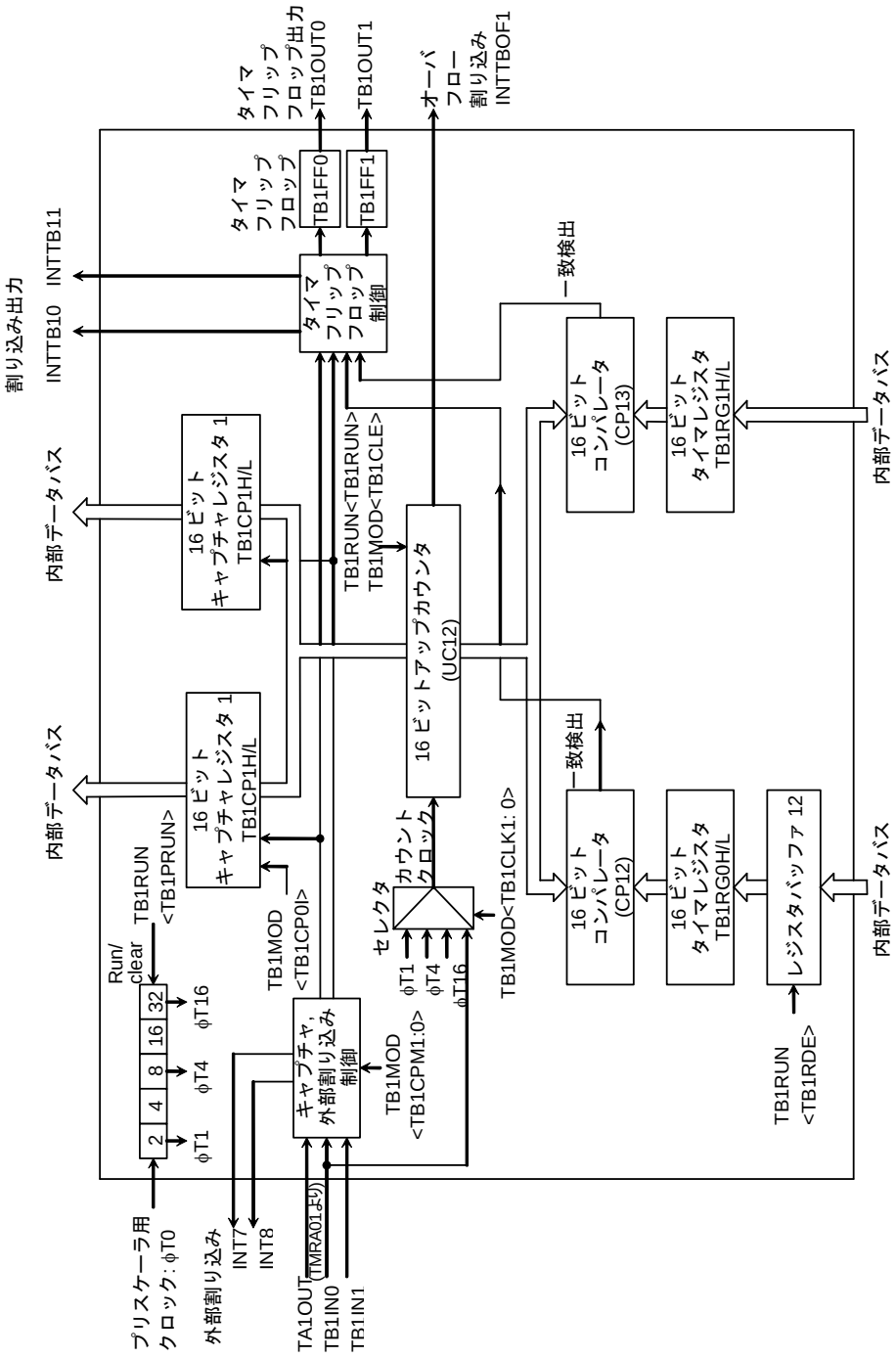


図 3.9.2 TMRB1 ブロック図

Downloaded from Elcodis.com electronic components distributor

3.9.2 回路別の動作説明

(1) プリスケーラ

TMRB0 のクロックソースを得るため、5 ビットプリスケーラがあります。プリスケーラへの入力クロックφT0 はクロックギア部の SYSCR0<PRCK1:0>にて選択したクロックを 4 分周したクロックです。

プリスケーラはTB0RUN<TB0PRUN>により制御されます。“1”に設定するとカウントを開始し、“0” に設定とクリアされ停止します。プリスケーラ出力クロックの分解能を 表 3.9.2に示します。

表 3.9.2 プリスケーラ出力クロック分解能

システムクロック選択 SYSCR1 <SYSCK>	プリスケーラ用クロック選択 SYSCR0 <PRCK1:0>	クロックギア選択 SYSCR1 <GEAR2:0>	–	タイマカウンタ入力クロック TMRB 部プリスケーラ TBxMOD<TBxCLK1:0>		
				φT1(1/2)	φT4(1/8)	φT16(1/32)
1 (fs)	00 (f_{FPH})	–	1/4	fs/8	fs/32	fs/128
0 (fc)		000(1/1)		fc/8	fc/32	fc/128
		001(1/2)		fc/16	fc/64	fc/256
		010(1/4)		fc/32	fc/128	fc/512
		011(1/8)		fc/64	fc/256	fc/1024
		100(1/16)		fc/128	fc/512	fc/2048
	10 (fc/16 クロック)	–		fc/128	fc/512	fc/2048

(2) アップカウンタ (UC10)

TB0MOD<TB0CLK1:0>で指定された入力クロックによって、カウントアップする 16 ビットのバイナリカウンタです。

UC10 の入力クロックは、3 種類のプリスケーラ出力クロックφT1, φT4, φT16、または、TB0IN0 端子から入力されるクロックのいずれかを選択できます。

UC10 は、TB0RUN<TB0RUN>によってカウントの開始および停止&クリアを設定します。

UC10 は、タイマレジスタ TB0RG1H/L と一致すると、クリアイネーブルであれば、0 にクリアされます。クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。このクリアイネーブル/ディセーブルは、TB0MOD<TB0CLE>で設定します。

また、UC10 のオーバフローが発生した場合、オーバフロー割り込み INTTBOF0 が発生します。

Downloaded from Elcodis.com electronic components distributor

(3) タイマレジスタ (TB0RG0H/L, TB0RG1H/L)

カウンタ値を設定する 16 ビットレジスタで、2 本ずつ内蔵されています。このタイマレジスタへの設定値と、アップカウンタ UC10 の値とが一致すると、コンパレータの一致検出信号がアクティブになります。

タイマレジスタ TB0RG0H/L, TB0RG1H/L へのデータ設定は、上位と下位の 2 バイトのデータ設定が必ず必要です。2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に行います。

このタイマレジスタは、TB0RG0H/L がダブルバッファ構成になっており、レジスタバッファ 10 とペアになっています。TB0RG0H/L は TB0RUN<TB0RDE> によってダブルバッファのイネーブル/ディセーブルを制御します。<TB0RDE> = “0” のときディセーブル、 <TB0RDE> = “1” のときイネーブルとなります。

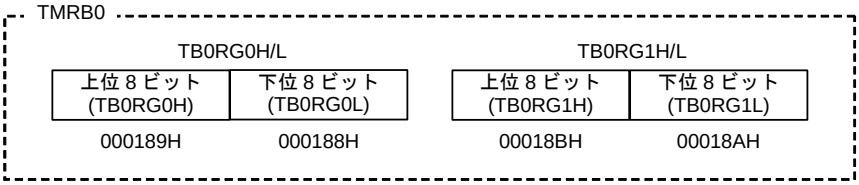
ダブルバッファイネーブル時、レジスタバッファ 10 からタイマレジスタ TB0RG0H/L へのデータ転送は、UC10 と TB0RG1H/L との一致時に行われます。

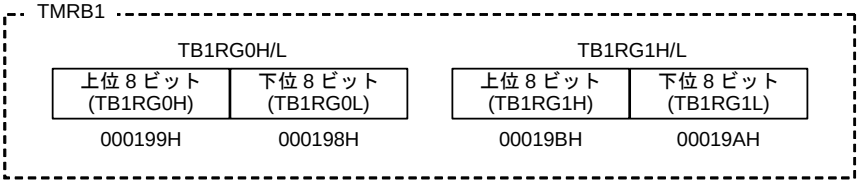
リセット後は、TB0RG0H/L, TB0RG1H/L は不定のため 16 ビットタイマを使用する場合は、あらかじめデータをライトする必要があります。

リセット後は、TB0RUN<TB0RDE> = “0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータをライトし <TB0RDE> = “1” に設定した後、レジスタバッファ 10 へ次のデータをライトしてください。

TB0RG0H/L とレジスタバッファ 10 は、同じアドレス 0188H/0189H に割り付けられています。<TB0RDE> = “0” のときは、TB0RG0H/L とレジスタバッファ 10 に同じ値がライトされ、<TB0RDE> = “1” のときは、レジスタバッファ 10 にのみライトされます。タイマレジスタに初期値をライトするときには、<TB0RDE> = “0”に設定しダブルバッファをディセーブルにしておく必要があります。

各タイマレジスタのアドレスは次のとおりです。





TB0RG0H/L ~TB1RG1H/L はライト専用レジスタのため、リードすることはできません。
リードモディファイライトはできません。

Downloaded from Elcodis.com electronic components distributor

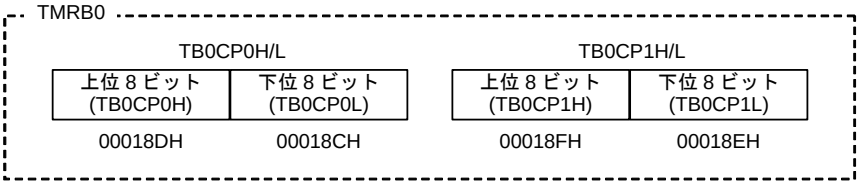
(4) キャプチャレジスタ (TB0CP0H/L, TB0CP1H/L)

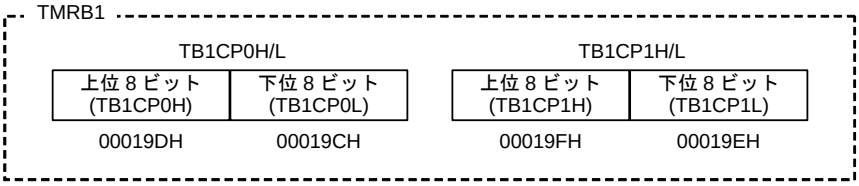
アップカウンタ UC10 の値をラッチする 16 ビットのレジスタです。

このキャプチャレジスタの値は必ず上位と下位の 2 バイトのデータリードが必要です。

キャプチャレジスタをリードする場合は、2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順にリードしてください。

各キャプチャレジスタのアドレスは次のとおりです。





TB0CP0H/L ~TB1CP1H/L はリード専用レジスタです。プログラムによるライトはできません。

(5) キャプチャ、外部割り込み制御

アップカウンタ UC10 の値を、キャプチャレジスタ TB0CP0H/L, TB0CP1H/L にラッチするタイミングと、外部割り込みの発生を制御します。

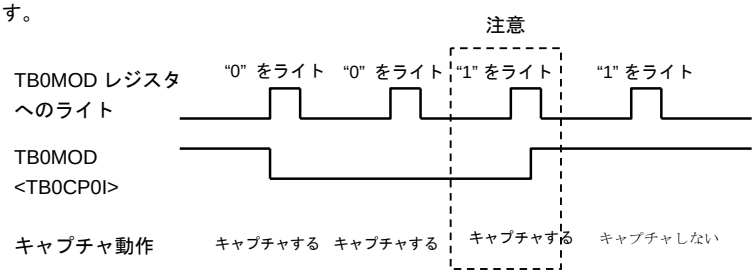
キャプチャレジスタのラッチタイミング、外部割り込み INT5 のエッジ選択は、TB0MOD<TB0CPM1:0>で設定します。

なお、外部割り込み INT6 は、立ち上がりエッジに固定されています。

また、ソフトウエアによってもアップカウンタ UC10 の値をキャプチャレジスタへ取り込むことができ、TB0MOD<TB0CP0I>に “0” を設定するたびに、その時点の UC10 の値をキャプチャレジスタ TB0CP0H/L へキャプチャします。

キャプチャ/割り込み制御は、プリスケーラを RUN 状態 (TB0RUN<TB0PRUN> = “1”) にしておく必要があります。

注) TB0MOD<TB0CP0I>へ “0” を設定するたびに、アップカウンタの現在の値がキャプチャレジスタ TB0CP0H/L へ取り込まれますが、TB0MOD<TB0CP0I>へ “0” が設定されてれている状態から TB0MOD<TB0CP0I>へ “1” を設定しても、アップカウンタの現在の値がキャプチャレジスタ TB0CP0H/L へ取り込まれますので注意が必要です。



Downloaded from Elcodis.com electronic components distributor

(6) コンパレータ (CP10, CP11)

アップカウンタ UC10 と、タイマレジスタ TB0RG0H/L, TB0RG1H/L への設定値とを比較し、一致を検出する 16 ビットコンパレータです。

一致すると、それぞれ割り込み INTTB00, INTTB01 を発生します。

(7) タイマフリップフロップ (TB0FF0, TB0FF1)

タイマフリップフロップ (TB0FF0, TB0FF1) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。TB0FF0 の制御は、TB0FFCR< TB0C1T1, TB0C0T1, TB0E1T1, TB0E0T1>によって設定できます。

また、TB0FF1 の制御は TB0MOD<TB0CT1:TB0ET1>によって設定できます。

リセット後、TB0FF0, TB0FF1 の値は不定となります。TB0FFCR<TB0FF0C1:0>, <TB0FF1C1:0>に “00” を設定することで反転、“01” を設定することで “1” にセット、“10” を設定することで “0” にクリアすることができます。

TB0FF0, TB0FF1 の値は、タイマ出力端子 TB0OUT0 端子 (P82 と兼用)、TB0OUT1 端子 (P83 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート 8 関連レジスタ P8CR, P8FC により、設定を行う必要があります。

Downloaded from Elcodis.com electronic components distributor

3.9.3 SFR説明

TMRB0 RUN レジスタ

TB0RUN (0180H)

	7	6	5	4	3	2	1	0
Bit symbol	TB0RDE	–			I2TB0	TB0PRUN		TB0RUN
Read/Write	R/W				R/W			R/W
リセット後	0	0			0	0		0
機能	ダブルバッファ 0: 禁止 1: 許可	“0” をライトしてください。			IDLE2 モード時 0: 停止 1: 動作	TMRB0 プリスケーラ 0: 停止 & クリア 1: 動作(カウントアップ)		アップカウンタ (UC10)

カウント動作

0	停止 & クリア
1	カウント

注) TB0RUN のビット 1, 4, 5 は、リードすると不定値がリードされます。

TMRB1 RUN レジスタ

TB1RUN (0190H)

	7	6	5	4	3	2	1	0
Bit symbol	TB1RDE	–			I2TB1	TB1PRUN		TB1RUN
Read/Write	R/W				R/W			R/W
リセット後	0	0			0	0		0
機能	ダブルバッファ 0: 禁止 1: 許可	“0” をライトしてください。			IDLE2 モード時 0: 停止 1: 動作	TMRB1 プリスケーラ 0: 停止 & クリア 1: 動作(カウント)		アップカウンタ (UC12)

カウント動作

0	停止 & クリア
1	カウント

注) TB1RUN のビット 1, 4, 5 は、リードすると不定値がリードされます。

図 3.9.3 TMRB レジスタ

Downloaded from Elcodis.com electronic components distributor

TMRB0 モードレジスタ

		7	6	5	4	3	2	1	0
TB0MOD (0182H)	Bit symbol	TB0CT1	TB0ET1	TB0CP0I	TB0CPM1	TB0CPM0	TB0CLE	TB0CLK1	TB0CLK0
	Read/Write	R/W		W*	R/W				
	リセット後	0	0	1	0	0	0	0	0
リード モディファイ ライト できません	機能	TB0FF1 反転トリガ 0:トリガ禁止 1:トリガ許可 UC10 値を TB0CP1H/L へキャプチャする時	UC10 と TB0RG1H/L との一致時	ソフトウエア キャプチャ 制御 0:ソフトウエア キャプチャ 1:不定 *リードすると常に"1"になります。	キャプチャタイミング 00: ディセーブル INT5 は立ち上がりエッジ 01: TB0IN0↑ TB0IN1↑ INT5 は立ち上がりエッジ 10: TB0IN0↑ TB0IN0↓ INT5 は立ち下がりエッジ 11: TA1OUT↑ TA1OUT↓ INT5 は立ち上がりエッジ		アップ カウンタの クリア制御 0:禁止 1:許可	入力クロック選択 00: TB0IN0 端子入力 01: φT1 10: φT4 11: φT16	

入力クロック

00	外部入力クロック (TB0IN0 端子入力)
01	φT1
10	φT4
11	φT16

アップカウンタ (UC10) のクリア

0	アップカウンタのクリア禁止
1	TB0RG1H/L との一致でクリア

キャプチャ/割り込みタイミング

	キャプチャ制御	INT5 制御
00	キャプチャ禁止	TB0IN0 の立ち上がりで INT5 発生
01	TB0IN0 の立ち上がりで TB0CP0H/L へキャプチャ TB0IN1 の立ち上がりで TB0CP1H/L へキャプチャ	
10	TB0IN0 の立ち上がりで TB0CP0H/L へキャプチャ TB0IN0 の立ち下がりで TB0CP1H/L へキャプチャ	TB0IN0 の立ち下がりで INT5 発生
11	TA1OUT の立ち上がりで TB0CP0H/L へキャプチャ TA1OUT の立ち下がりで TB0CP1H/L へキャプチャ	TB0IN0 の立ち上がりで INT5 発生

ソフトウエアキャプチャ

0	TB0CP0 へアップカウンタの値を取り込みます。
1	不定 注)

注) TB0MOD<TB0CP0I>へ "0" を設定するたびに、アップカウンタの現在の値がキャプチャレジスタ TB0CP0H/L へ取り込まれますが、TB0MOD<TB0CP0I>へ "0" が設定されている状態から TB0MOD<TB0CP0I>へ "1" を設定しても、アップカウンタの現在の値がキャプチャレジスタ TB0CP0H/L へ取り込まれますので注意が必要です。

図 3.9.4 TMRB レジスタ

Downloaded from Elcodis.com electronic components distributor

TMRB1 モードレジスタ

		7	6	5	4	3	2	1	0
TB1MOD (0192H)	Bit symbol	TB1CT1	TB1ET1	TB1CP0I	TB1CPM1	TB1CPM0	TB1CLE	TB1CLK1	TB1CLK0
	Read/Write	R/W		W*	R/W				
	リセット後	0	0	1	0	0	0	0	0
リード モディファイ ライト できません	機能	TB1FF1 反転トリガ 0: トリガ禁止 1: トリガ許可 UC12 値を TB1CP1H/L へキャプチャする時	UC12 と TB1RG1H/L との一致時	ソフトウエア キャプチャ 制御 0: ソフトウエア キャプチャ 1: 不定 *リードすると常に"1"になります。	キャプチャタイミング 00: ディセーブル INT7 は立ち上がりエッジ 01: TB1N0↑ TB1IN1↑ INT7 は立ち上がりエッジ 10: TB1IN0↑ TB1IN0↓ INT7 は立ち下がりエッジ 11: TA1OUT↑ TA1OUT↓ INT7 は立ち上がりエッジ		アップ カウンタの クリア制御 0:禁止 1: 許可	入力クロック選択 00: TB1IN0 端子入力 01: φT1 10: φT4 11: φT16	

入力クロック

00	外部入力クロック (TB1IN0 端子入力)
01	φT1
10	φT4
11	φT16

アップカウンタ (UC12) のクリア

0	アップカウンタのクリア禁止
1	TB1RG1H/L との一致でクリア

キャプチャ/割り込みタイミング

	キャプチャ制御	INT7 制御
00	キャプチャ禁止	TB1IN0 の立ち上がりで INT7 発生
01	TB1IN0 の立ち上がりで TB1CP0H/L へキャプチャ TB1IN1 の立ち上がりで TB1CP1H/L へキャプチャ	
10	TB1IN0 の立ち上がりで TB1CP0H/L へキャプチャ TB1IN0 の立ち下がりで TB1CP1H/L へキャプチャ	TB1IN0 の立ち下がりで INT7 発生
11	TA1OUT の立ち上がりで TB1CP0H/L へキャプチャ TA1OUT の立ち下がりで TB1CP1H/L へキャプチャ	TB1IN0 の立ち上がりで INT7 発生

ソフトウエア キャプチャ

0	TB1CP0 へアップカウンタの値を取り込みます。
1	不定 注)

注) TB1MOD<TB1CP0I>へ "0" を設定するたびに、アップカウンタの現在の値がキャプチャレジスタ TB1CP0H/L へ取り込まれますが、TB1MOD<TB1CP0I> へ "0" が設定されている状態から TB1MOD<TB1CP0I>へ "1" を設定しても、アップカウンタの現在の値がキャプチャレジスタ TB1CP0H/L へ取り込まれますので注意が必要です。

図 3.9.5 TMRB レジスタ

Downloaded from Elcodis.com electronic components distributor

TMRB0 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TB0FFCR (0183H)	Bit symbol	TB0FF1C1	TB0FF1C0	TB0C1T1	TB0C0T1	TB0E1T1	TB0E0T1	TB0FF0C1	TB0FF0C0
	Read/Write	W*		R/W				W*	
	リセット後	1	1	0	0	0	0	1	1
リード モディファイ ライト できません	機能	TB0FF1 の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に "11" になります。		TB0FF0 反転制御 0: 反転禁止 1: 反転許可				TB0FF0 の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に "11" になります。	
				TB0CP1H/L への UC10 値をキャプチャする時	TB0CP0H/L への UC10 値をキャプチャする時	UC10 と TB0RG1H/L との一致時	UC10 と TB0RG0H/L との一致時		

タイマフリップフロップ (TB0FF0) の制御

00	TB0FF0 の値を反転します。(ソフト反転)
01	TB0FF0 を "1" にセットします
10	TB0FF0 を "0" にクリアします
11	Don't care

UC10 と TB0RG0H/L との一致時
タイマフリップフロップ (TB0FF0) の反転制御

0	反転禁止
1	反転許可

UC10 と TB0RG1H/L との一致時
タイマフリップフロップ (TB0FF0) の反転制御

0	反転禁止
1	反転許可

TB0CP0H/L へ UC10 値をキャプチャした時
タイマフリップフロップ (TB0FF0) の反転制御

0	反転禁止
1	反転許可

TB0CP1H/L へ UC10 値キャプチャ時
タイマフリップフロップ (TB0FF0) の反転制御

0	反転禁止
1	反転許可

図 3.9.6 TMRB レジスタ

Downloaded from Elcodis.com electronic components distributor

TMRB1 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TB1FFCR (0193H)	Bit symbol	TB1FF1C1	TB1FF1C0	TB1C1T1	TB1C0T1	TB1E1T1	TB1E0T1	TB1FF0C1	TB1FF0C0
	Read/Write	W*		R/W				W*	
	リセット後	1	1	0	0	0	0	1	1
リード モディファイ ライト できません	機能	TB1FF1 の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に "11" になります。		TB1FF0 反転制御 0: 反転禁止 1: 反転許可				TB1FF0 の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に "11" になります。	
				TB1CP1H/L へ UC12 値をキャプチャする時	TB1CP0H/L へ UC12 値をキャプチャする時	UC12 と TB1RG1H/L との一致時	UC12 と TB1RG0H/L との一致時		

タイマフリップフロップ (TB1FF0) の制御

00	TB1FF0 の値を反転します。(ソフト反転)
01	TB1FF0 を "1" にセットします
10	TB1FF0 を "0" にクリアします
11	Don't care

UC12 と TB1RG0H/L との一致時
タイマフリップフロップ (TB1FF0) の反転制御

0	反転禁止
1	反転許可

UC12 と TB1RG1H/L との一致時
タイマフリップフロップ (TB1FF0) の反転制御

0	反転禁止
1	反転許可

TB1CP0 へのアップカウンタ値取り込み時
タイマフリップフロップ (TB1FF0) の反転トリガ

0	反転禁止
1	反転許可

TB1CP1 へ UC12 値をキャプチャした時
タイマフリップフロップ (TB1FF0) の反転制御

0	反転禁止
1	反転許可

図 3.9.7 TMRB レジスタ

Downloaded from Elcodis.com electronic components distributor

タイマレジスタ

		7	6	5	4	3	2	1	0
TB0RG0L (0188H)	bit Symbol	−							
	Read/Write	W							
	リセット後	不定							
TB0RG0H (0189H)	bit Symbol	−							
	Read/Write	W							
	リセット後	不定							
TB0RG1L (018AH)	bit Symbol	−							
	Read/Write	W							
	リセット後	不定							
TB0RG1H (018BH)	bit Symbol	−							
	Read/Write	W							
	リセット後	不定							
TB1RG0L (0198H)	bit Symbol	−							
	Read/Write	W							
	リセット後	不定							
TB1RG0H (0199H)	bit Symbol	−							
	Read/Write	W							
	リセット後	不定							
TB1RG1L (019AH)	bit Symbol	−							
	Read/Write	W							
	リセット後	不定							
TB1RG1H (019BH)	bit Symbol	−							
	Read/Write	W							
	リセット後	不定							

注)上記レジスタは、リードモディファイライトは禁止です。

図 3.9.8 TMRB レジスタ

Downloaded from Elcodis.com electronic components distributor

3.9.4 モード別動作説明

(1) 16 ビットインタバルタイマモード

一定周期の割り込みを発生させる場合

タイマレジスタ TB0RG1H/L にインタバル時間を設定し、INTTB01 割り込みを発生します。

		7	6	5	4	3	2	1	0	
TB0RUN	←	–	0	X	X	–	–	X	0	TMRB0 を停止します。
INTETB0	←	X	1	0	0	X	0	0	0	INTTB01 をイネーブル (レベル 4) に、INTTB00 をディセーブルします。
TB0FFCR	←	1	1	0	0	0	0	1	1	トリガディセーブルにします。
TB0MOD	←	0	0	1	0	0	1	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能をディセーブルにします。
						(** = 01, 10, 11)				
TB0RG1	←	*	*	*	*	*	*	*	*	インタバル時間を設定します。
		*	*	*	*	*	*	*	*	(16 ビット)
TB0RUN	←	–	0	X	X	–	1	X	1	TMRB0 を起動します。

X: Don't care、–: No change

(2) 16 ビットイベントカウンタモード

入力クロックを外部クロック (TB0IN0 端子入力) にすることでイベントカウンタにすることができます。

アップカウンタは TB0IN0 端子入力の立ち上がりエッジでカウントアップします。ソフトウエアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

		7	6	5	4	3	2	1	0	
TB0RUN	←	–	0	X	X	–	–	X	0	TMRB0 を停止します。
P8CR	←	–	–	–	–	–	–	–	0	P80 を TB0IN0 入力モードに設定します。
P8FC	←	–	–	–	–	–	–	–	1	
INTETB0	←	X	1	0	0	X	0	0	0	INTTB01 をイネーブル (レベル 4) に、INTTB00 をディセーブルにします。
TB0FFCR	←	1	1	0	0	0	0	1	1	トリガディセーブルにします。
TB0MOD	←	0	0	1	0	0	1	0	0	入力クロックを TB0IN0 端子入力にします。
TB0RG1	←	*	*	*	*	*	*	*	*	インタバル時間を設定します。
		*	*	*	*	*	*	*	*	(16 ビット)
TB0RUN	←	–	0	X	X	–	1	X	1	TMRB0 を起動します。

X: Don't care、–: No change

イベントカウンタとして使用する場合も、プリスケーラは “RUN” にしてください (TB0RUN <TB0PRUN> = “1”)。

Downloaded from Elcodis.com electronic components distributor

(3) 16 ビット PPG (プログラマブル矩形波) 出力モード

任意周波数、任意デューティの矩形波 (プログラマブル矩形波)を出力することができます。出力パルスは、Low アクティブ、High アクティブどちらでも可能です。

アップカウンタ UC10 とタイマレジスタ TB0RG0H/L, TB0RG1H/L への設定値との一致によりタイマフリップフロップ TB0FF0 の反転トリガをかけることで、プログラマブル矩形波を TB0OUT0 端子より出力することができます。ただし、TB0RG0H/L と TB0RG1H/L の設定値は次の条件を満たす必要があります。

(TB0RG0H/L への設定値) < (TB0RG1H/L への設定値)

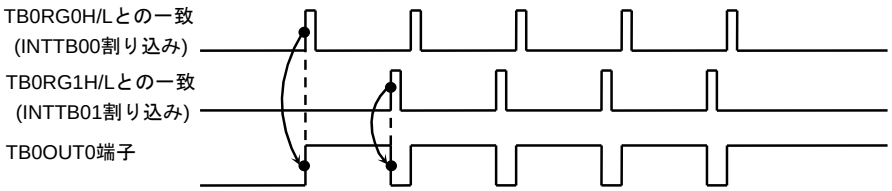


図 3.9.9 プログラマブル矩形波(PPG)出力波形例

このモードでは、TB0RG0H/L のダブルバッファをイネーブルにすることにより、TB0RG1H/L との一致で、レジスタバッファ 0 の値が TB0RG0H/L へシフトインされます。これにより、小さいデューティ(デューティを変化させるとき)への対応が容易に行えます。

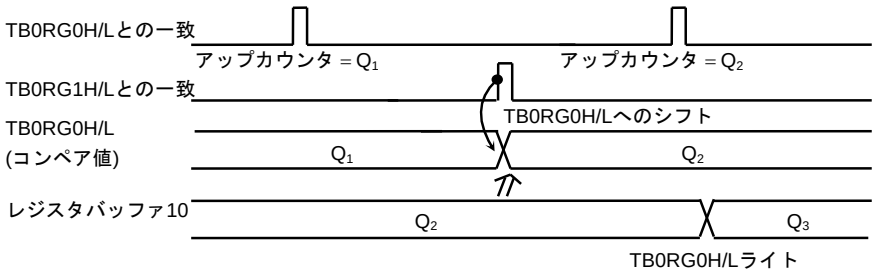


図 3.9.10 ダブルバッファの動作

Downloaded from Elcodis.com electronic components distributor

このモードのブロック図を示します。

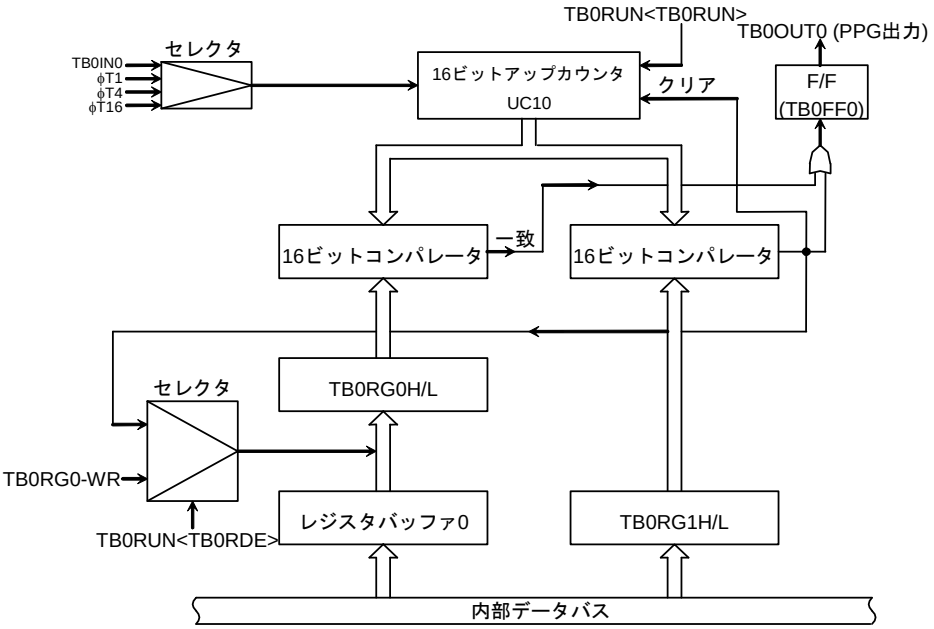


図 3.9.11 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

		7	6	5	4	3	2	1	0	
TB0RUN	←	0	0	X	X	–	–	X	0	TB0RG0H/L のダブルバッファディセーブルおよび TMRB0 を停止します。
TB0RG0	←	*	*	*	*	*	*	*	*	デューティを設定します。
		*	*	*	*	*	*	*	*	(16 ビット)
TB0RG1	←	*	*	*	*	*	*	*	*	周期を設定します。
		*	*	*	*	*	*	*	*	(16 ビット)
TB0RUN	←	1	0	X	X	–	0	X	0	TB0RG0H/L のダブルバッファイネーブルにします。(INTTB01 割り込みでデューティ/周期の変更)
TB0FFCR	←	X	X	0	0	1	1	1	0	TB0FF0 を TB0RG0H/L、TB0RG1H/L との一致検出で反転する ように設定します。また TB0FF0 の初期値を “0” にします。
TB0MOD	←	0	0	1	0	0	1	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能ディセーブルにします。 (** = 01, 10, 11)
P8CR	←	–	–	–	–	–	1	–	–	P82 を TB0OUT0 に割り付けます。
P8FC	←	–	–	X	X	–	1	X	X	
TB0RUN	←	1	0	X	X	–	1	X	1	TMRB0 を起動します。

X: Don't care、–: No change

Downloaded from Elcodis.com electronic components distributor

(4) キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより次に示す例をはじめ、多くの応用が可能です。

1. 外部トリガパルスからのワンショットパルス出力
2. 周波数測定
3. パルス幅測定
4. 時間差測定

1. 外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16 ビットアップカウンタ UC10 をプリスケーラ出力クロックを用いてフリーランニングでカウントアップさせておきます。TB0IN0 端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ TB0CP0H/L に取り込みます。

外部トリガパルスの立ち上がり時、割り込み INT5 が発生します。この割り込みで、タイマレジスタ TB0RG0H/L には、TB0CP0H/L の値 (c) とディレイタイム (d) を加算した値 (c + d) を設定します。タイマレジスタ TB0RG1H/L には、TB0RG0H/L の値とワンショットパルスのパルス幅 (p) を加算した値 (c + d + p) を設定します。

さらに、タイマフリップフロップコントロールレジスタ TB0FFCR<TB0E1T1, TB0E0T1> に “11” を設定し、UC10 と TB0RG0H/L との一致および TB0RG1H/L との一致により、タイマフリップフロップ TB0FF0 が反転するようにトリガイネーブルにします。ワンショットパルス出力後、INTTB01 の割り込み処理により、これをディセーブルに戻します。

なお、文中の (c)、(d)、(p) は、図 3.9.12「外部トリガパルスからのワンショットパルス出力 (ディレイあり)」のc、d、p と対応しています。

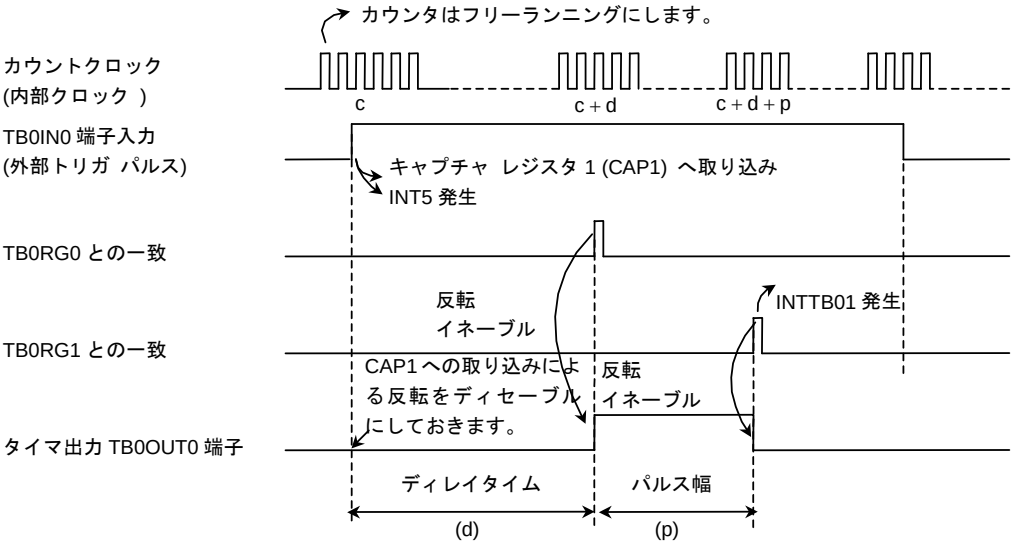


図 3.9.12 外部トリガパルスからのワンショットパルス出力 (ディレイあり)

Downloaded from Elcodis.com electronic components distributor

設定例: TB0IN0 端子からの外部トリガパルスに対して、3 ms ディレイで 2 ms のワンショットパルスを出力する場合

*クロック条件

システムクロック: 高速 (fc)
クロックギア: 1 倍 (fc)
プリスケーラクロック: f_{FPH}

メインでの設定

TB0MOD	←	X	X	1	0	1	0	0	1	フリーランニングにします。 φT1 でカウントさせます。 TB0IN0 入力の立ち上がりで TB0CP0H/L へ取り込みます。
TB0FFCR	←	X	X	0	0	0	0	1	0	TB0FF0 を 0 にクリアします。 TB0FF0 の反転をディセーブルにします。
P8CR	←	–	–	–	–	–	1	–	–	P82 端子を TB0OUT0 に割り付けます。
P8FC	←	–	–	X	X	–	1	X	X	
INTE56	←	X	–	–	–	X	1	0	0	INT5 をイネーブルにします。
INTETB0	←	X	0	0	0	X	0	0	0	INTTB00、INTTB01 をディセーブルにします。
TB0RUN	←	–	0	X	X	–	1	X	1	TMRB0 を起動します。

INT5 ルーチンでの設定

TB0RG0	←	TB0CP0 + 3ms/φT1								
TB0RG1	←	TB0RG0 + 2ms/φT1								
TB0FFCR	←	X	X	–	–	1	1	–	–	TB0RG0H/L, TB0RG1H/L1 との一致による TB0FF0 の反転をイネーブルにします。
INTETB0	←	X	1	0	0	X	–	–	–	INTTB01 をイネーブルにします。

INTTB01 での設定

TB0FFCR	←	X	X	–	–	0	0	–	–	TB0RG0H/L, TB0RG1H/L1 との一致による TB0FF0 の反転をディセーブルにします。
INTETB0	←	X	0	0	0	X	–	–	–	INTTB01 をディセーブルにします。

X: Don't care、–: No change

ディレイが不要な場合、TB0CP0H/L への取り込みによって TB0FF0 を反転させ、割り込み INT5 で TB0CP0H/L の値 (c) にワンショットパルスの幅 (p) を加算した値 (c + p) を TB0RG1H/L に設定します。TB0FF0 は、TB0RG1H/L と UC10 の一致によって反転するように、反転イネーブルを選択します。また、INTTB01 割り込みでこれをディセーブルに戻します。

Downloaded from Elcodis.com electronic components distributor

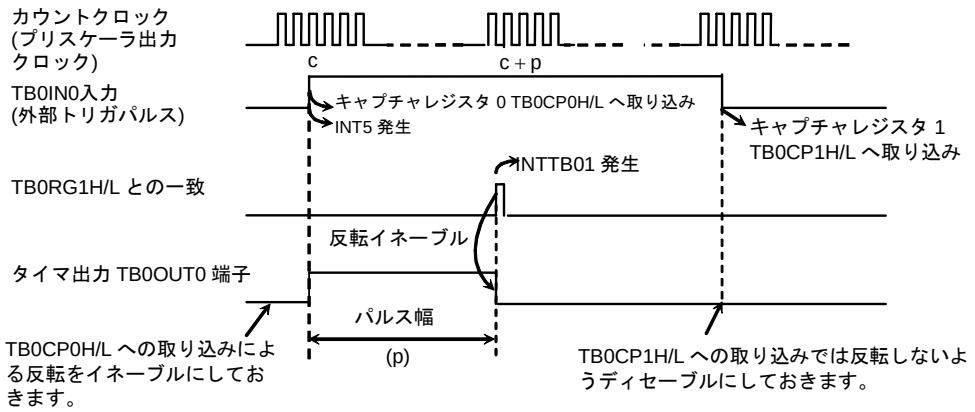


図 3.9.13 ワンショットパルス出力 (ディレイなし)

2. 周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、16 ビットイベントカウンタモードと 8 ビットタイマ (TMRA01) を組み合せて行います (TMRA01 は、TA1FF を反転させることで測定時間の設定に用います)。

TMRB0 のカウントクロックは TB0IN0 端子入力を選択し、外部クロック入力によるカウント動作を行います。TB0MOD<TB0CPM1:0> には “11” を設定します。この設定により、8 ビットタイマ (TMRA01) のタイマフリップフロップ TA1FF の立ち上がりで、キャプチャレジスタ TB0CP0H/L に 16 ビットアップカウンタ UC10 のカウンタ値を取り込み、8 ビットタイマ (TMRA01) の TA1FF の立ち下がりで、キャプチャレジスタ TB0CP1H/L に UC10 のカウンタ値の取り込みを行います。

周波数は、8 ビットタイマの割り込み INTTA0 または INTTA1 で測定時間を基準にして TB0CP0H/L, TB0CP1H/L の差より求めます。

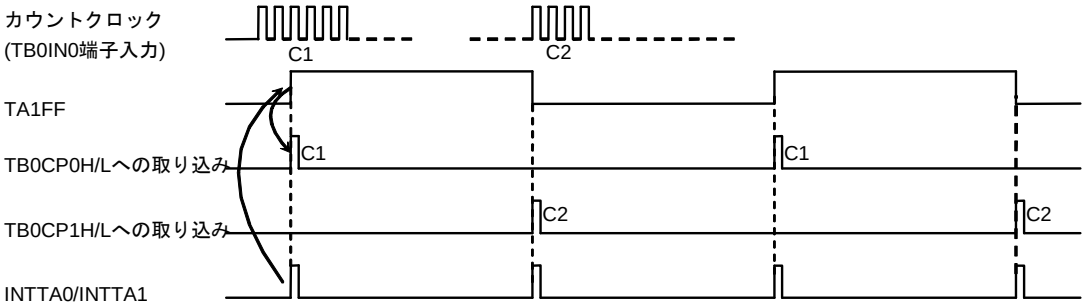


図 3.9.14 周波数測定

例えば、8 ビットタイマによる TA1FF の “1” レベル幅の設定値が 0.5 s で、TB0CP0H/L と TB0CP1H/L の差が 100 であれば、周波数は 100 ÷ 0.5 s = 200 Hz となります。

Downloaded from Elcodis.com electronic components distributor

3. パルス幅測定

キャプチャ機能を用いて、外部パルスの “H” レベル幅を測定することができます。TB0IN0 端子より外部パルスを入力し、アップカウンタ UC10 はプリスケーラ出力クロックを用いてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ TB0CP0H/L, TB0CP1H/L に取り込みます。TB0IN0 端子の立ち下がりにより、INT5 が発生します。

“H” レベルパルス幅は、TB0CP0H/L と TB0CP1H/L の差を求め、その値に内部クロックの周期をかけることにより求めることができます。

例えば TB0CP0H/L と TB0CP1H/L の差が 100 で、プリスケーラ出力クロックの周期が 0.8 μs であれば、パルス幅は、100 × 0.8 μs = 80 μs となります。

なお、クロックソースにより定まる UC10 の最大カウント時間を超えるパルス幅の測定を行う場合は、注意が必要です。この場合は、ソフトウエアによる処理を行ってください。

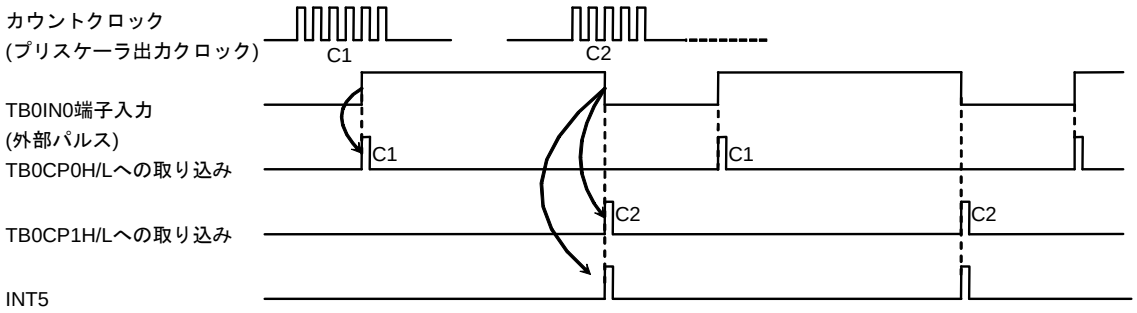


図 3.9.15 パルス幅測定

注) パルス幅測定は、TB0MOD<TB0CPM1:0> に “10” を設定することで行います。外部割り込み INT5 は、TB0IN0 入力の立ち下がりエッジで発生します。その他の設定では、INT5 は TB0IN0 入力の立ち上がりエッジで発生します。

また、外部パルスの “L” レベル幅を測定することもできます。この場合、2 回目の INT5 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケーラ出力クロックの周期をかけることにより求めることができます。

Downloaded from Elcodis.com electronic components distributor

4. 時間差測定

キャプチャ機能を用いて、2 つの事象の時間差を測定することができます。プリスケーラ出力クロックを用いて、アップカウンタ UC0 をフリーランニングでカウントアップさせておきます。TB0IN0 端子の入力パルスの立ち上がりエッジで、UC10 の値をキャプチャレジスタ TB0CP0H/L に取り込みます。このとき、割り込み INT5 が発生します。

TB1IN1 端子の入力パルスの立ち上がりエッジで、UC10 の値をキャプチャレジスタ TB0CP1H/L に取り込みます。このとき、割り込み INT6 が発生します。

時間差は、キャプチャレジスタの値が取り込み終わった時点で、TB0CP1H/L から TB0CP0H/L を引いた値に、内部クロックの周期をかけて求めることができます。

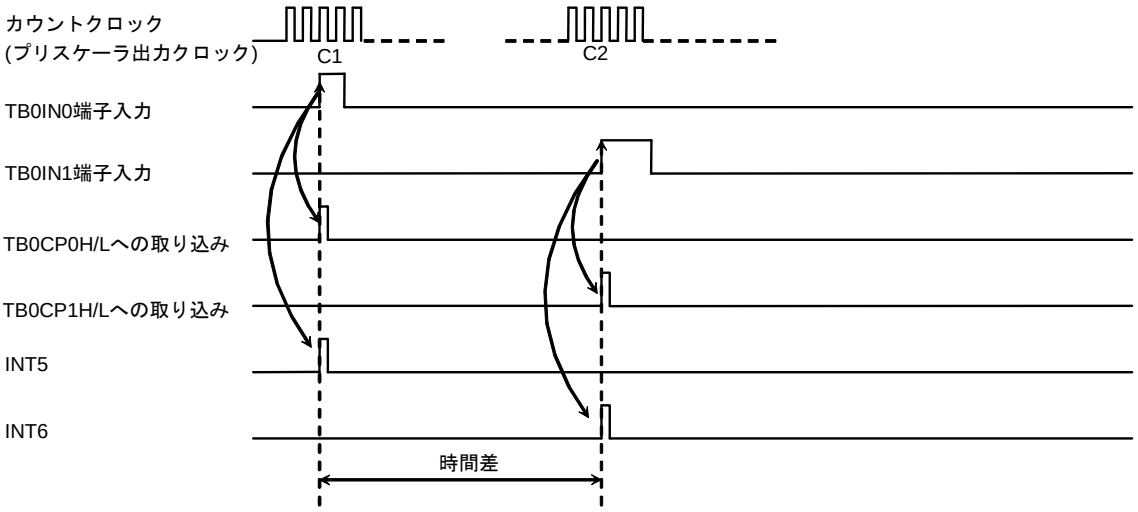


図 3.9.16 時間差測定

Downloaded from Elcodis.com electronic components distributor

3.10 シリアルチャネル (SIO)

シリアル入出力を 2 チャネル内蔵しています。それぞれ SIO0, SIO1 と呼びます。各チャネルは、下記に示すように UART モード (非同期通信) および I/O インタフェースモード (同期通信) を選択できます。

- I/Oインタフェース モード ―― モード0: I/Oを拡張するためのI/Oデータの送受信とその同期信号 (SCLK) の送受信を行うモード
- UART（非同期通信）モード
  - モード1: 送受信データ長 7ビット
  - モード2: 送受信データ長 8ビット
  - モード3: 送受信データ長 9ビット

このうち、モード 1 とモード 2 は、パリティビットの付加が可能で、モード 3 はマスタコントローラがシリアルリンク (マルチコントローラシステム) でスレーブ コントローラを起動させるためのウェイクアップ機能を持っています。

図 3.10.2~図 3.10.3に、SIO0, SIO1 のブロック図を示します。

各チャネルは主に、プリスケーラ, シリアルクロック生成回路, 受信バッファとその制御回路, 送信バッファとその制御回路で構成されています。

各チャネルは、それぞれ独立に動作します。いずれのチャネルも、下記に示す

表 3.10.1の仕様相違点を除いて同一の動作をしますので、SIO0 の場合についてのみ説明します。

表 3.10.1 SIO のチャネル別仕様相違点

	SIO0	SIO1
対応端子	TXD0 (P90) RXD0 (P91) $\overline{CTS0}$ /SCLK0 (P92)	TXD1 (P93) RXD1 (P94) $\overline{CTS1}$ /SCLK1 (P95)
IrDA モード	あり	なし

Downloaded from Elcodis.com electronic components distributor

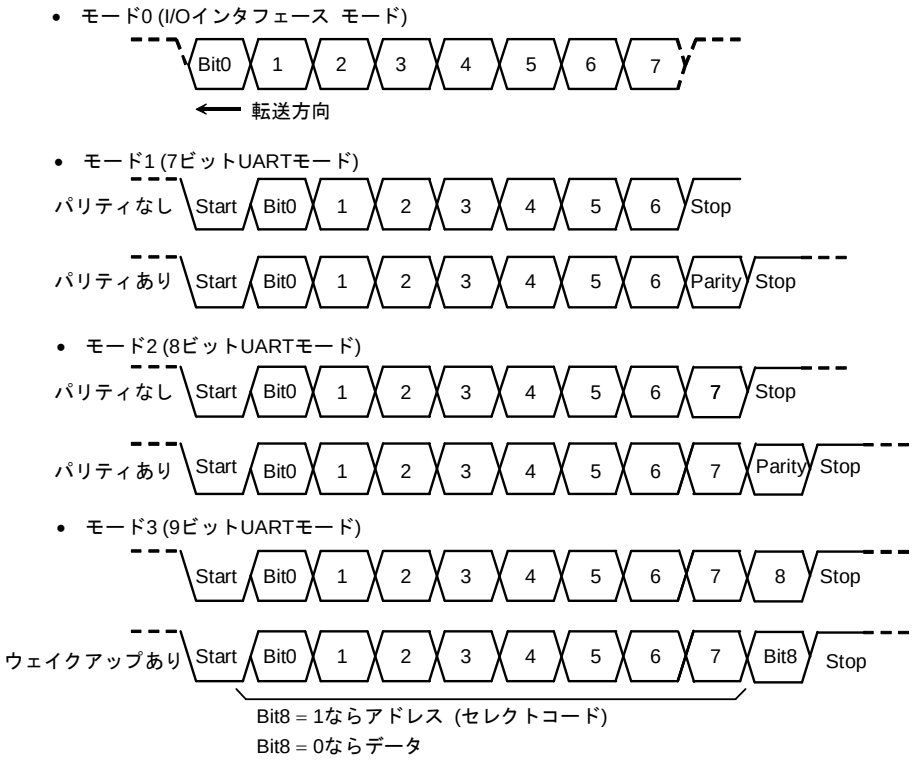


図 3.10.1 データフォーマット

Downloaded from Elcodis.com electronic components distributor

3.10.1 チャネル別のブロック図

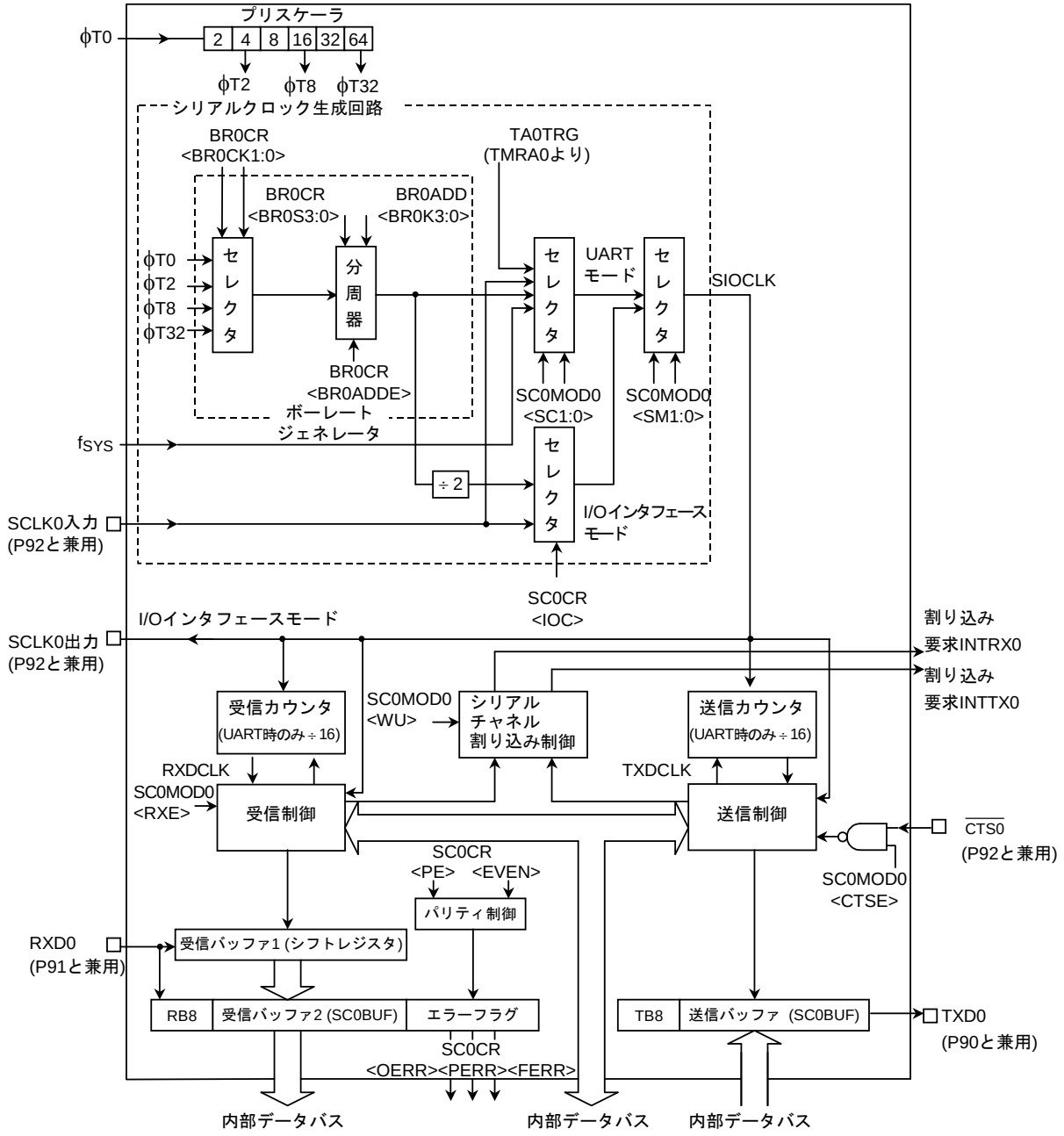


図 3.10.2 SIO0 ブロック図

Downloaded from Elcodis.com electronic components distributor

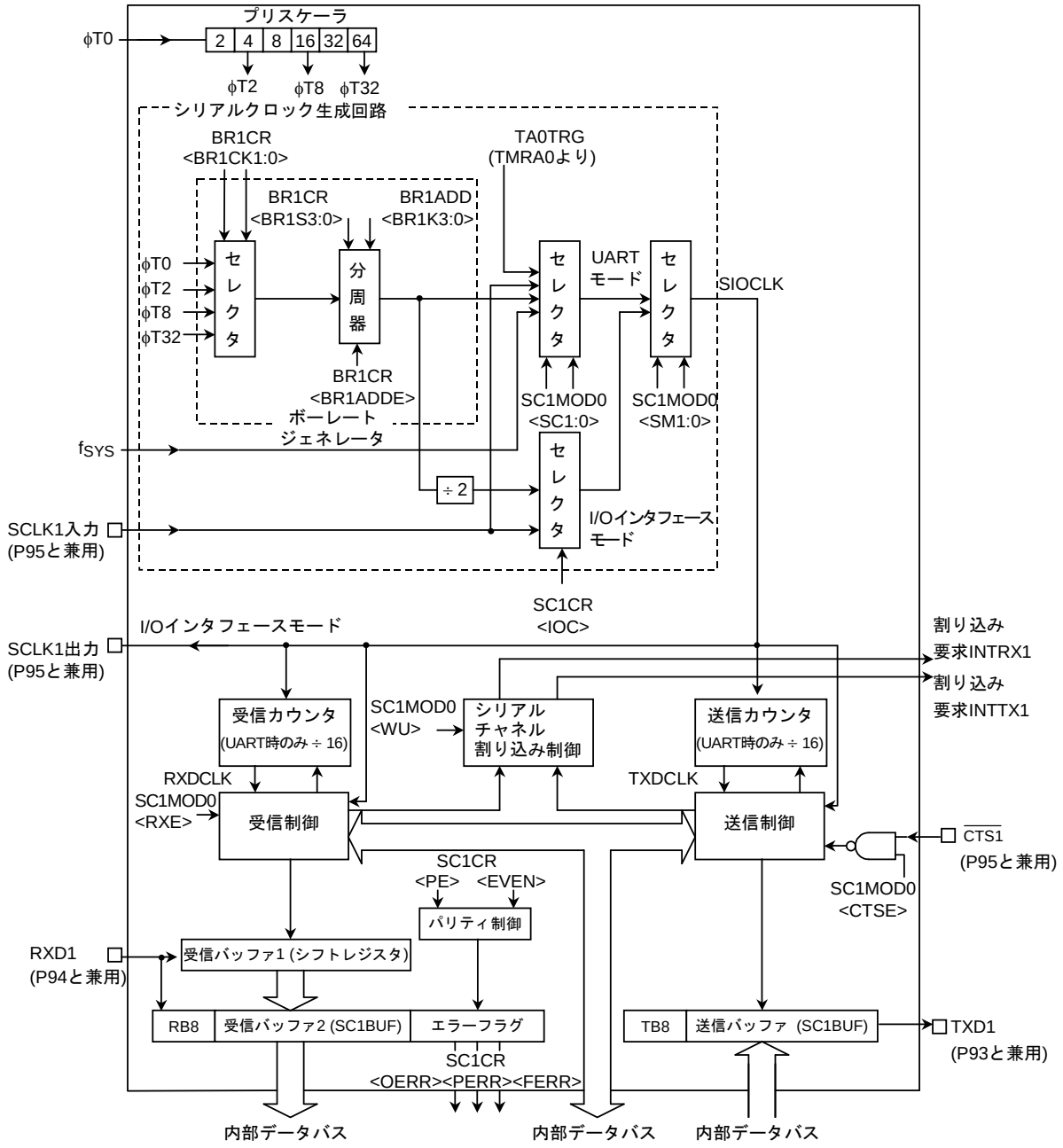


図 3.10.3 SIO1 ブロック図

Downloaded from Elcodis.com electronic components distributor

3.10.2 回路別の動作説明

(1)プリスケーラ

SIO0 の動作クロックを生成するために、6 ビットプリスケーラがあります。プリスケーラの入力クロックϕT0 は、クロックギア部の SYSCR<PRCK1:0> にて選択したクロックを 4 分周したクロックです。

プリスケーラは、シリアル転送クロックに、ボーレートジェネレータを選択した場合にのみ、動作します。プリスケーラ出力クロックの分解能を 表 3.10.2に示します。

表 3.10.2 ボーレートジェネレータへの入力クロック分解能

システムクロック選択 SYSCR1 <SYSCK>	プリスケーラ用クロック選択 SYSCR0 <PRCK1:0>	クロックギア選択 SYSCR1 <GEAR2:0>	–	ボーレートジェネレータ入力クロック SIO 部プリスケーラ BRxCR<BRxCK1:0>			
				ϕT0(1/1)	ϕT2(1/4)	ϕT8(1/16)	ϕT32(1/64)
1 (fs)	00 (f_{FPH})	–	1/4	fs/4	fs/16	fs/64	fs/256
0 (fc)		000(1/1)		fc/4	fc/16	fc/64	fc/256
		001(1/2)		fc/8	fc/32	fc/128	fc/512
		010(1/4)		fc/16	fc/64	fc/256	fc/1024
		011(1/8)		fc/32	fc/128	fc/512	fc/2048
		100(1/16)		fc/64	fc/256	fc/1024	fc/4096
	10 (fc/16 クロック)	–		–	fc/256	fc/1024	fc/4096

シリアルインタフェースボーレートジェネレータには、プリスケーラ出力クロックより ϕT0, ϕT2, ϕT8, ϕT32 の 4 種類のクロックが用いられます。

Downloaded from Elcodis.com electronic components distributor

(2)ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは SIO 部 6 ビットプリスケーラより、φT0, φT2, φT8, φT32 を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタ BR0CR<BR0CK1:0> で設定します。

ボーレートジェネレータは、1、N + (16 – K)/16、16 分周が可能な分周器を内蔵しており、BR0CR<BR0ADDE><BR0S3:0>, BR0ADD<BR0K3:0> の設定に従い、分周を行い転送速度を決定します。

- UART モードの場合

(1) BR0CR<BR0ADDE> = 0 の場合

BR0ADD<BR0K3:0> の設定は無視され、BR0CR<BR0S3:0> に設定された値 "N" に従い N 分周を行います。(N = 1、2、3 … 16)

(2) BR0CR<BR0ADDE> = 1 の場合

N + (16 – K)/16 分周機能がイネーブルになり、BR0CR<BR0S3:0> に設定された値 "N" (N = 2、3 … 15)、BR0ADD<BR0K3:0> に設定された値 "K" に従い、N + (16 – K)/16 分周を行います。(K = 1、2、3 … 15)

注) N = 1 および 16 のときは N + (16 – K)/16 分周機能は禁止となりますので、必ず BR0CR<BR0ADDE> = "0" に設定してください。

- I/O インタフェースモードの場合

I/O インタフェースモード時は N + (16 – K)/16 分周機能は使用できません。必ず BR0CR<BR0ADDE> = "0" に設定して N 分周を行ってください。

次に、ボーレートジェネレータを使用した場合のボーレートの算出方法を示します。

・ UART モード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

・ I/O インタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

Downloaded from Elcodis.com electronic components distributor

- 整数分周 (N 分周) の場合

fc = 12.288 MHz で入力クロックϕT2、分周値 “N” (BR0CR<BR0S3:0>) = 5、BR0CR <BR0ADDE> = “0” の場合の UART モードのボーレートは、

* **クロック条件** { **システムクロック**: **高速** (fc)
高速クロックギア: **1 倍** (fc)
プリスケーラクロック: f_{FPH}

$$\text{ボーレート} = \frac{fc/16}{5} \div 16$$

$= 12.288 \times 10^6 \div 16 \div 5 \div 16 = 9600$ (bps)となります。

注) + (16 – K)/16 分周機能は禁止に設定されるため、BR0ADD<BR0K3:0> の設定は無視されます。

- N + (16 – K)/16 分周 (UART モードのみ) の場合

また、fc = 4.8 MHz で入力クロックϕT0、分周値 “N” (BR0CR<BR0S3:0>) = 7、“K” (BR0ADD<BR0K3:0>) = 3、BR0CR<BR0ADDE> = “1”の場合のボーレートは、

* **クロック条件** { **システムクロック**: **高速** (fc)
高速クロックギア: **1 倍** (fc)
プリスケーラクロック: f_{FPH}

$$\text{ボーレート} = \frac{fc/4}{7 + \frac{(16-3)}{16}} \div 16$$

$= 4.8 \times 10^6 \div 4 \div \left(7 + \frac{13}{16} \right) \div 16 = 9600$ (bps) となります。

表 3.10.3にUARTモードのボーレートの例を示します。

また、外部クロック入力をシリアルクロックに使用することもできます (シリアルチャネル 0~1)。この場合のボーレートの算出方法を示します。

- UART モード

  ボーレート = 外部クロック入力 ÷ 16

  ただし、(外部クロック入力周期) ≧ 4/fc を満たす必要があります。

- I/O インタフェースモード

  ボーレート = 外部クロック入力

  ただし、(外部クロック入力周期) ≧ 16/fc を満たす必要があります。

Downloaded from Elcodis.com electronic components distributor

表 3.10.3 UART ボーレートの選択

(ボーレートジェネレータ使用、BR0CR<BR0ADDE> = 0 の場合)　単位 (kbps)

fc [MHz]	入力クロック / 分周値 N (BR0CR<BR0S3:0>に設定)	φT0 (fc/4)	φT2 (fc/16)	φT8 (fc/64)	φT32 (fc/256)
9.830400	2	76.800	19.200	4.800	1.200
↑	4	38.400	9.600	2.400	0.600
↑	8	19.200	4.800	1.200	0.300
↑	0	9.600	2.400	0.600	0.150
12.288000	5	38.400	9.600	2.400	0.600
↑	A	19.200	4.800	1.200	0.300
14.745600	2	115.200	28.800	7.200	1.800
↑	3	76.800	19.200	4.800	1.200
↑	6	38.400	9.600	2.400	0.600
↑	C	19.200	4.800	1.200	0.300
19.6608	1	307.200	76.800	19.200	4.800
↑	2	153.600	38.400	9.600	2.400
↑	4	76.800	19.200	4.800	1.200
↑	8	38.400	9.600	2.400	0.600
↑	10	19.200	4.800	1.200	0.300
22.1184	3	115.200	28.800	7.200	1.800
24.576	1	384.000	96.000	24.000	6.000
↑	2	192.000	48.000	12.000	3.000
↑	4	96.000	24.000	6.000	1.500
↑	5	76.800	19.200	4.800	1.200
↑	8	48.000	12.000	3.000	0.750
↑	A	38.400	9.600	2.400	0.600
↑	10	24.000	6.000	1.500	0.375

注 1) I/O インタフェースモード時の転送レートは、本表の値の 8 倍になります。

注 2) 本表は、システムクロックとして fc、クロックギアとして fc/1、プリスケーラ用クロックとして f_{FPH} を選択した場合の値です。

UART モード時、シリアル送信クロックにタイマの一致出力(TA0TRG)が使用できます。

タイマのトリガ出力使用時に必要なタイマ出力周波数の算出方法

TA0TRG の周波数　＝ ボーレート × 16

注 3) I/O インタフェースモードでは、タイマ TMRA0 からのトリガ信号を転送クロックとして使用できません。

Downloaded from Elcodis.com electronic components distributor

(3) シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/O インタフェースモードの場合

SC0CR<IOC> = “0” の SCLK 出力モードのときは、前記ボーレートジェネレータの出力を 2 分周し、基本クロックをつくります。

SC0CR<IOC> = “1” の SCLK 入力モードのときは、SC0CR<SCLKS> の設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックをつくります。

- UART (非同期通信) モードの場合

SC0MOD0<SC1:0> の設定により、前記ボーレートジェネレータからのクロックか、システムクロック f_{SYS} か、タイマ TMRA0 のトリガ出力信号か、または外部クロック (SCLK0 端子) のいずれかを選択し、基本クロック SIOCLK をつくります。

(4) 受信カウンタ

受信カウンタは、UART (非同期通信) モードで用いられる 4 ビットのバイナリカウンタで、SIOCLK によりカウントアップされます。データ 1 ビットの受信に SIOCLK が 16 発用いられ、7, 8, 9 発目でデータをサンプリングします (シリアル転送クロックが f_{SYS} 時以外のとき)。

3 回のデータサンプリングによる多数決論理によって受信データを判断しています。

例えば、7, 8, 9 発目のクロックで、データが“1, 0, 1”であれば、受信データは “1” と判断され、“0, 0, 1”であれば “0” と判断されます。

(5) 受信制御部

- I/O インタフェースモードの場合

SC0CR<IOC> = “0” の SCLK 出力モードのときは、SC0CR<SCLKS>の設定にしたがって SCLK0 端子へ出力されるシフトクロックの立ち上がり/立ち下がりエッジで RXD0 端子をサンプリングします。

SC0CR<IOC> = “1” の SCLK 入力モードのときは、SC0CR<SCLKS> の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで RXD0 端子をサンプリングします。

- UART (非同期通信) モードの場合

受信制御部は、多数決論理によるスタートビット検出回路を持ち、3 回のサンプリング中、2 回以上 “0” であれば正常なスタートビットと判断し、受信動作を開始します。

データ受信中も、多数決論理により受信データを判断しています。

Downloaded from Elcodis.com electronic components distributor

(6) 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ 1 (シフトレジスタ型) に受信データが 1 ビットずつ格納され、7 ビットまたは 8 ビットのデータがそろうと、もう一方の受信バッファ 2 (SC0BUF) へ移されるとともに割り込み INTRX0 が発生します。

CPU は受信バッファ 2 (SC0BUF)をリードします。CPU が受信バッファ 2 (SC0BUF) をリードする前でも、受信データは受信バッファ 1 へ格納することができます。

ただし、受信バッファ 1 に次のデータが全ビット受信される前に受信バッファ 2 (SC0BUF) をリードしなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファ 2 および SC0CR<RB8> の内容は保存されていますが、受信バッファ 1 の内容は失われます。

8 ビット UART のパリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは SC0CR<RB8> に格納されます。

9 ビット UART の場合、SC0MOD0<WU> を “1” にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC0CR<RB8> = “1” のときのみ、割り込み INTRX0 が発生します。

(7) 送信カウンタ

送信カウンタは UART (非同期通信) モードで用いられる 4 ビットのバイナリカウンタで受信カウンタ同様 SIOCLK でカウントされ、16 発ごとに送信クロック TXDCLK を生成します。

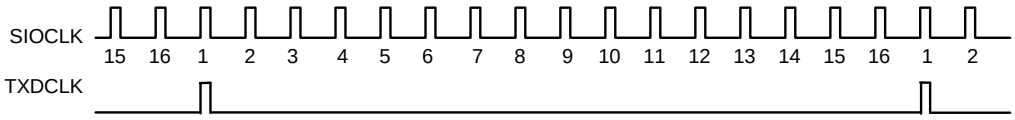


図 3.10.4 送信クロックの生成

(8) 送信制御部

- I/O インタフェースモードの場合

SC0CR<IOC> = “0” の SCLK 出力モードのときは、SC0CR<SCLKS>の設定にしたがって SCLK0 端子より出力されるシフトクロックの立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

SC0CR<IOC> = “1” の SCLK 入力モードのときは、SC0CR<SCLKS> の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

- UART (非同期通信) モード

送信バッファに CPU から送信データがライトされると次の TXDCLK の立ち上がりエッジに同期して送信を開始します。

Downloaded from Elcodis.com electronic components distributor

ハンドシェイク機能

$\overline{CTS}$ を使用することにより、1 データフォーマット単位での送信が可能となり、オーバランエラーの発生を防ぐことができます。この機能は SC0MOD0<CTSE> によってイネーブル/ディセーブルできます。

送信は $\overline{CTS0}$ 端子が "H" レベルになると、現在送信中のデータを送信完了後、$\overline{CTS0}$ 端子が "L" レベルに戻るまで送信を停止します。ただし、INTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータをライトし、送信待機します。

なお、$\overline{RTS}$ 端子はありませんが、受信側にて受信が終了したとき (受信割り込みルーチン内) に $\overline{RTS}$ 機能に割り当てた任意の 1 ポートを "H" レベルにして、送信側に送信の一時停止を要求することにより、容易にハンドシェイク機能を構築できます。

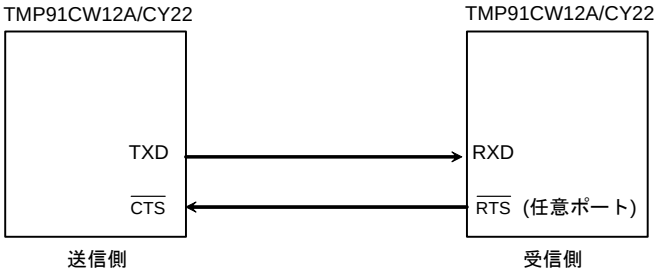
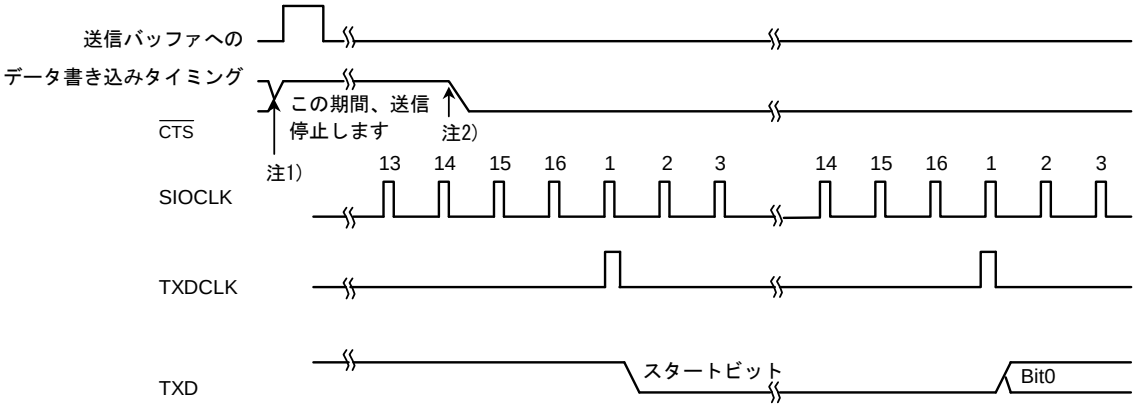


図 3.10.5 ハンドシェイク機能



注 1) 送信中に $\overline{CTS}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。

注 2) $\overline{CTS}$ 信号立ち下がり後の最初の TXDCLK クロックの立ち下がりから送信を開始します。

図 3.10.6 $\overline{CTS}$ (Clear to send) 信号のタイミング

Downloaded from Elcodis.com electronic components distributor

(9) 送信バッファ

送信バッファ SC0BUF は、CPU よりライトされた送信データを最下位ビットから順にシフトアウトし、送出されます。全ビットシフトアウトされると、送信バッファエンプティで INTTX0 割り込みが発生します。

(10) パリティ制御回路

シリアルチャネルコントロールレジスタ SC0CR<PE> を “1” にするとパリティ付加の送信を行います。ただし、7 ビット UART または 8 ビット UART モードのみパリティ付加が可能です。SC0CR<EVEN> レジスタによって偶数（奇数）パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ SC0BUF にライトされたデータにより自動的にパリティを発生し、7 ビット UART モードのときは SC0BUF<TB7> に、8 ビット UART モードのときは SC0MOD0<TB8> にパリティを格納して、送信します。なお、<PE> と <EVEN> の設定は、送信データを送信バッファにライトする前に行ってください。

受信時、受信バッファ 1 にシフトインされ、受信バッファ 2（SC0BUF）に移されたデータにより、パリティを自動発生し、7 ビット UART モードのときは、SC0BUF<RB7> のパリティと、8 ビット UART モードのときは、SC0CR<RB8> のパリティと比較され、異なっているとパリティエラーが発生し、SC0CR<PERR> フラグがセットされます。

(11) エラーフラグ

受信データの信頼性を上げるために、3 つのエラーフラグが用意されています。

1. オーバランエラー <OERR>

受信バッファ 2（SCBUF0）に有効データが格納されている状態で受信バッファ 1 に次のデータが全ビット受信されると、オーバランエラーが発生します。
オーバランエラー発生時の処理フロー例を下記に示します。

(受信割り込みルーチン)

1) 受信バッファのリード
2) エラーフラグのリード
3) if <OERR> = “1”
then
(ア) 受信禁止に設定 (<RXE>に “0” をライト)
(イ) 現フレームの終了待ち
(ウ) 受信バッファのリード
(エ) エラーフラグのリード
(オ) 受信許可に設定 (<RXE>に “1” をライト)
(カ) 再送信要求
4) その他の処理

Downloaded from Elcodis.com electronic components distributor

2. パリティエラー <PERR>

受信バッファ 2 (SCBUF0) に移されたデータから発生したパリティと、RXD 端子より受信したパリティビットとを比較し、異なっているとパリティエラーが発生します。

3. フレーミングエラー <FERR>

受信データのストップビットを中央付近で 3 回サンプリングし、多数決した結果が “0” の場合、フレーミングエラーが発生します。

(12) 各信号発生タイミング

1. UART モードの場合

受信

モード	9 ビット	8 ビット + パリティ	8 ビット, 7 ビット + パリティ, 7 ビット
割り込み発生タイミング	最終ビット (ビット 8) の中央付近	最終ビット (パリティビット) の中央付近	ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティエラー発生タイミング	–	最終ビット (パリティビット) の中央付近	ストップビットの中央付近
オーバランエラー発生タイミング	最終ビット (ビット 8) の中央付近	最終ビット (パリティビット) の中央付近	ストップビットの中央付近

注) 9 ビットモード、8 ビット+パリティモードでは、割り込みは 9 ビット目と同時に発生します。そのため、割り込み発生後、1 ビット転送分(ストップビットが転送されるまで)時間をおいてフレーミングエラーのチェックをしてください。

送信

モード	9 ビット	8 ビット + パリティ	8 ビット, 7 ビット + パリティ, 7 ビット
割り込み発生タイミング	ストップビット送出の直前	←	←

2. I/O インタフェースモードの場合

送信割り込み発生タイミング	SCLK 出力モード	最終 ビット終了直後 (図 3.10.19参照)
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード), 立ち下がりモードでは立ち下がり直後 (図 3.10.20参照)
受信割り込み発生タイミング	SCLK 出力モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終SCLKの直後) (図 3.10.21参照)
	SCLK 入力モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終SCLKの直後) (図 3.10.22参照)

Downloaded from Elcodis.com electronic components distributor

3.10.3 SFR説明

SC0MOD0 (0202H)	7	6	5	4	3	2	1	0
Bit symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信データビット 8	ハンドシェイク機能制御 0:CTS 禁止 1:CTS 許可	受信制御 0:受信禁止 1:受信許可	ウェイクアップ機能 0: 禁止 1: 許可	シリアル転送モード 00: I/O インタフェースモード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード		シリアル転送クロック (UART 用) 00: タイマ TA0TRG 01: ボーレートジェネレータ 10: 内部クロック f_{SYS} 11: 外部クロック (SCLK0 入力)	

シリアル転送クロック (UART 用)

00	タイマ TMRA0 のトリガ出力信号
01	ボーレートジェネレータ
10	内部クロック f_{SYS}
11	外部クロック (SCLK0 入力)

注) I/O インタフェースモード時は、シリアルコントロールレジスタ (SC0CR) でクロックを選択します。

シリアル転送モード

00	I/O インタフェースモード	
01	UART モード	7 ビット長
10		8 ビット長
11		9 ビット長

ウェイクアップ機能

	9 ビット UART	その他のモード
0	受信するごとに割り込み	Don't care
1	SC0CR<RB8> = "1" のときのみ割り込み	

受信制御

0	受信禁止
1	受信許可

ハンドシェイク機能 ($\overline{CTS}$ 端子)

0	ディセーブル(常時送信可能)
1	イネーブル

送信データビット 8

図 3.10.7 シリアルモードコントロールレジスタ 0 (SIO0 用、SC0MOD0)

Downloaded from Elcodis.com electronic components distributor

SC1MOD0 (020AH)

	7	6	5	4	3	2	1	0
Bit symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信データビット 8	ハンドシェイク機能制御 0: CTS 禁止 1: CTS 許可	受信制御 0:受信禁止 1:受信許可	ウェイクアップ機能 0: 禁止 1: 許可	シリアル転送モード 00: I/O インタフェースモード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード		シリアル転送クロック (UART 用) 00: タイマ TA0TRG 01: ボーレートジェネレータ 10: 内部クロック f_{SYS} 11: 外部クロック (SCLK1 入力)	

シリアル転送クロック (UART 用)

00	タイマ TMRA0 のトリガ出力信号
01	ボーレートジェネレータ
10	内部クロック f_{SYS}
11	外部クロック (SCLK1 入力)

注) I/O インタフェースモード時は、シリアルコントロールレジスタ (SC1CR) でクロックを選択します。

シリアル転送モード

00	I/O インタフェースモード	
01	UART モード	7 ビット長
10		8 ビット長
11		9 ビット長

ウェイクアップ機能

	9 ビット UART	その他のモード
0	受信するごとに割り込み	Don't care
1	SC1CR<RB8> = "1" のときのみ割り込み	

受信制御

0	受信禁止
1	受信許可

送信データビット 8

図 3.10.8　シリアルモードコントロールレジスタ (SIO1 用、SC1MOD)

Downloaded from Elcodis.com electronic components distributor

SC0CR (0201H)

	7	6	5	4	3	2	1	0
Bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W		R (読み出すと 0 にクリアされます。)			R/W	
リセット後	不定	0	0	0	0	0	0	0
機能	受信データビット 8	パリティ 0: 奇数 1: 偶数	パリティ付加 0: 禁止 1: 許可	1: エラー			0: SCLK0 ↑ 1: SCLK0 ↓	0:ボーレートジェネレータ 1: SCLK0 端子入力
				オーバラン	パリティ	フレーミング		

I/O インタフェース入力クロック選択

0	ボーレートジェネレータ
1	SCLK0 端子入力

SCLK0 入力/出力動作時のエッジ選択

0	SCLK0 の立ち上がりエッジでデータの送受信 ↑
1	SCLK0 の立ち下がりエッジでデータの送受信 ↓

フレーミングエラーフラグ
パリティエラーフラグ
オーバランエラーフラグ
} 読み出すと “0” にクリアされます。

パリティ付加イネーブル

0	禁止 (ディセーブル)
1	許可 (イネーブル)

偶数パリティ付加/チェック

0	奇数 (Odd) パリティ
1	偶数 (Even) パリティ

受信データビット 8

注) エラーフラグはリードするとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのみのテストは行わないでください。

図 3.10.9 シリアルコントロールレジスタ (SIO0 用、SC0CR)

Downloaded from Elcodis.com electronic components distributor

SC1CR (0209H)

	7	6	5	4	3	2	1	0
Bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W		R (読み出すと 0 にクリアされます。)			R/W	
リセット後	不定	0	0	0	0	0	0	0
機能	受信データビット 8	パリティ 0: 奇数 1: 偶数	パリティ付加 0: 禁止 1: 許可	1: エラー			0: SCLK1 ↑ 1: SCLK1 ↓	0:ボーレートジェネレータ 1: SCLK1 端子入力
				オーバラン	パリティ	フレーミング		

I/O インタフェース入力クロック選択

0	ボーレートジェネレータ
1	SCLK1 端子入力

SCLK1 入力/出力動作時のエッジ選択

0	SCLK1 の立ち上がりエッジでデータの送受信 ↑
1	SCLK1 の立ち下がりエッジでデータの送受信 ↓

フレーミングエラーフラグ
パリティエラーフラグ
オーバランエラーフラグ
} 読み出すと “0” にクリアされます。

パリティ付加イネーブル

0	禁止 (ディセーブル)
1	許可 (イネーブル)

偶数パリティ付加/チェック

0	奇数 (Odd) パリティ
1	偶数 (Even) パリティ

受信データビット 8

注) エラーフラグはリードするとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのみのテストは行わないでください。

図 3.10.10 シリアルコントロールレジスタ (SIO1 用、SC1CR)

Downloaded from Elcodis.com electronic components distributor

BR0CR (0203H)

	7	6	5	4	3	2	1	0
Bit symbol	–	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	“0” をライトしてください。	+(16–K)/16 分周機能 0: 禁止 1: 許可	00: φT0 01: φT2 10: φT8 11: φT32		分周値 N の設定			

+ (16 – K)/16 分周機能イネーブル

0	禁止 (ディセーブル)
1	許可 (イネーブル)

ボーレートジェネレータの入力クロックの選択

00	内部クロック φT0
01	内部クロック φT2
10	内部クロック φT8
11	内部クロック φT32

BR0ADD (0204H)

	7	6	5	4	3	2	1	0
Bit symbol					BR0K3	BR0K2	BR0K1	BR0K0
Read/Write					R/W			
リセット後					0	0	0	0
機能					N + (16 – K)/16 分周の K 値の設定			

ボーレートジェネレータの分周値の設定

	BR0CR<BR0ADDE> = “1”		BR0CR<BR0ADDE> = “0”
BR0CR <BR0S3:0> / BR0ADD <BR0K3:0>	0000 (N = 16) or 0001 (N = 1)	0010 (N = 2) ~ 1111 (N = 15)	0001 (N = 1) (UART のみ) ~ 1111 (N = 15) 0000 (N = 16)
0000	禁止	禁止	N 分周
0001 (K = 1) ~ 1111 (K = 15)	禁止	$N + \frac{(16-K)}{16}$ 分周	

注 1) N + (16 – K)/16 分周の使用可否

N	UART モード	I/O モード
2~15	○	×
1, 16	×	×

ボーレートジェネレータ分周値の 1 分周は UART モードで、+ (16 – K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースモードでは設定しないでください。

注 2) + (16 – K)/16 分周機能を使用する場合、かならず BR0ADD <BR0K3:0> に K 値 (K = 1~15) を設定後に BR0CR <BR0ADDE> = “1” を設定してください。BR0ADD レジスタの未使用ビットは、ライトしても動作に影響ありません。リード時は、不定です。

図 3.10.11 ボーレートジェネレータコントロール (SIO0 用、BR0CR, BR0ADD)

Downloaded from Elcodis.com electronic components distributor

BR1CR (020BH)

	7	6	5	4	3	2	1	0
Bit symbol	–	BR1ADDE	BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	“0” をライトしてください。	+(16–K)/16 分周機能 0: 禁止 1: 許可	00: φT0 01: φT2 10: φT8 11: φT32		分周値 N の設定			

+ (16 – K)/16 分周機能イネーブル

0	禁止(ディセーブル)
1	許可(イネーブル)

ボーレートジェネレータの入力クロックの選択

00	内部クロックφT0
01	内部クロックφT2
10	内部クロックφT8
11	内部クロックφT32

BR1ADD (020CH)

	7	6	5	4	3	2	1	0
Bit symbol					BR1K3	BR1K2	BR1K1	BR1K0
Read/Write					R/W			
リセット後					0	0	0	0
機能					N + (16 – K)/16 分周の K 値の設定			

ボーレートジェネレータの分周値の設定

	BR1CR<BR1ADDE> = “1”		BR1CR<BR1ADDE> = “0”
BR1CR <BR1S3:0> / BR1ADD <BR1K3:0>	0000 (N = 16) or 0001 (N = 1)	0010 (N = 2) ~ 1111 (N = 15)	0001 (N = 1) (UART のみ) ~ 1111 (N = 15) 0000 (N = 16)
0000	禁止	禁止	N 分周
0001 (K = 1) ~ 1111 (K = 15)	禁止	N + $\frac{(16-K)}{16}$ 分周	

注 1) N + (16 – K)/16 分周の使用可否

N	UART モード	I/O モード
2~15	○	×
1, 16	×	×

ボーレートジェネレータ分周値の 1 分周は UART モードで、+ (16 – K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースモードでは設定しないでください。

注 2) + (16 – K)/16 分周機能を使用する場合、かならず BR1ADD <BR1K3:0> に K 値 (K = 1~15) を設定後に BR1CR <BR1ADDE> = “1” を設定してください。BR1ADD レジスタの未使用ビットは、ライトしても動作に影響ありません。リード時は、不定です。

図 3.10.12 ボーレートジェネレータコントロール (SIO1 用、BR1CR, BR1ADD)

Downloaded from Elcodis.com electronic components distributor

SC0BUF (0200H)

7	6	5	4	3	2	1	0	
TB7	TB6	TB5	TB4	TB3	TB2	TB1	TB0	(送信用)
RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	(受信用)

注) SC0BUF はリードモディファイライトできません。

図 3.10.13　シリアル送受信バッファレジスタ (SIO0 用、BR0CR)

SC0MOD1 (0205H)

	7	6	5	4	3	2	1	0
Bit symbol	I2S0	FDPX0						
Read/Write	R/W							
リセット後	0	0						
機能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						

図 3.10.14 シリアルモードコントロールレジスタ 1 (SIO0 用、SC0MOD1)

Downloaded from Elcodis.com electronic components distributor

SC1BUF (0208H)

7	6	5	4	3	2	1	0	
TB7	TB6	TB5	TB4	TB3	TB2	TB1	TB0	(送信用)
RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	(受信用)

注) SC1BUF はリードモディファイライトできません。

図 3.10.15 シリアル送受信バッファレジスタ (SIO1 用, SC1BUF)

SC1MOD1 (020DH)

	7	6	5	4	3	2	1	0
Bit symbol	I2S1	FDPX1						
Read/Write	R/W							
リセット後	0	0						
機能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						

図 3.10.16 シリアルモードコントロールレジスタ 1 (SIO1 用、SC1MOD1)

Downloaded from Elcodis.com electronic components distributor

3.10.4 モード別動作説明

(1) モード 0 (I/O インタフェースモード)

このモードは、入出力端子 (I/O) 数を増やす場合に使用され、外部に接続されるシフトレジスタなどとデータの送受信を行います。

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。

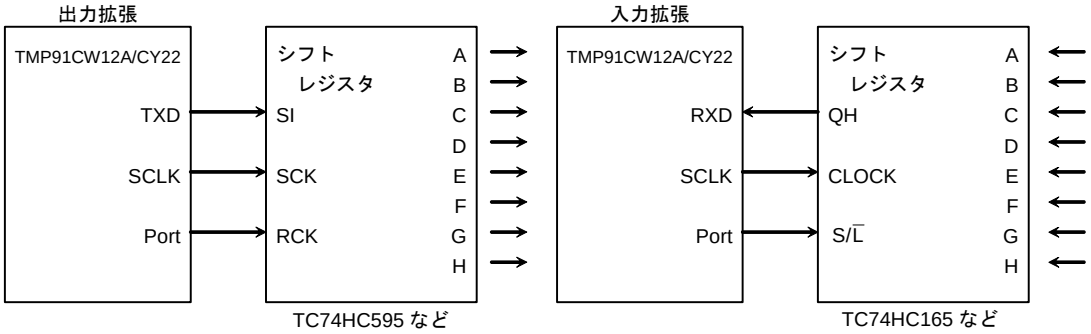


図 3.10.17 SCLK 出力モード接続例

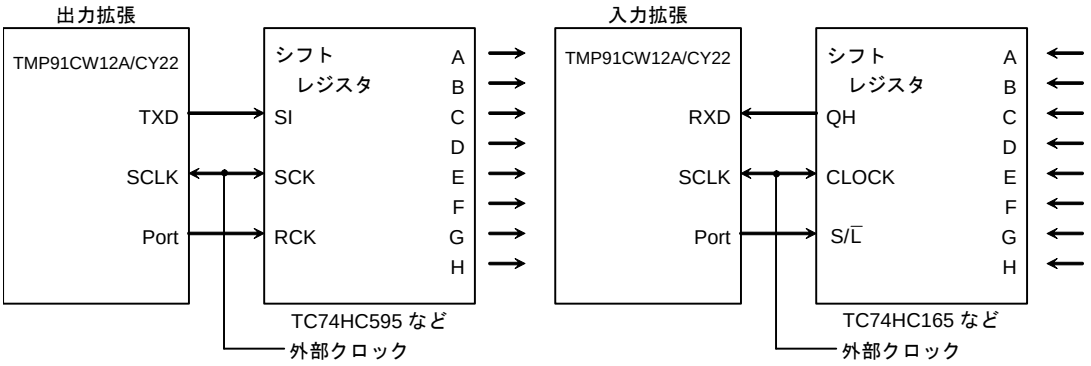


図 3.10.18 SCLK 入力モード接続例

Downloaded from Elcodis.com electronic components distributor

1. 送信

SCLK 出力モードでは、CPU が送信バッファにデータをライトするたびに、8 ビットのデータが TXD0 端子、同期クロックが SCLK0 端子より出力されます。データがすべて出力されると INTES0<ITX0C> がセットされ、割り込み INTTX0 が発生します。

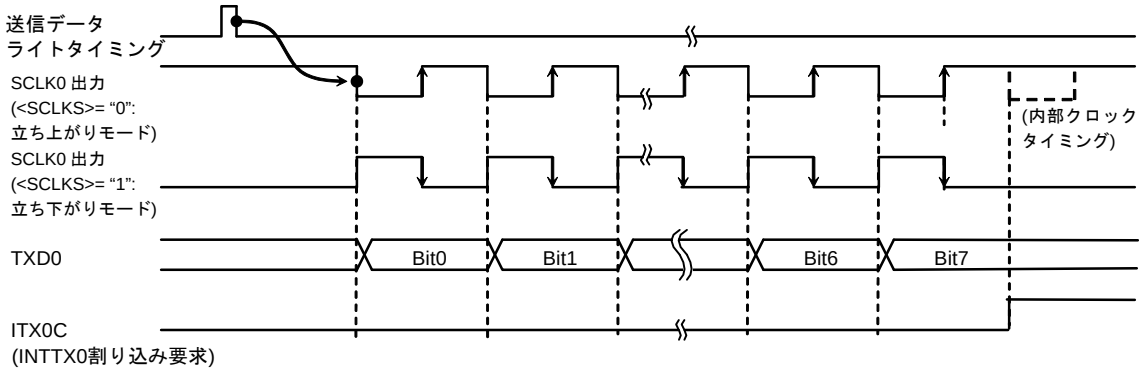


図 3.10.19 I/O インタフェースモード送信動作 (SCLK0 出力モード)

SCLK 入力モードでは、CPU により送信バッファにデータがライトされている状態で SCLK0 入力がアクティブになると、8 ビットのデータが TXD0 端子より出力されます。

データがすべて出力されると、INTES0<ITX0C> がセットされ割り込み INTTX0 が発生します。

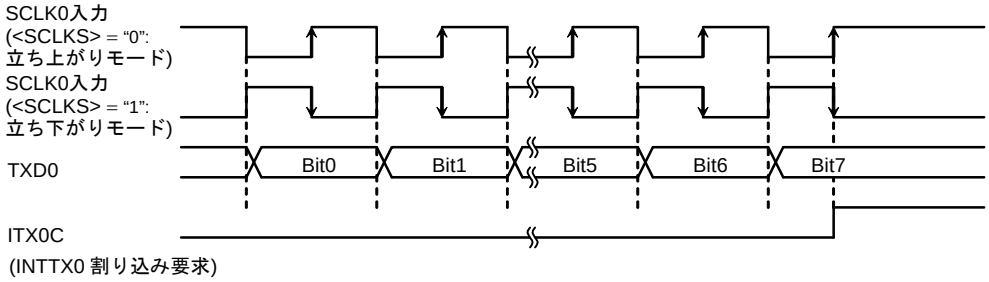


図 3.10.20 I/O インタフェースモード送信動作 (SCLK0 入力モード)

Downloaded from Elcodis.com electronic components distributor

2. 受信

SCLK 出力モードでは、受信データが CPU にリードされ、受信割り込みフラグ INTES0<IRX0C> がクリアされるたびに、SCLK0 端子より同期クロックが出力され、次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び INTES0<IRX0C> がセットされて割り込み INTRX0 が発生します。

最初の SCLK 出力の開始は、SC0MOD0<RXE>を “1”にセットすることで行います。

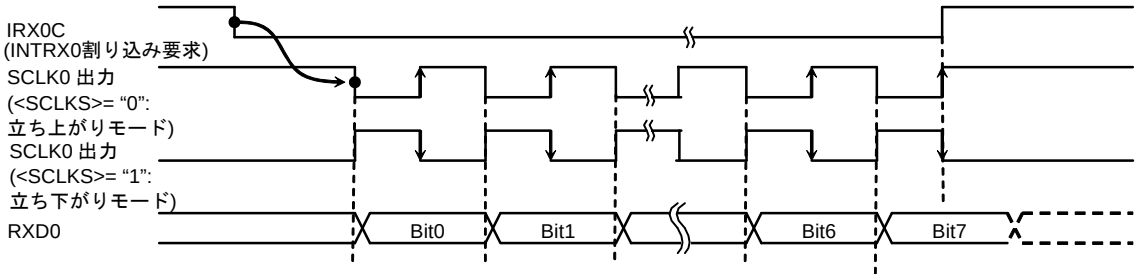


図 3.10.21 I/O インタフェースモード受信動作 (SCLK0 出力モード)

SCLK 入力モードでは、受信データが CPU にリードされ、受信割り込みフラグ INTES0<IRX0C> がクリアされている状態で SCLK0 入力がアクティブになると、次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び INTES0<IRX0C> がセットされて割り込み INTRX0 が発生します。

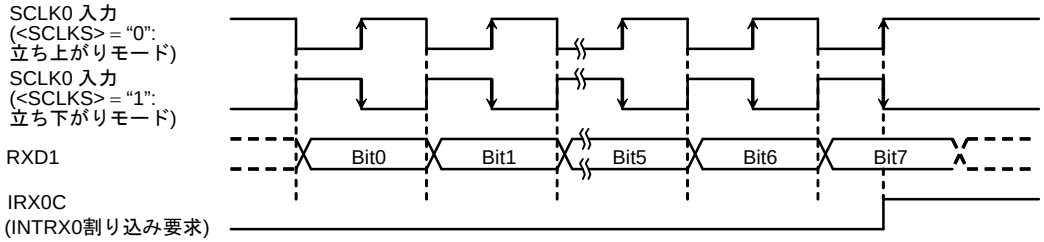


図 3.10.22 I/O インタフェースモード受信動作 (SCLK0 入力モード)

注) 受信動作を行う場合には、SCLK 入力/出力どちらのモードでも受信イネーブル状態 (SC0MOD0<RXE> = “1”) にしておく必要があります。

Downloaded from Elcodis.com electronic components distributor

3. 送受信 (全二重)

全二重モードで送受信を行う場合は、必ず受信割り込みレベルを “0” に設定し、送信割り込みのみに割り込みレベル (“1”~“6”のいずれか) を設定してください。

受信処理は、送信割り込み処理ルーチン内で下記例のように、送信データセットの前に行ってください。

例: チャネル 0, SCLK 出力
9600 bps で送受信を行う場合
fc = 14.7456 MHz

システム条件システムクロック: 高速 (fc)
高速クロックギア: 1 倍 (fc)
プロスケーラクロック: f_{FPH}

メインルーチンでの設定

	7	6	5	4	3	2	1	0	
INTES0	X	0	0	1	X	0	0	0	送信割り込みレベルを設定し、受信割り込みを禁止します。
P9CR	–	–	–	–	–	1	0	1	P90 (TXD0), P91 (RXD0)に設定します。
P9FC	X	X	-	X	-	1	X	1	
SC0MOD0	–	–	–	–	0	0	–	–	I/O インタフェースに設定します。
SC0MOD1	1	1	X	X	X	X	X	X	全二重モードにセットします。
SC0CR	–	–	–	–	–	–	0	–	SCLK 出力、立ち上がり受信立ち下がり送信します。
BR0CR	0	0	1	1	0	0	1	1	9600 bps に設定します。
SC0MOD0	–	–	1	–	–	–	–	–	受信許可にします。
SC0BUF	*	*	*	*	*	*	*	*	送信データをセットします。

送信割り込みルーチン

Acc SC0BUF									受信データをリードします。
SC0BUF	*	*	*	*	*	*	*	*	送信データをセットします。

X: Don’t care、–: No change

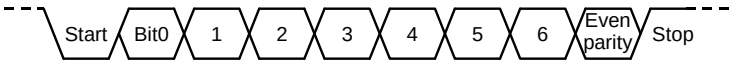
Downloaded from Elcodis.com electronic components distributor

(2) モード 1 (7 ビット UART モード)

シリアルチャネルモードレジスタ SC0MOD0<SM1:0> を“01”にセットすると、7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルチャネルコントロールレジスタ SC0CR<PE> でパリティビット付加のイネーブル/ディセーブルを制御します。<PE> = “1” (イネーブル) のときは、SC0CR<EVEN> で偶数パリティ/奇数パリティを選択できます。

例: 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



← 転送方向 (転送速度 2400 bps @ fc = 12.288 MHz)

* クロック条件
- システムクロック: 高速 (fc)
- 高速クロックギア: 1 倍 (fc)
- プリスケーラクロック: システムクロック

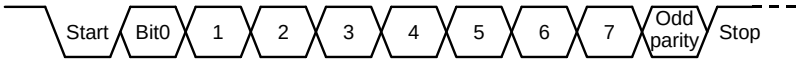
		7	6	5	4	3	2	1	0	
P9CR	←	–	–	–	–	–	–	–	1	P90 を TXD0 端子とします。
P9FC	←	–	–	–	–	–	–	–	1	
SC0MOD0	←	–	–	–	–	0	1	0	1	7 ビット UART モードに設定します。
SC0CR	←	–	1	1	–	–	–	–	–	偶数パリティを付加します。
BR0CR	←	0	0	1	0	0	1	0	1	2400 bps に設定します。
INTES0	←	X	1	0	0	–	–	–	–	INTTX0 割り込みをイネーブル、レベル 4 にします。
SC0BUF	←	*	*	*	*	*	*	*	*	送信データをセットします。

X: Don’t care、–: No change

(3) モード 2 (8 ビット UART モード)

SC0MOD0<SM1:0> を“10”にセットすると、8 ビット UART モードになります。このモードではパリティビットの付加が可能で、SC0CR<PE> でパリティビット付加のイネーブル/ディセーブルを制御します。<PE> = “1” (イネーブル) のとき、SC0CR<EVEN> で偶数パリティ/奇数パリティの選択も可能です。

例: 下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



← 転送方向 (転送速度 9600 bps @ fc = 12.288 MHz)

Downloaded from Elcodis.com electronic components distributor

＊ クロック条件
- システムクロック: 高速 (fc)
- 高速クロックギア: 1 倍 (fc)
- プリスケーラクロック: システムクロック

メインルーチンでの設定

		7 6 5 4 3 2 1 0	
P9CR	←	– – – – – – 0 –	P91 (RXD0) を入力ピンにします。
SC0MOD0	←	– – 1 – 1 0 0 1	8 ビット UART モード、受信イネーブルにします。
SC0CR	←	– 0 1 – – – – –	奇数パリティ付加に設定します。
BR0CR	←	0 0 0 1 0 1 0 1	9600 bps に設定します。
INTES0	←	X – – X 1 1 0 0	INTRX0 割り込みをイネーブル、レベル 4 に設定します。

割り込みルーチンでの処理例

```
Acc ← SC0CR AND 00011100
if Acc ≠ 0 then ERROR
Acc ← SC0BUF
```

エラーチェックを行います。

受信データをリードします。

X: Don't care、–: No change

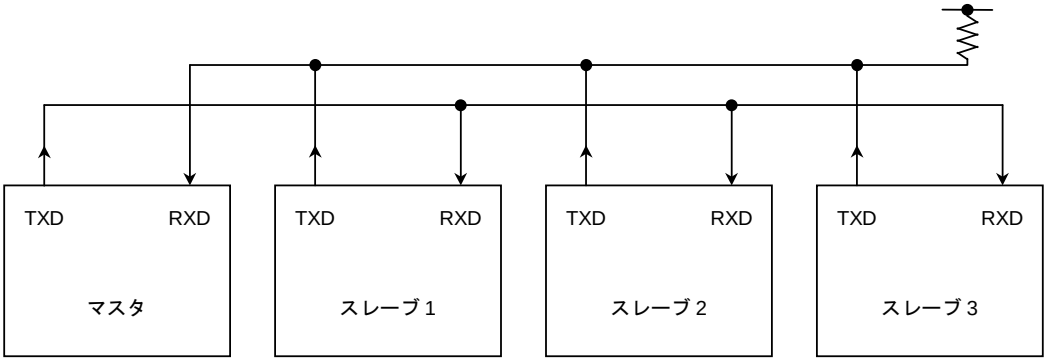
(4) モード 3 (9 ビット UART)

SC0MOD0<SM1:0> を"11"にセットすると、9 ビット UART モードになります。このモードでは、パリティ ビットの付加はできません。

最上位ビット (9 ビット目) は、送信の場合シリアルチャネルモードレジスタの <TB8> にライトし、受信の場合シリアルチャネルコントロールレジスタの <RB8> に格納されます。また、バッファに対するライト/リードは、必ず<TB8>,<RB8>を先に行い、SC0BUF の方を後にします。

ウェイクアップ機能

9 ビット UART モードでは、SC0MOD0<WU> を "1" にすることによってスレーブコントローラのウェイクアップ動作が可能で、<RB8> = "1"のときのみ割り込み INTRX0 が発生します。



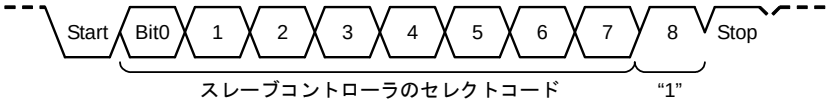
注) スレーブコントローラの TXD 端子は、必ず ODE レジスタを設定してオープンドレイン出力モードにしてください。

図 3.10.23 ウェイクアップ機能によるシリアルリンク

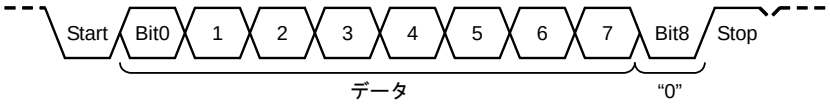
Downloaded from Elcodis.com electronic components distributor

プロトコル

1. マスタおよびスレーブコントローラは、9 ビット UART モードにします。
2. 各スレーブコントローラは SC0MOD0<WU> を “1” にセットし、受信可能状態とします。
3. マスタコントローラは、スレーブコントローラのセレクトコード (8 ビット) を含む 1 フレームを送信します。このとき、最上位ビット (ビット 8) <TB8> は “1” にします。



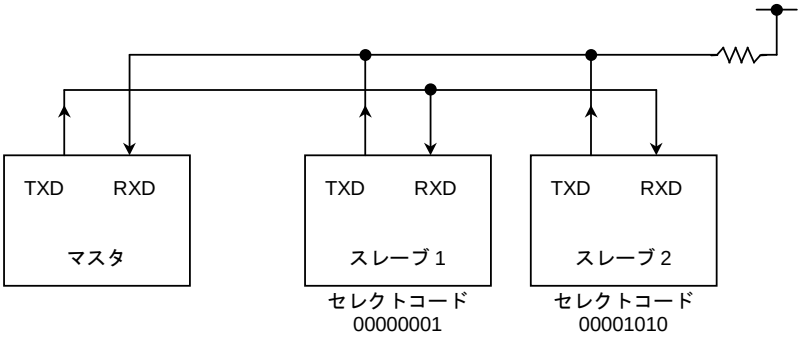
4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WU ビットを “0” にクリアします。
5. マスタコントローラは指定したスレーブコントローラ (SC0MOD0<WU> = “0”にクリアされたコントローラ) に対しデータを送信します。このとき、最上位ビット (ビット 8) <TB8> は “0” にします。



6. WU=“1”のままのスレーブコントローラは、受信データの最上位ビット (ビット 8) の <RB8> が “0” であるため割り込み INTRX0 が発生せず、受信データを無視します。
   また、<WU> = “0”になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

Downloaded from Elcodis.com electronic components distributor

設定例: 内部クロック f_{SYS} を転送クロックとして 2 つのスレーブコントローラとシリアルリンクさせる場合



- マスタコントローラの設定

メインルーチン

P9CR	← − − − − − − 0 1	P90 を TXD0、P91 を RXD0 端子にします。
P9FC	← − − X − X X − 1	
INTES0	← 1 1 0 0 1 1 0 1	INTTX0 をイネーブル、割り込みレベルを 4 に設定します。 INTRX0 をイネーブル、割り込みレベルを 5 に設定します。
SC0MOD0	← 1 0 1 0 1 1 1 0	9 ビット UART モード、転送クロックを f_{SYS} に設定します。
SC0BUF	← 0 0 0 0 0 0 0 1	スレーブ 1 のセレクトコードをセットします。

割り込みルーチン (INTTX0)

SC0MOD0	← 0 − − − − − − −	TB8 を “0” にします。
SC0BUF	← * * * * * * * *	送信データをセットします。

- スレーブの設定

メインルーチン

P9CR	← − − − − − − 0 1	P90 を TXD0 (オープンドレイン出力)、P91 を RXD0 にします。
P9FC	← − − X − X X − 1	
ODE	← − − − − X X X 1	
INTES0	← 1 1 0 1 1 1 1 0	INTTX0, INTRX0 をイネーブルにします。
SC0MOD0	← 0 0 1 1 1 1 1 0	9 ビット UART モード転送クロック f_{SYS} で、<WU> = “1” に設定します。

割り込みルーチン (INTRX0)

Acc ← SC0BUF
if Acc = セレクトコード
Then SC0MOD0 ← − − − 0 − − − − − <WU> = “0” にクリアします。

Downloaded from Elcodis.com electronic components distributor

3.10.5 IrDAのサポート

SIO0 には、赤外線データ通信規格である「IrDA1.0」のハードウエア規格をサポートするためのデータ変復調機能があります。図 3.10.24に、構成図を示します。

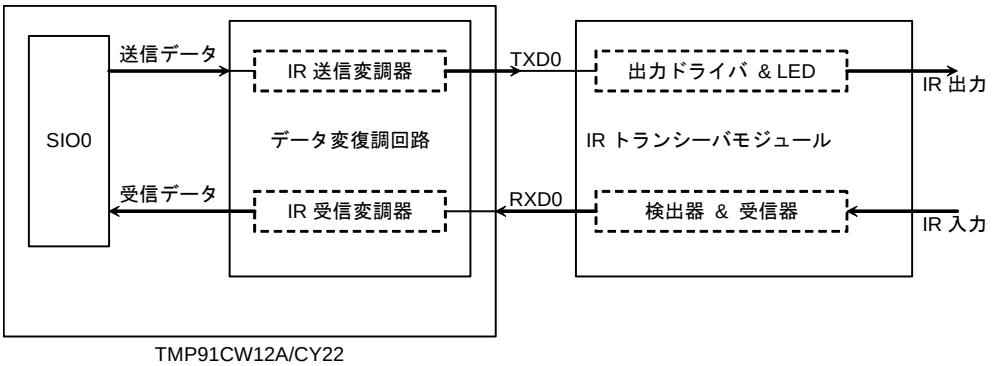


図 3.10.24 IrDA の構成図

(1) 送信データの変調

送信データが “0” のときは、ボーレート周期の 3/16 倍の幅、または 1/16 倍の幅 (選択はソフトウエアで可) の “H” レベルを出力し、データが “1” のときは、 “L” レベルを出力します。

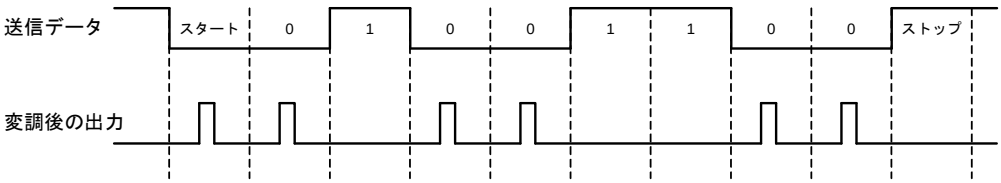


図 3.10.25 送信データの変調例

(2) 受信データの復調

入力されたパルスが、有効な “H” レベル幅 (ソフトウエアで幅の設定が可) のときは、SIO0 に対して “0” を出力し、それ以外のときは、“1” を出力します。

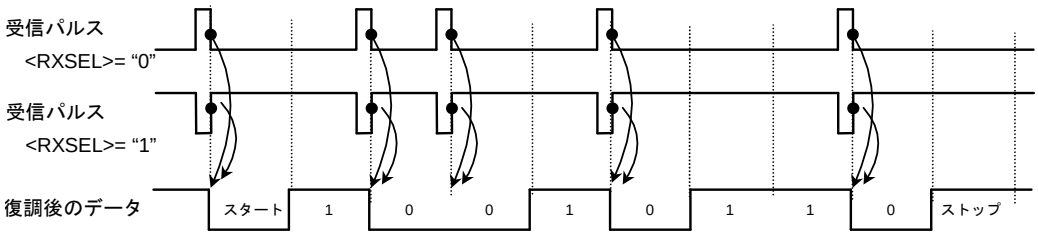


図 3.10.26 受信データの復調例

(3) データのフォーマット

データの送受信フォーマットは、必ず、データ長 8 ビット、パリティビットなし、ストップビット 1 ビットに設定してください。

それ以外の設定では、正常動作は保証できません。

Downloaded from Elcodis.com electronic components distributor

(4) SFR 説明

図 3.10.27にコントロールレジスタを示します。このレジスタの設定変更を行うときは、必ず、送受信動作を禁止 (このレジスタのTXENビットとRXENビットを “0” に設定) してから行ってください。送受信動作中に、このレジスタの設定変更を行った場合、正常動作は保証できません。

SIRCR (0207H)

	7	6	5	4	3	2	1	0
Bit symbol	PLSEL	RXCEL	TXEN	RXEN	SIRWD3	SIRWD2	SIRWD1	SIRWD0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信パルス幅選択 0: 3/16 1: 1/16	受信データ論理 0:“H”パルス 1: “L”パルス	送信動作 0: 禁止 1: 許可	受信動作 0: 禁止 1: 許可	SIRRxD の有効パルス幅の設定 2x × (設定値 +1) +100ns 以上のパルス幅を有効とする 設定可: 1~14 設定不可: 0, 15			

受信有効パルス幅の設定

計算式: 受信有効パルス幅 ≧ 2x × (設定値 + 1) +100ns

$x = 1/f_{FPH}$

0000	設定不可
0001	4x + 100 ns 以上のパルス幅のものを有効とする
1110 ~	30x + 100 ns 以上のパルス幅のものを有効とする
1111	設定不可

受信 (復調) 動作の許可

0	受信動作を禁止する (受信された入力は無視)
1	受信動作を許可する

送信 (変調) 動作の許可

0	送信動作を禁止する (SIO からの入力は無視)
1	送信動作を許可する

送信パルス幅の選択

0	3/16 のパルス幅
1	1/16 のパルス幅

補足) ボーレートが遅く、IrDA1.0 規格のパルス幅 (最小 1.6 μs) を確保できる場合、本ビットを “1” に設定することで、赤外線点灯時間を減らし、消費電力を軽減することができます。

図 3.10.27 IrDA コントロールレジスタ

下記に、設定例を示します。

1) SIO 設定 ; SIO 側の設定を行います。

↓

2) LD (SIRCR), 07H ; 受信有効パルス幅を 16X に設定します。

3) LD (SIRCR), 37H ; TXEN, RXEN ビットを “1” にして、送受信を許可します。

↓

4) 送受信スタート ; SIO から送信データが送られてくるか、赤外線受信パルスを受けると、データの変復調を行います。

Downloaded from Elcodis.com electronic components distributor

(5) 使用上の注意

1. IrDA 使用時のボーレート作成
   IrDA 使用時のボーレートは SIO 本体の SC0MOD0<SC1:0>に “01” を設定し、ボーレートジェネレータを使用して作成してください。
   それ以外の TA0TRG, f_{SYS}, SCLK0 入力は使用できません。
2. IrDA 送信時の出力パルス幅、ボーレートジェネレータ
   IrDA1.0 の物理層規格として、データの転送速度と赤外線パルス幅が規定されています。

表 3.10.4 転送速度とパルス出力幅の規格

転送速度	変調方式	転送速度 許容誤差 (% of Rate)	パルス幅 最小値	パルス幅 3/16 公称値	パルス幅 最大値
2.4 kbps	RZI	±0.87	1.41 [μs]	78.13 [μs]	88.55 [μs]
9.6 kbps	RZI	±0.87	1.41 [μs]	19.53 [μs]	22.13 [μs]
19.2 kbps	RZI	±0.87	1.41 [μs]	9.77 [μs]	11.07 [μs]
38.4 kbps	RZI	±0.87	1.41 [μs]	4.88 [μs]	5.96 [μs]
57.6 kbps	RZI	±0.87	1.41 [μs]	3.26 [μs]	4.34 [μs]
115.2 kbps	RZI	±0.87	1.41 [μs]	1.63 [μs]	2.23 [μs]

赤外線パルス出力幅は、ボーレート T × 3/16、または 1.6 μs (ボーレート 115.2 kbps 時の T × 3/16 に相当) と規定されています。

本デバイスでは、送信時の出力パルス幅を T × 3/16 と T × 1/16 とを選択できる機能がありますが、T × 1/16 を選択できるのは転送レートが 38.4 kbps 以下のときだけです。115.2 kbps. 57.6 kbps 時には、出力パルス幅を T × 1/16 に設定しないでください。

同様の理由で、転送レートの 115.2 kbps を SIO0 のボーレートジェネレータで生成するときは、K 値付き分周をしないでください。また、送信パルス幅を 1/16 に設定し、転送レートの 38.4 kbps を SIO0 のボーレートジェネレータで生成するときも、K 値付き分周を使用しないでください。下表に、K 値付き分周の使用可否をまとめたものを示します。

表 3.10.5 K 値付き分周を使用可能なボーレートと出力パルス幅の関係

出力パルス幅	ボーレート 115.2 kbps	57.6 kbps	38.4 kbps	19.2 kbps	9.6 kbps	2.4 kbps
T × 3/16	×	○	○	○	○	○
T × 1/16	–	–	×	○	○	○

○: K 値付き分周使用可
×: K 値付き分周使用不可
–: T × 1/16 設定不可

Downloaded from Elcodis.com electronic components distributor

3.11 シリアルバスインタフェース (SBI)

シリアルバスインタフェース (SBI) を 1 チャネル内蔵しています。

シリアルバスインタフェースは、下記の 2 つの動作モードを持っています。

- I²C バスモード (マルチマスタ)
- クロック同期式 8 ビット SIO モード

I²C バスモードのときには、P61 (SDA), P62 (SCL) を通して、外部デバイスと接続されます。クロック同期式 8 ビット SIO のときには、P60 (SCK), P61 (SO), P62 (SI) を通して外部デバイスと接続されます。

各端子の設定は、下記のとおりとなります。

	ODE<ODE62, 61>	P6CR<P62C, P61C, P60C>	P6FC<P62F, P61F, P60F>
I²C バスモード	11	11X	11X
クロック同期式 8 ビット SIO モード	XX	011 010	X11

X: Don't care

3.11.1 構成

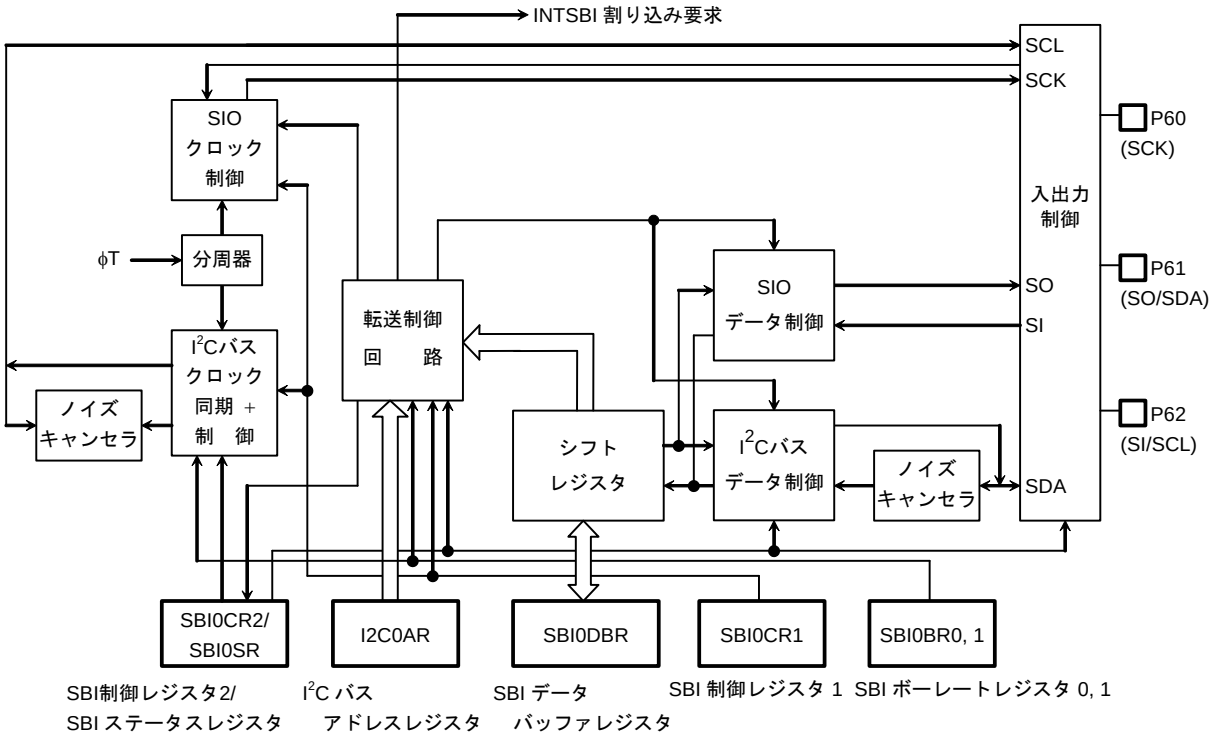


図 3.11.1 シリアルバスインタフェース (SBI)

Downloaded from Elcodis.com electronic components distributor

3.11.2 制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

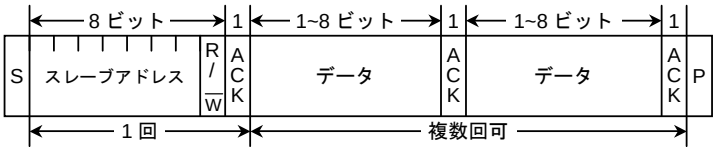
- シリアルバスインタフェース制御レジスタ 1（SBI0CR1）
- シリアルバスインタフェース制御レジスタ 2（SBI0CR2）
- シリアルバスインタフェースデータバッファレジスタ（SBI0DBR）
- I²C バスアドレスレジスタ（I2C0AR）
- シリアルバスインタフェースステータスレジスタ（SBI0SR）
- シリアルバスインタフェースボーレートレジスタ 0（SBI0BR0）
- シリアルバスインタフェースボーレートレジスタ 1（SBI0BR1）

上記レジスタは、使用するモードによって機能が異なります。詳細は、3.11.4「I²C バスモード時のコントロールレジスタ」および、3.11.7「クロック同期式 8 ビットSIOモード時の制御」を参照してください。

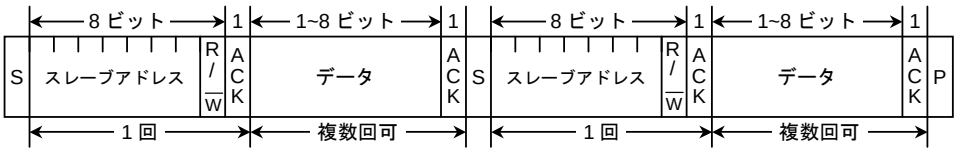
3.11.3 I²Cバスモード時のデータフォーマット

I²Cバスモード時のデータフォーマットを 図 3.11.2に示します。

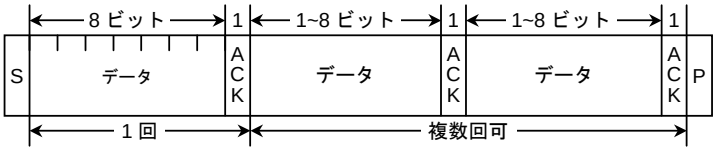
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



注) S: スタートコンディション
R/$\overline{W}$: 方向ビット
ACK: アクノリッジビット
P: ストップコンディション

図 3.11.2 I²C バスモード時のデータフォーマット

Downloaded from Elcodis.com electronic components distributor

3.11.4 I²C バスモード時のコントロールレジスタ

シリアルバスインタフェース (SBI) を I²C バスモードで使用するときの制御、および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 1

SBI0CR1 (0240H)	7	6	5	4	3	2	1	0
Bit symbol	BC2	BC1	BC0	ACK		SCK2	SCK1	SCK0/ SWRMON
Read/Write	W			R/W		W		R/W
リセット後	0	0	0	0		0	0	0/1 (注 3)
機能	転送ビット数の選択 (注 1)			アクノリッジメントクロック 0: 発生しない 1: 発生する		内部 SCL 出力クロックの周波数選択 (注 2) とリセットモニタ		

リードモディファイライトできません。

内部 SCL 出力クロックの周波数選択 <SCK2:0> @ライト

000	n = 5	- (注 4)
001	n = 6	- (注 4)
010	n = 7	- (注 4)
011	n = 8	- (注 4)
100	n = 9	51.9 kHz
101	n = 10	26.2 kHz
110	n = 11	13.1 kHz
111	(Reserved)	(Reserved)

システムクロック: fc
クロックギア: fc/1
fc = 27 MHz (SCL 端子への出力)
周波数 = $\frac{fc}{2^n + 8}$ [Hz]

ソフトウエアリセット状態モニタ <SWRMON> @リード

0	ソフトウエアリセット中
1	(初期値)

アクノリッジメントのためのクロック発生の選択

0	アクノリッジのためのクロックを発生しない。
1	アクノリッジのためのクロックを発生する。

転送ビット数の選択

<BC2:0>	<ACK> = 0 のとき		<ACK> = 1 のとき	
	クロック数	データ長	クロック数	データ長
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

注 1) クロック同期式 8 ビット SIO モードに切り替える前に <BC2:0> を “000” にクリアしてください。

注 2) SCL ラインクロックの周波数については、「シリアルクロック」を参照してください。

注 3) SCK0 の初期値は “0”、SWRMON の初期値は “1” です。

注 4) 本 I²C バス回路は、高速モードに対応していません。標準モードのみの対応となります。100kbps を超える設定が可能な場合がありますが、I²C 規格の規格外となります。

図 3.11.3 I²C バスモード関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

シリアルバスインタフェース制御レジスタ 2

SBI0CR2 (0243H)	7	6	5	4	3	2	1	0
Bit symbol	MST	TRX	BB	PIN	SBIM1	SBIM0	SWRST1	SWRST0
Read/Write	W				W (注 1)		W (注 1)	
リセット後	0	0	0	1	0	0	0	0
機能	マスタ/スレーブの選択	送信/受信の選択	スタート/ストップコンディションの発生	INTSBI 割り込み要求解除	シリアルバスインタフェースの動作モード選択 (注 2) 00 : ポートモード 01 : SIO モード 10 : I²C バスモード 11 : (Reserved)		ソフトウエアリセットの発生 最初に "10"、次に "01" をライトすると、ソフトウェアリセットが発生します。	

リードモディファイライトできません。

シリアルバスインタフェースの動作モード選択 (注 2)

00	ポートモード (シリアルバスインタフェースの出力禁止)
01	クロック同期式 8 ビット SIO モード
10	I²C バスモード
11	(Reserved)

INTSBI 割り込み要求

0	Don't care
1	割り込み要求の解除

スタート/ストップコンディション制御

0	ストップコンディション発生
1	スタートコンディション発生

送信/受信選択

0	レシーバ (受信)
1	トランスミッタ (送信)

マスタ/スレーブの選択

0	スレーブ
1	マスタ

注 1) このレジスタをリードすると、SBI0SR レジスタとして機能します。

注 2) ポートモードへの切り替えは、バスフリーを確認してから行ってください。
また、ポートモードから I²C バスモード、クロック同期式 8 ビット SIO への切り替えは、ポートの状態が "H" レベルになっていることを確認してから行ってください。

図 3.11.4 I²C バスモード関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

シリアルバスインタフェースステータスレジスタ

SBI0SR (0243H)	7	6	5	4	3	2	1	0
Bit symbol	MST	TRX	BB	PIN	AL	AAS	AD0	LRB
Read/Write	R							
リセット後	0	0	0	1	0	0	0	0
機能 (リードモディファイライトできません。)	マスタ/スレーブ選択モニタ	送信/受信選択モニタ	I^2C バス状態モニタ	INTSBI 割り込み要求モニタ	アービトレーションロスト検出 0: – 1: 検出	スレーブアドレス一致検出 0: 未検出 1: 検出	ゼネラルコール検出 0: 未検出 1: 検出	最終受信ビットモニタ 0: "0" 1: "1"

最終受信ビットモニタ

0	最終受信ビット "0"
1	最終受信ビット "1"

ゼネラルコール検出

0	未検出
1	ゼネラルコール検出

スレーブアドレス一致検出

0	未検出
1	スレーブアドレス一致または ゼネラルコール検出

アービトレーションロスト検出

0	–
1	アービトレーションロスト検出

INTSBI 割り込み要求モニタ

0	割り込み要求発生状態
1	割り込み要求解除状態

I^2C バス状態モニタ

0	バスフリー
1	バスビジー

送信/受信選択モニタ

0	受信
1	送信

マスタ/スレーブ選択モニタ

0	スレーブ
1	マスタ

注) このレジスタをライトすると、SBI0CR2 として機能します。

図 3.11.5 I^2C バスモード関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

シリアルバスインタフェースボーレートレジスタ 0

SBI0BR0 (0244H)

リードモディファイライトできません

	7	6	5	4	3	2	1	0
Bit symbol	–	I2SBI0						
Read/Write	W	R/W						
リセット後	0	0						
機能	“0” をライトしてください。	IDLE2 0: 停止 1: 動作						

IDLE2 時の動作

0	停止
1	動作

シリアルバスインタフェースボーレートレジスタ 1

SBI0BR1 (0245H)

リードモディファイライトできません

	7	6	5	4	3	2	1	0
Bit symbol	P4EN	–						
Read/Write	W	W						
リセット後	0	0						
機能	内部クロック 0: 停止 1: 動作	“0” をライトしてください。						

内部ボーレート回路制御

0	停止
1	動作

シリアルバスインタフェースデータバッファレジスタ

SBI0DBR (0241H)

リードモディファイライトできません。

	7	6	5	4	3	2	1	0
Bit symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Read/Write	R (受信)/W (送信)							
リセット後	不定							

注 1) 送信データライト時には、データを MSB (ビット 7) 側につめてライトしてください。また、受信データは LSB 側に格納されます。

注 2) SBI0DBR はライト用のバッファとリード用のバッファを個別に持っているため、ライトしたデータをリードすることはできません。従って、ビット操作などのリードモディファイライト命令 (RMW) ではアクセスできません。

I^2C バスアドレスレジスタ

I2C0AR (0242H)

リードモディファイライトできません。

	7	6	5	4	3	2	1	0
Bit symbol	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	スレーブデバイスとして動作するときのスレーブアドレスの設定							アドレス認識モードの指定

アドレス認識モードの指定

0	スレーブアドレスを認識する。
1	スレーブアドレスを認識しない。

図 3.11.6 I^2C バスモード関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

3.11.5 I²Cバスモード時の制御

(1) アクノリッジメントモードの指定

SBI0CR1<ACK> を “1” にセットしておくと、アクノリッジメントモードとして動作します。マスタのときには、アクノリッジ信号のためのクロックを 1 クロック付加します。トランスミッタモードのときには、このクロックの期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA 端子を “L” レベルに引き、アクノリッジ信号を発生します。

<ACK> を “0” に設定しておくと、非アクノリッジメントモードとして動作し、マスタのときにアクノリッジ信号のためのクロックを発生しません。

(2) 転送ビット数の選択

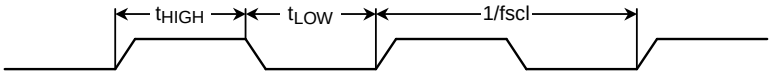
SBI0CR1<BC2:0> により、次に送受信するデータのビット数を選択します。

<BC2:0> はスタートコンディションにより “000” にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のとき、<BC2:0> は一度設定された値を保持します。

(3) シリアルクロック

1. クロックソース

SBI0CR1<SCK2:0> で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。通信ボーレートを設定する場合、本紙記載の下記計算式に合わせて t_{LOW} の最小幅など、I²C バス規定を満たす通信ボーレートを選択してください。



$t_{LOW} = 2^{n-1}/f_{SBI}$

$t_{HIGH} = 2^{n-1}/f_{SBI} + 8/f_{SBI}$

$fscl = 1/(t_{Low} + t_{HIGH})$

$= \dfrac{f_{SBI}}{2^n + 8}$

SBI0CR1<SCK2:0>	n
000	5
001	6
010	7
011	8
100	9
101	10
110	11

注 1) f_{SBI} は f_{FPH} を示します。

注 2) SYSCR0 のプリスケーラの設定において、SBI 回路 (I²C バス，同期通信) 使用時には、fc/16 モードは使用できません。

図 3.11.7 クロックソース

Downloaded from Elcodis.com electronic components distributor

2. クロック同期化

I²C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に “L” レベルに引いたマスタが、 “H” レベルを出力しているマスタのクロックを無効にします。このため、“H” レベルを出力しているマスタは、これを検出し対応する必要があります。

クロック同期化機能を持っており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

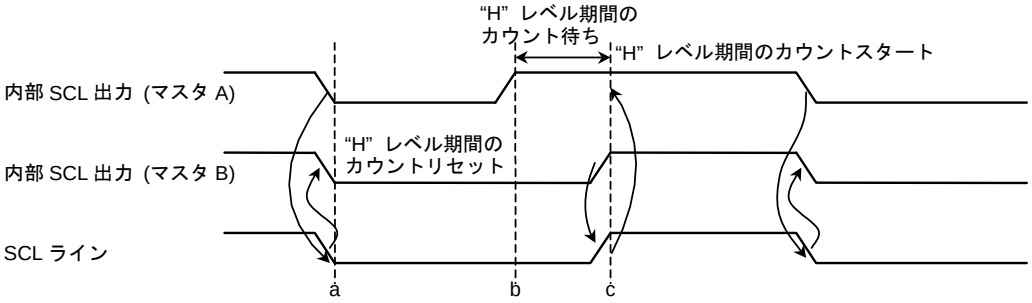


図 3.11.8 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を “L” レベルに引くことで、バスの SCL ラインは “L” レベルになります。マスタ B はこれを検出し、マスタ B の “H” レベル期間のカウントをリセットし、内部 SCL 出力を “L” レベルに引きます。

b 点でマスタ A は “L” レベル期間のカウントを終わり、内部 SCL 出力を “H” レベルにします。しかし、マスタ B が、バスの SCL ラインを “L” レベルに保持し続けているので、マスタ A は “H” レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を “H” レベルにし、バスの SCL ラインが “H” レベルになったことを検出後、“H” レベル期間のカウントを始めます。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い “H” レベル期間を持つマスタと、最も長い “L” レベル期間を持つマスタによって決定されます。

(4) スレーブアドレスとアドレス認識モードの設定

スレーブデバイスとして動作させるときは、I2C0AR にスレーブアドレス <SA6:0> と <ALS> を設定します。

<ALS> に “0” を設定すると、アドレス認識モードになります。

(5) マスタ/スレーブの選択

SBI0CR2<MST> を “1” に設定すると、マスタデバイスとして動作します。

<MST> を “0” に設定すると、スレーブデバイスとして動作します。<MST> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウエアにより “0” にクリアされます。

Downloaded from Elcodis.com electronic components distributor

(6) トランスミッタ/レシーバの選択

SBI0CR2<TRX> を “1” に設定すると、トランスミッタとして動作し、<TRX> を “0” に設定すると、レシーバとして動作します。スレーブモードでアドレッシングフォーマットのデータ転送を行うとき、受信したスレーブアドレスが I2C0CR にセットした値と同じとき、または、ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したとき、ハードウエアによりマスタデバイスから送られてくる方向ビット (R/$\overline{W}$) “1” の場合、<TRX> は “1” にセットされ、 “0” の場合、<TRX> は “0” にクリアされます。マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウエアにより、送信した方向ビットが “1” の場合、<TRX> は “0” に、方向ビットが “0” の場合、<TRX> は “1” に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

<TRX> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウエアにより “0” にクリアされます。

(7) スタート/ストップコンディションの発生

SBI0SR<BB> が “0” のときに、SBI0CR2<MST, TRX, BB, PIN> に “1” をライトすると、バス上にスタートコンディションと、データバッファレジスタにライトしたスレーブアドレス、方向ビットが出力されます。あらかじめ、<ACK> に “1” を設定してください。

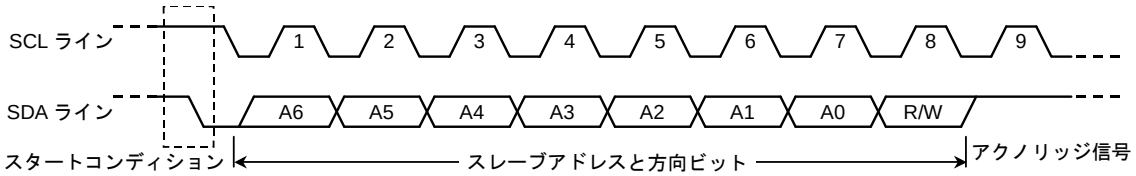


図 3.11.9 スタートコンディションの発生とスレーブアドレスの発生

<BB> = “1” のときに、<MST, TRX, PIN> に “1”、<BB> に “0” をライトすると、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

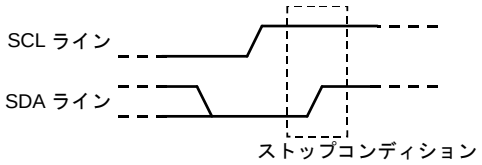


図 3.11.10 ストップコンディションの発生

また、SBI0SR<BB> をリードすることで、バスの状態を知ることができます。<BB> は、バス上のスタートコンディションを検出すると “1” にセットされ (バスビジー状態)、ストップコンディションを検出すると、“0” にクリアされます (バスフリー状態)。

なお、マスタモードでのストップコンディション発生については制約事項がありますので、「ストップコンディションの発生」を参照してください。

Downloaded from Elcodis.com electronic components distributor

(8) 割り込みサービス要求と解除

シリアルバスインタフェース割り込み要求 (INTSBI) が発生すると、SBI0CR2<PIN> が “0” にクリアされます。<PIN>が “0” の間、SCL ラインを “L” レベルに引きます。

<PIN> は 1 ワードの送信または受信が終了すると “0” にクリアされ、SBI0DBR にデータをライトするか、SBI0DBR からデータをリードすると “1” にセットされます。

<PIN> が “1” にセットされてから、SCL ラインが開放されるまで、t_{LOW} の時間がかかります。

アドレス認識モード (<ALS> = “0”) では、受信したスレーブアドレスが I2C0CR にセットした値と同じとき、またはゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したときに、<PIN> が “0” にクリアされます。プログラムで SBI0CR2<PIN> に “1” をライトすると “1” にセットされますが、“0” をライトしても “0” にクリアされません。

(9) シリアルバスインタフェースの動作モード

SBI0CR2<SBIM1:0> でシリアルバスインタフェースの動作モードを設定します。

I²C バスモードで使用するときは、シリアルバスインタフェース端子状態が “H” になっていることを確認後、<SBIM1:0> を “10” に設定します。

ポートモードへの切り替えは、バスがフリーであることを確認してから行ってください。

(10) アービトレーションロスト検出モニタ

I²C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

I²C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。a 点のビットまでマスタ A、マスタ B とも同じデータを出力し、a 点でマスタ A が “L” レベルを出力、マスタ B が “H” レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A よって “L” レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ (マスタ A) のデータを取り込みます。このときマスタ B の出力したデータは無効になります。マスタ B のこの状態を “アービトレーションロスト” と呼びます。マスタ B は SDA 端子を開放し、ほかのマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

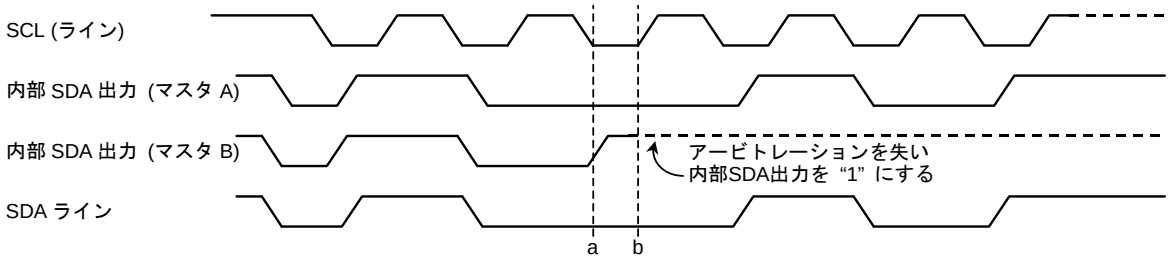


図 3.11.11 アービトレーションロスト

Downloaded from Elcodis.com electronic components distributor

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合、アービトレーションロストになり、SBI0SR<AL>が “1” にセットされます。

<AL>が “1” にセットされると SBI0SR<MST, TRX>は “0” にリセットされ、スレーブレシーバモードになります。そのため、<AL>が “1” にセットされた後のデータ転送ではクロックの出力を停止します。

<AL>は、SBI0DBR にデータをライトするか、SBI0DBR からデータをリード、または SBI0CR2 にデータをライトすると “0” にリセットされます。

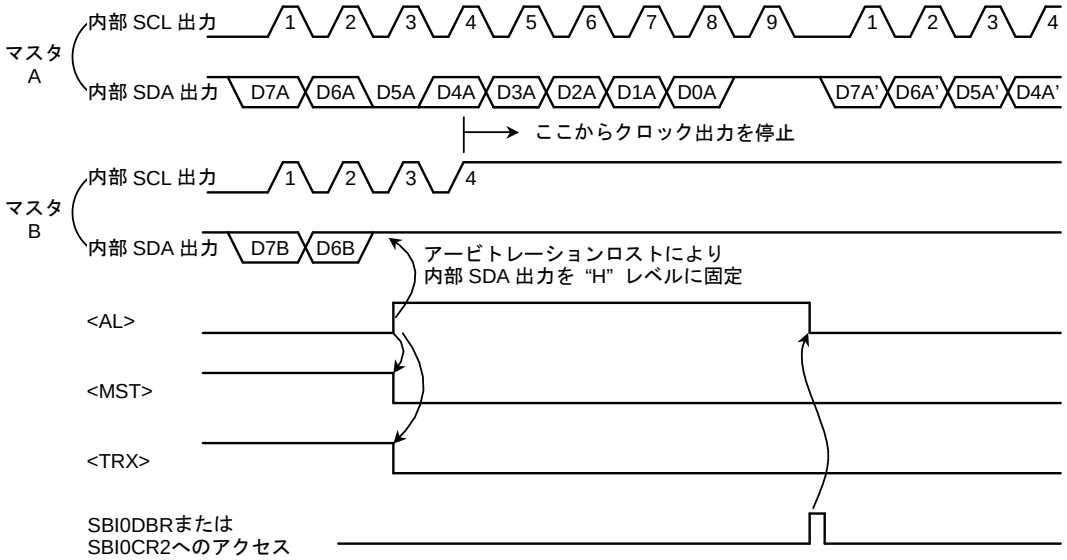


図 3.11.12 マスタ B の場合の例 (D7A = D7B, D6A = D6B)

(11) スレーブアドレス一致検出モニタ

SBI0SR<AAS>は、スレーブモード時、アドレス認識モード (I2C0AR<ALS> = “0”) のとき、ゼネラルコールまたは I2C0AR にセットした値と同じスレーブアドレスを受信すると “1” にセットされます。<ALS> = “1” のときは、最初の 1 ワードが受信されると “1” にセットされます。<AAS>は SBI0DBR にデータをライトするか、SBI0DBR からデータをリードすると “0” にクリアされます。

(12) ゼネラルコール検出モニタ

SBI0SR<AD0>は、スレーブモード時、ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したとき “1” にセットされ、バス上のスタートコンディション、またはストップコンディションが検出されると “0” にクリアされます。

(13) 最終受信ビットモニタ

SBI0SR<LRB>には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。

アクノリッジメントモードのとき、INTSBI 割り込み要求発生直後に SBI0SR<LRB>をリードすると、ACK 信号がリードされます。

Downloaded from Elcodis.com electronic components distributor

(14) ソフトウエアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウエアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBI0CR2<SWRST1:0> へ、最初に “10”、次に “01” をライトすると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。

このとき、SBI0CR2<SBIM1:0> を除くすべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、SBI0CR1<SWRMON> は、シリアルバスインタフェース回路の初期化が終了すると、自動的に “1” にセットされます。

(15) シリアルバスインタフェースデータバッファレジスタ (SBI0DBR)

SBI0DBR をリード/ライトすることで、受信データのリード/送信データのライトを行います。

また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコディションを発生します。

(16) I²C バスアドレスレジスタ (I2C0AR)

I2C0AR<SA6:0> は、スレーブデバイスとして動作する場合のスレーブアドレスを設定するビットです。

また、I2C0AR <ALS> = “0” に設定すると、マスタデバイスから出力されるスレーブアドレスを認識し、データフォーマットはアドレッシングフォーマットとなります。<ALS> = “1” に設定すると、スレーブアドレスを認識せず、データフォーマットはフリーデータフォーマットとなります。

(17) ボーレートレジスタ (SBI0BR1)

I²C バスを使用する前に、ボーレート回路制御レジスタ SBI0BR1<P4EN> に “1” をライトしてください。

(18) IDLE2 設定レジスタ (SBI0BR0)

SBI0BR0<I2SBI0>は IDLE2 モードに遷移した際に動作の許可/禁止を設定するレジスタです。

HALT 命令を実行する前に、あらかじめ設定してください。

Downloaded from Elcodis.com electronic components distributor

3.11.6 I²Cバスモード時のデータ転送手順

(1) デバイスの初期化

最初に SBI0BR1<P4EN>, SBI0CR1<ACK, SCK2:0> を設定します。SBI0BR1<P4EN> = “1” を、SBI0CR1 のビット 7~5, 3 には、“0” をライトしてください。

次に I2C0AR にスレーブアドレス <SA6:0> と <ALS> (アドレッシングフォーマット時、<ALS> = “0”) を設定します。

最後に、SBI0CR2<MST, TRX, BB> に “0”、<PIN> に “1”、<SBIM1:0> に “10”、ビット 1, 0 に “0” をライトし、初期状態をスレーブレシーバモードにします。

(2) スタートコンディション、スレーブアドレスの発生

1. マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態 (<BB> = “0”) を確認します。

次に、SBI0CR1<ACK> に “1” をライトして、アクノリッジメントモードに設定します。また、SBI0DBR に、送信するスレーブアドレスと方向ビットのデータをライトします。

<BB> = “0” の状態で、SBI0CR2<MST, TRX, BB, PIN> に “1111” をライトすると、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCL 端子から 9 発のクロックを出力します。最初の 8 クロックで、SBI0DBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを開放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTSBI 割り込み要求が発生し、<PIN> = “0” にクリアされます。マスタモード時は、<PIN> = “0” の間 SCL ラインを “L” レベルに引きます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBI 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

2. スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または I2C0AR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを “L” レベルに引き、アクノリッジ信号を出力します。

9 クロック目の立ち下がりで、INTSBI 割り込み要求が発生し、<PIN> = “0” にクリアされます。スレーブモード時は、<PIN> = “0” の間、SCL ラインを “L” レベルに引きます。

Downloaded from Elcodis.com electronic components distributor

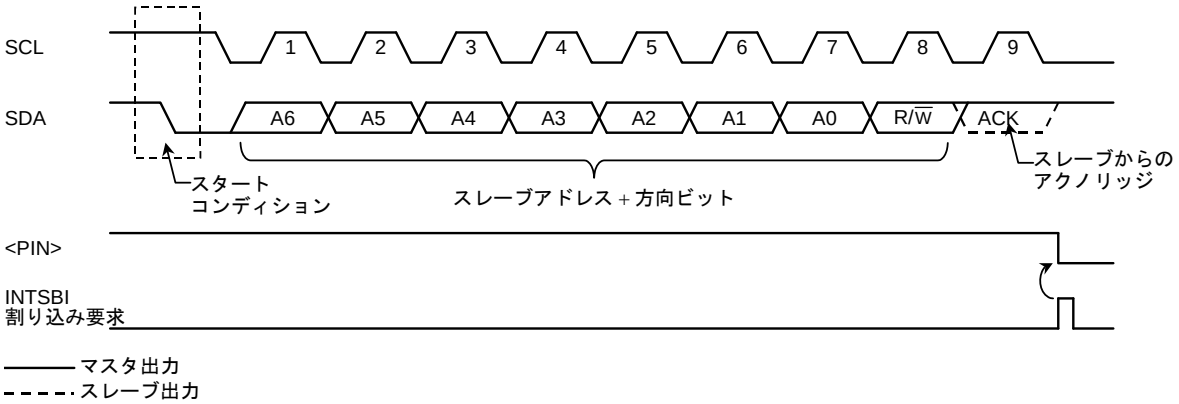


図 3.11.13 スタートコンディションとスレーブアドレスの発生

(3) 1 ワードのデータ転送

1 ワード転送終了の INTSBI 割り込みの処理で <MST> をテストし、マスタモード/スレーブモードの判断をします。

1. マスタモードの場合 (<MST> = “1”)

<TRX> をテストし、トランスミッタ/レシーバの判断をします。

トランスミッタモードの場合 (<TRX> = “1”)

<LRB> をテストします。<LRB> が “1” のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理 (後記参照) を行ってデータ転送を終了します。

<LRB> が “0” のとき、レシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットのとき、SBI0DBR に転送データをライトします。8 ビット以外のときは <BC2:0>, <ACK> を設定し、転送データを SBI0DBR にライトします。データをライトすると <PIN> が “1” になり SCL 端子から次の 1 ワードのデータ転送用のシリアルクロックが発生され、SDA 端子から 1 ワードのデータが転送されます。転送終了後 INTSBI 割り込み要求が発生し、<PIN> が “0” になり SCL 端子を “L” レベルに引きます。複数ワードの転送が必要な場合は、上記 <LRB> のテストから繰り返します。

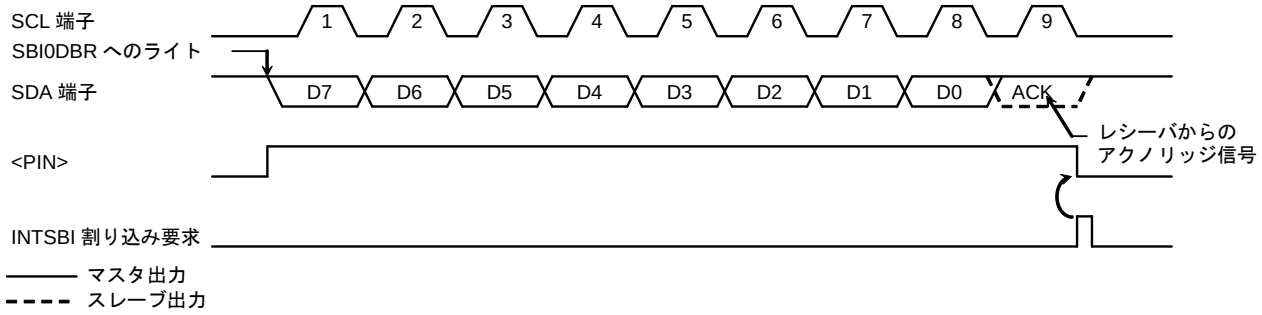


図 3.11.14 <BC2:0> = “000”, <ACK> = “1” のときの例 (トランスミッタモード)

Downloaded from Elcodis.com electronic components distributor

レシーバモードの場合 (<TRX> = “0”)

転送するデータのビット数が 8 ビット以外のときは <BC2:0>, <ACK> を設定し、SCL ラインを開放するために SBI0DBR から受信データをリードします (スレーブアドレス送信直後のリードデータは不定です)。データをリードすると <PIN> は “1” になり、次の 1 ワードのデータ転送用シリアルクロックを SCL 端子に出力し、アクノリッジのタイミングで “L” レベルを SDA 端子に出力します。

その後、INTSBI 割り込み要求が発生し、<PIN> が “0” になり SCL 端子を “L” レベルにひきます。SBI0DBR から受信データをリードするたびに、1 ワードの転送クロックとアクノリッジを出力します。

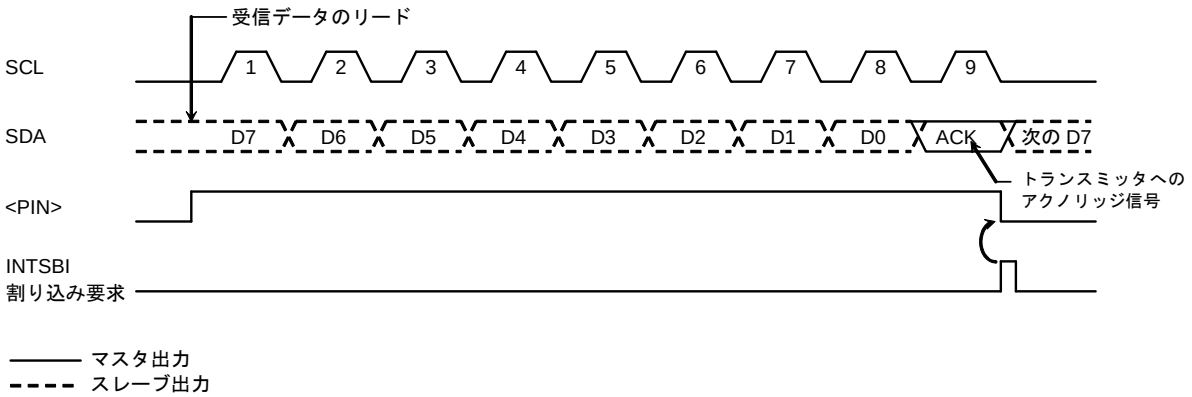


図 3.11.15 <BC2:0> = “000”, <ACK> = “1” のときの例 (レシーバモード)

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータをリードする前に <ACK> を “0” にクリアします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で <BC2:0> = “001” に設定し、データをリードすると、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなので、バスの SDA ラインは “H” レベルを保ちます。トランスミッタは ACK 信号としてこの “H” レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

Downloaded from Elcodis.com electronic components distributor

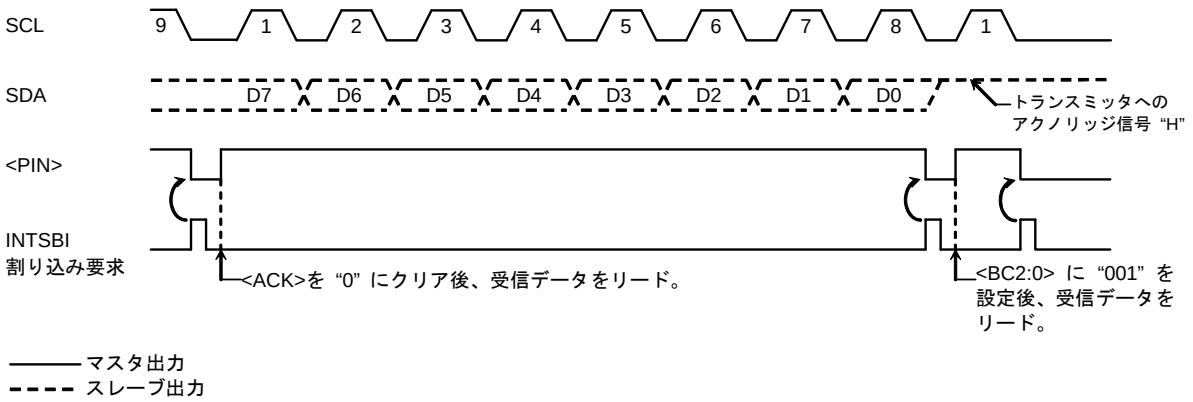


図 3.11.16 マスタレシーバモード時、データの送信を終了させるときの処理

2. スレーブモードの場合 (<MST> = “0”)

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールを受信したとき、もしくは、受信したスレーブアドレスが一致した後、または、ゼネラルコールを受信した後のデータ転送終了時に INTSBI 割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSBI 割り込み要求が発生します。INTSBI 割り込み要求が発生すると <PIN> が “0” にリセットされ、SCL 端子を “L” レベルに引きます。SBI0DBR にデータをライト、SBI0DBR からデータをリード、または <PIN> に “1” を設定すると、SCL 端子が t_{LOW} 後に開放されます。

SBI0SR<AL>, <TRX>, <AAS>, <AD0> をテストし、場合分けを行います。表 3.11.1 にスレーブモード時の状態と必要な処理を示します。

Downloaded from Elcodis.com electronic components distributor

表 3.11.1 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<AD0>	状 態	処 理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、ほかのマスタが送った方向ビットが “1” のスレーブアドレスを受信	1 ワードのビット数を <BC2:0> にセットし、送信するデータを SBI0DBR にライトします。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが “1” のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	LRB をテストし、“1” にセットされていた場合、レシーバが次のデータを要求していないので <PIN> に “1” をセット、<TRX> を “0” にリセットし、バスを解放します。<LRB> が “0” にリセットされていた場合、レシーバが次のデータを要求しているので、1 ワードのビット数を <BC2:0> にセットし、送信するデータを SBI0DBR にライトします。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、ほかのマスタが送った方向ビットが “0” のスレーブアドレス、またはゼネラルコールを受信	<PIN> を “1” にセットするために SBI0DBR をリードするか (ダミーリード)、または <PIN> に “1” をライトします。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが “0” のスレーブアドレス、またはゼネラルコールを受信	
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	1 ワードのビット数を <BC2:0> にセットし、受信データを SBI0DBR からリードします。

Downloaded from Elcodis.com electronic components distributor

(4) ストップコンディションの発生

SBI0SR<BB> = “1” のときに、SBI0CR2<MST, TRX, PIN>に “1”、<BB>に “0” をライトすると、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

なお、バスの SCL ラインがほかのデバイスにより引かれていた場合、SCL ラインが開放されるのを待ち、SDA 端子が立ち上がり、ストップコンディションが発生します。

<MST, TRX, PIN>に “1”、<BB>に “0” をライトした場合 (マスタモードでのストップコンディション発生) は、ストップコンディションを待たずにライト後、内部 SCL が “1” になると SBI0SR<BB>が “0” になります。

よって、バスフリー状態の検出には、ポート入力による SCL, SDA 端子の信号レベル “1” の確認が必要となります。

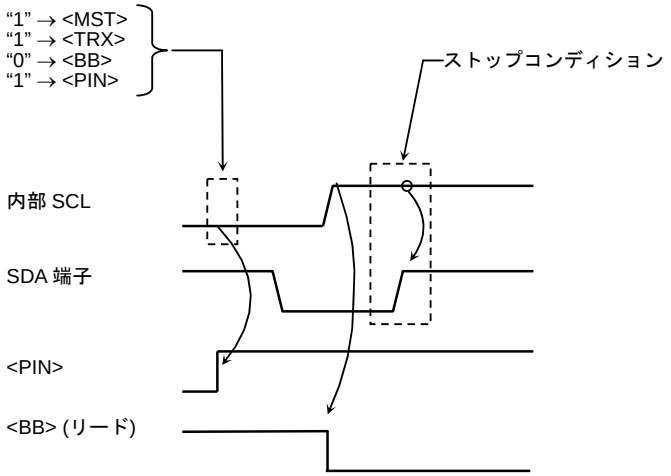


図 3.11.17 ストップコンディションの発生 (シングルマスタの場合)

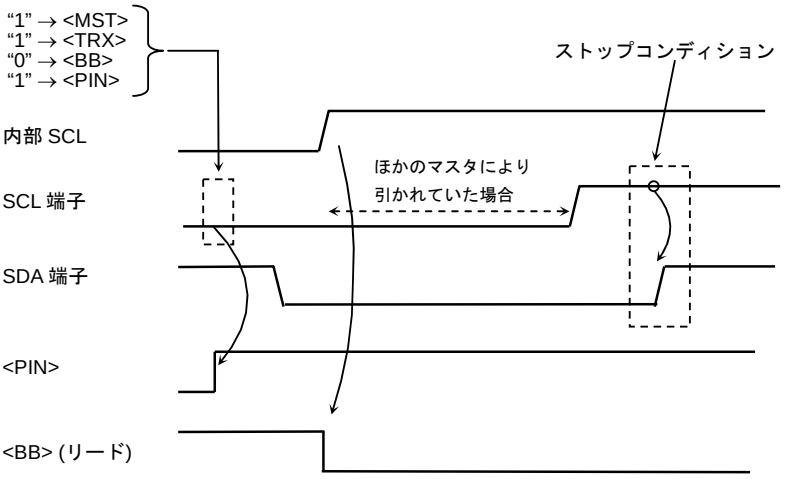


図 3.11.18 ストップコンディションの発生 (マルチマスタの場合)

Downloaded from Elcodis.com electronic components distributor

(5) 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生する場合の手順を以下に示します。

まず、SBI0CR2<MST, TRX, BB> に “0”、<PIN> に “1” をライト、バスを解放します。このとき SDA 端子は “H” レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、ほかのデバイスから見るとバスはビジー状態のままです。このあと、SBI0SR<BB>をテストして”0”になるまで待ち、SCL 端子が開放されたことを SBI0SR<BB>＝”0”,もしくはポート設定を変更し、SCL 端子の信号レベル”1”の確認で行います。

次に <LRB> をテストして “1” になるまで待ち、ほかのデバイスがバスの SCL ラインを “L” レベルにひいていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に、前記 (2) の手順でスタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで、最低 4.7 μs のソフトウエアによる待ち時間が必要です。

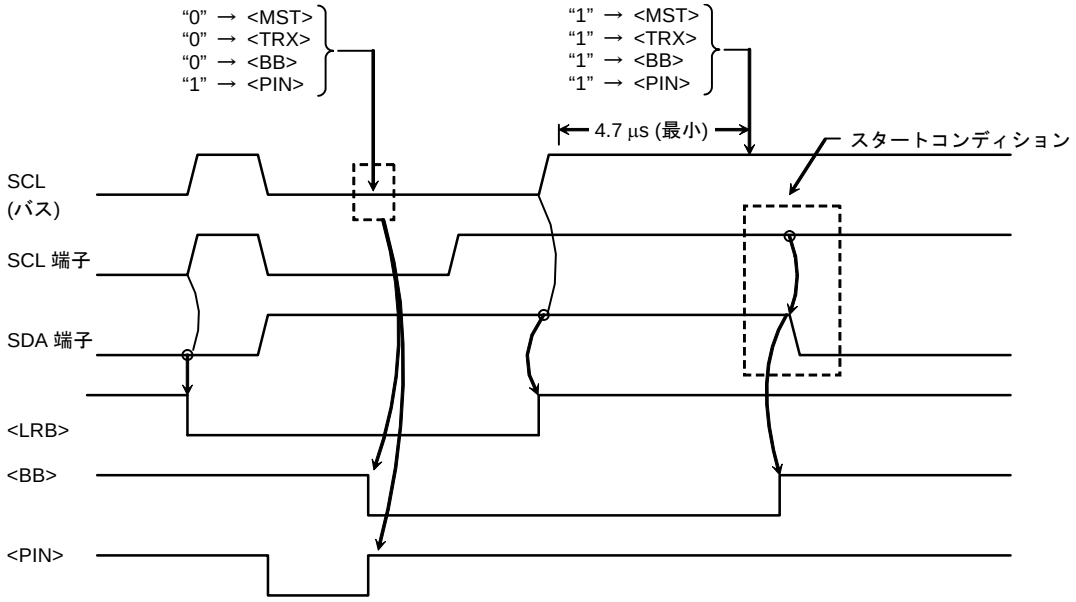


図 3.11.19 再スタートを発生する場合のタイミングチャート

Downloaded from Elcodis.com electronic components distributor

3.11.7 クロック同期式 8 ビットSIOモード時の制御

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用するときの制御、および、動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 1

SBI0CR1 (0240H)

リード モディファイ ライト できません。

	7	6	5	4	3	2	1	0
Bit symbol	SIOS	SIOINH	SIOM1	SIOM0		SCK2	SCK1	SCK0
Read/Write	W					W		W
リセット後	0	0	0	0		0	0	0
機能	転送の 開始/終了 0： 終了 1： 開始	転送の 強制停止 0： 転送継続 1： 強制停止	転送モードの選択 00： 送信モード 01： (Reserved) 10： 送受信モード 11： 受信モード			シリアルクロック周波数の選択とリセット モニタ		

シリアルクロック周波数の選択 <SCK2:0> @ライト

000	n = 4	1.7 MHz
001	n = 5	843.8 kHz
010	n = 6	421.9 kHz
011	n = 7	210.9 kHz
100	n = 8	105.5 kHz
101	n = 9	52.7 kHz
110	n = 10	26.4 kHz
111	–	外部クロック (SCK 端子から入力)

システムクロック: fc
クロックギア: fc/1
fc = 27 MHz (SCK 端子への出力)
周波数 = $\frac{fc}{2^n}$ [Hz]

転送モードの選択

00	8 ビット送信モード
01	(Reserved)
10	8 ビット送受信モード
11	8 ビット受信モード

転送の強制停止

0	転送継続
1	強制停止 (停止後、自動的にクリア)

転送の開始/終了

0	終了
1	開始

注) 転送モード，シリアルクロックの設定時は、<SIOS> = “0” および <SIOINH> = “1” に設定してください。

シリアルバスインタフェースデータバッファレジスタ

SBI0DBR (0241H)

リード モディファイ ライト できません。

	7	6	5	4	3	2	1	0
Bit symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Read/Write	R (受信)/W (送信)							
リセット後	不定							

図 3.11.20 SIO モード関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

シリアルバスインタフェース制御レジスタ 2

SBI0CR2 (0243H)

リード モディファイ ライト できません。

	7	6	5	4	3	2	1	0
Bit symbol					SBIM1	SBIM0	–	–
Read/Write					W		W	W
リセット後					0	0	0	0
機能					シリアルバスインタフェースの動作モード選択 00: ポートモード 01: SIO モード 10: I²C バスモード 11: (Reserved)		“0” をライトしてください。注 2)	“0” をライトしてください。注 2)

注 1) クロック同期式 8 ビット SIO モードに切り替える前に、SBI0CRI<BC2:0> を “000” にクリアしてください。

注 2) SBI0CR2 のビット 1:0 には “00” 以外をライトしないでください。

シリアルバスインタフェースの動作モード選択

00	ポートモード (シリアルバスインタフェースの出力禁止)
01	クロック周期式 8 ビット SIO モード
10	I²C バスモード
11	(Reserved)

シリアルバスインタフェースレジスタ

SBI0SR (0243H)

	7	6	5	4	3	2	1	0
Bit symbol					SIOF	SEF		
Read/Write					R			
リセット後					0	0		
機能					シリアル転送動作状態モニタ	シフト動作状態モニタ		

シリアル転送動作状態モニタ

0	転送終了
1	転送中

シフト動作状態モニタ

0	シフト動作終了
1	シフト転送中

シリアルバスインタフェースボーレートレジスタ 0

SBI0BR0 (0244H)

リード モディファイ ライト できません。

	7	6	5	4	3	2	1	0
Bit symbol	–	I2SBI0						
Read/Write	W	R/W						
リセット後	0	0						
機能	“0” をライトしてください。	IDLE2 0: 停止 1: 動作						

IDLE2 時の動作

0	停止
1	動作

シリアルバスインタフェースボーレートレジスタ 1

SBI0BR1 (0245H)

リード モディファイ ライト できません。

	7	6	5	4	3	2	1	0
Bit symbol	P4EN	–						
Read/Write	W	W						
リセット後	0	0						
機能	内部クロック 0: 停止 1: 動作	“0” をライトしてください。						

内部ボーレート回路制御

0	停止
1	動作

図 3.11.21 SIO モード関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

(1) シリアルクロック

1. クロックソース

SBI0CR1<SCK2:0> により、次の選択ができます。

内部クロック

内部クロックモードでは 7 種類の周波数が選択できます。シリアルクロックは SCK 端子より外部に出力されます。

プログラムでデータのライト(送信時)、またはデータのリード (受信時) がこのシリアルクロックレートに追随できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を持っています。

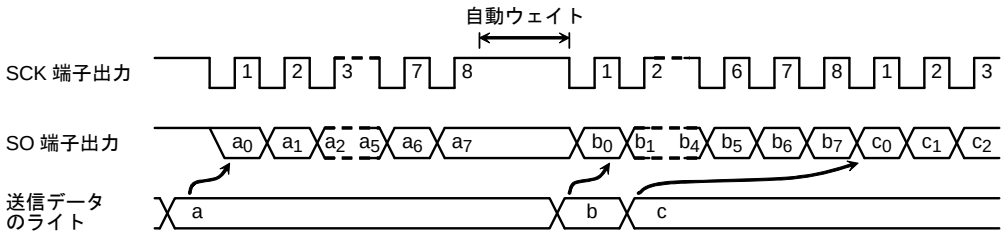


図 3.11.22 自動ウェイト機能

外部クロック (<SCK2:0> = “111”)

外部から SCK 端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実に行うためには、シリアルクロックの “H” レベル, “L” レベル幅は、下記に示すパルス幅が必要です。従って、最大転送周波数は 1.7MHz (fc = 27MHz 時) です。

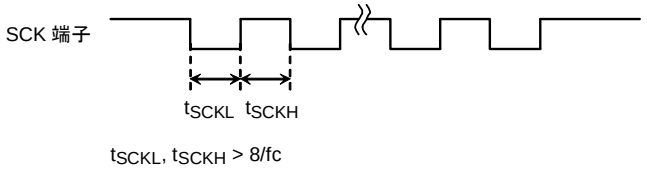


図 3.11.23 外部クロック入力時の最大転送周波数

Downloaded from Elcodis.com electronic components distributor

2. シフトエッジ

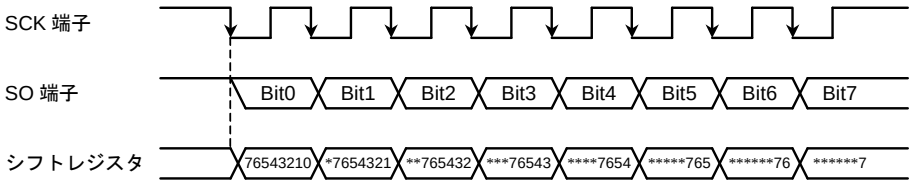
送信は前縁シフト, 受信は後縁シフトになります。

前縁シフト

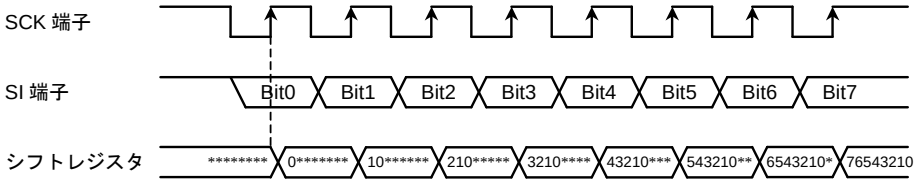
シリアルクロックの前縁 (SCK 端子入出力の立ち下がりエッジ) でデータをシフトします。

後縁シフト

シリアルクロックの後縁 (SCK 端子入出力の立ち上がりエッジ) でデータをシフトします。



(a) 前縁シフト



(b) 後縁シフト

*: Don't care

図 3.11.24 シフトエッジ

Downloaded from Elcodis.com electronic components distributor

(2) 転送モード

SBI0CR1<SIOM1:0> で、送信/受信/送受信モードを選択します。

1. 8 ビット送信モード

制御レジスタに送信モードをセットした後、送信データを SBI0DBR にライトします。

送信データのライト後、SBI0CR1<SIOS> = “1” をライトすることにより送信が開始されます。送信データは、SBI0DBR からシフトレジスタに移され、シリアルクロックに同期して最下位ビット (LSB) 側から SO 端子に出力されます。送信データがシフトレジスタに移されると、SBI0DBR が空になりますので、次の送信データを要求する INTSBI (バッファエンプティ) 割り込み要求が発生します。

内部クロック動作の場合、8 ビットのデータをすべて送信した後、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データをライトすると、自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBI0DBR にデータがライトされている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、SBI0DBR にデータをライトするまでの最大遅れ時間により決まります。

送信開始時、SBI0SR<SIOF> が “1” となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTSBI 割り込みサービスプログラムで <SIOS> = “0” をライトするか <SIOINH> = “1” をライトします。<SIOS> がクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了の確認は SBI0SR<SIOF> で行います。<SIOF> は送信の終了で “0” になります。<SIOINH> = “1” をライトした場合は直ちに送信を打ち切り、<SIOF> は “0” になります。

外部クロック動作では、次の送信データのシフト動作に入る前に <SIOS> を “0” にクリアする必要があります。もしシフトアウトする前に <SIOS> がクリアされなかった場合は、ダミーのデータの送信後に停止します。

Downloaded from Elcodis.com electronic components distributor

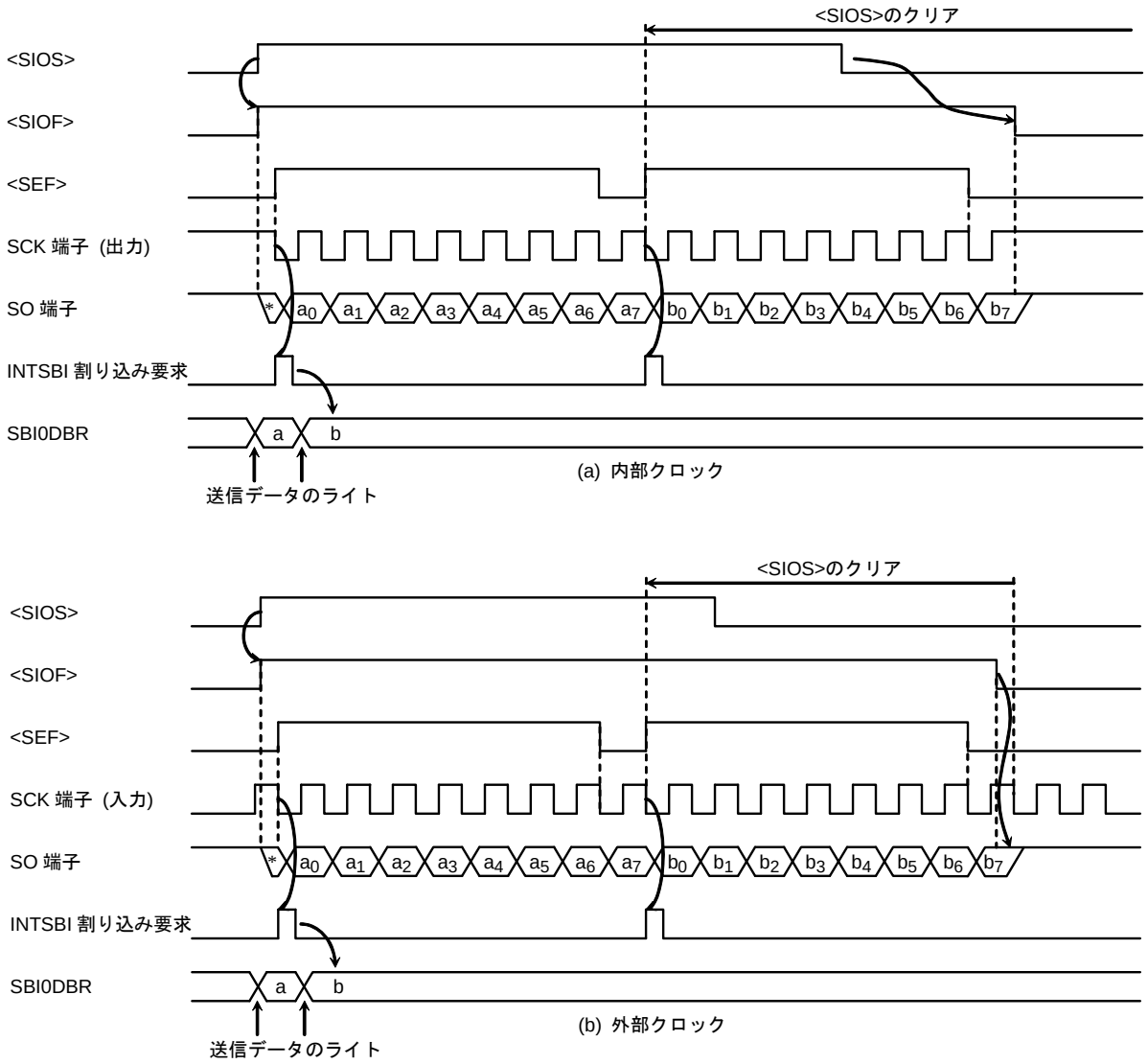


図 3.11.25 送信モード

例: <SIOS> の送信終了指示 (外部クロックの場合)。

```
STEST1  :  BIT   2, (SBI0SR)          ;  If <SEF> = 1   then loop
           JR    NZ, STEST1
STEST2  :  BIT   0, (P6)              ;  If SCK = 0   then loop
           JR    Z, STEST2
           LD    (SBI0CR1), 00000111B ;  <SIOS> ← 0
```


Downloaded from Elcodis.com electronic components distributor

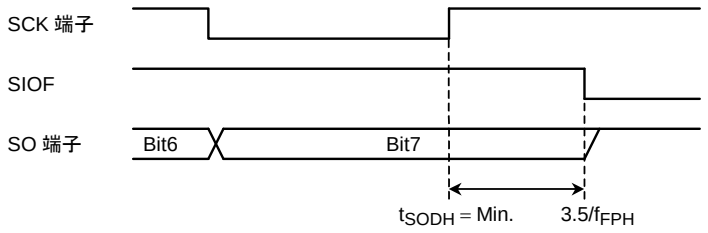


図 3.11.26 送信終了時の送信データ保持時間

2. 8 ビット受信モード

制御レジスタに受信モードをセットした後、SBI0CR1<SIOS> = “1” をライトすることにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側からシフトレジスタへデータを取り込みます。8 ビットのデータが取り込まれると、シフトレジスタから SBI0DBR に受信データがライトされ、受信データのリードを要求する INTSBI (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにて SBI0DBR からリードします。

内部クロック動作の場合、受信データが SBI0DBR からリードされるまで、シリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データをリードします。もし、受信データがリードされない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データのリードまでの最大遅れ時間により決まります。

受信を終了させるには、INTSBI 割り込みサービスプログラムで <SIOS> = “0” をライトするか、<SIOINH> = “1” をライトします。<SIOS> がクリアされると受信データが全ビットそろい、SBI0DBR へのライトが完了した時点で受信が終了します。プログラムによる受信終了の確認は、SBI0SR<SIOF> で行います。<SIOF> は受信の終了で “0” にクリアされます。受信終了の確認後、最終受信データをリードします。<SIOINH> = “1” をライトした場合は、直ちに受信を打ち切り、<SIOF> は “0” になります (受信データは無効になりますのでリードする必要はありません)。

注) 転送モードを切り替えると、SBI0DBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (<SIOS> = “0” をライト) を行い、最終受信データをリードした後で切り替えてください。

Downloaded from Elcodis.com electronic components distributor

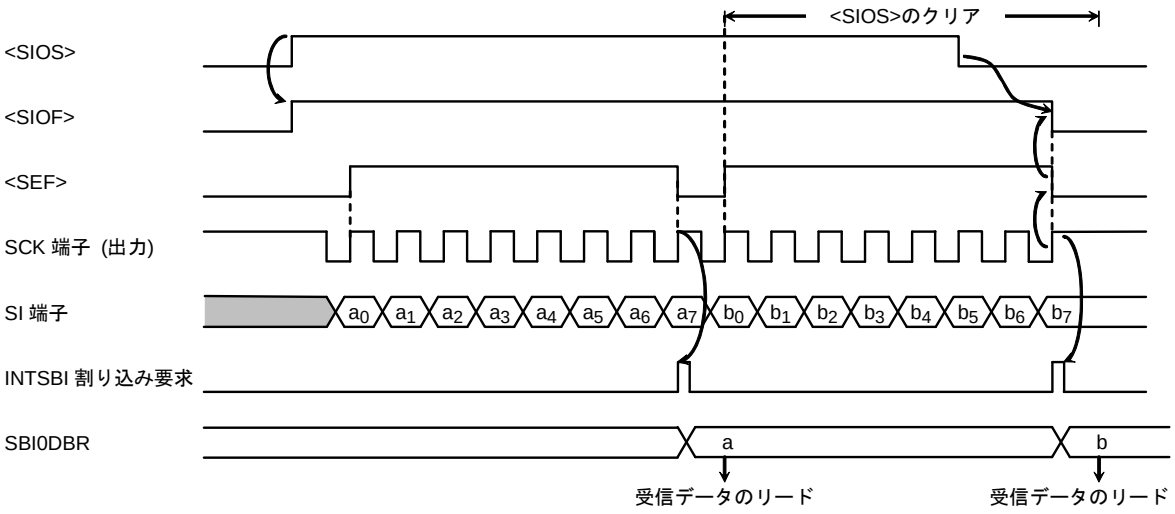


図 3.11.27 受信モード (例: 内部クロック)

3. 8 ビット送受信モード

制御レジスタに送受信モードをセットした後、送信データを SBI0DBR にライトします。その後、SBI0CR1<SIOS> に “1” をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの立ち下がりで送信データが SO 端子から出力され、立ち上がりで受信データが SI 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタから SBI0DBR へ受信データが転送され、INTSBI 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタからリード、その後、送信データをライトします。SBI0DBR は、送信/受信モードで兼用していますので、送信データは必ず受信データをリードしてからライトするようにしてください。

内部クロック動作の場合、受信データをリードし、次の送信データをライトするまで自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データをリードし、 次の送信データをライトする必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データをリードし、送信データをライトするまでの最大遅れ時間により決まります。

送信開始時、<SIOF> が “1” となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSBI 割り込みサービスプログラムで <SIOS> = “0” をライトするか、SBI0CR1<SIOINH> = “1” をライトします。<SIOS> がクリアされると、受信データがそろい、SBI0DBR への転送が完了した時点で送受信が終了します。プログラムによる送受信終了の確認は、SBI0SR<SIOF> で行います。<SIOF> は送受信の終了で “0” にクリアされます。<SIOINH> をセットした場合は、直ちに送受信を打ち切り、<SIOF> は “0” にクリアされます。

注) 転送モードを切り替えると SBI0DBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示 (<SIOS> = “0” をライト) を行い、最終受信データをリードした後で切り替えてください。

Downloaded from Elcodis.com electronic components distributor

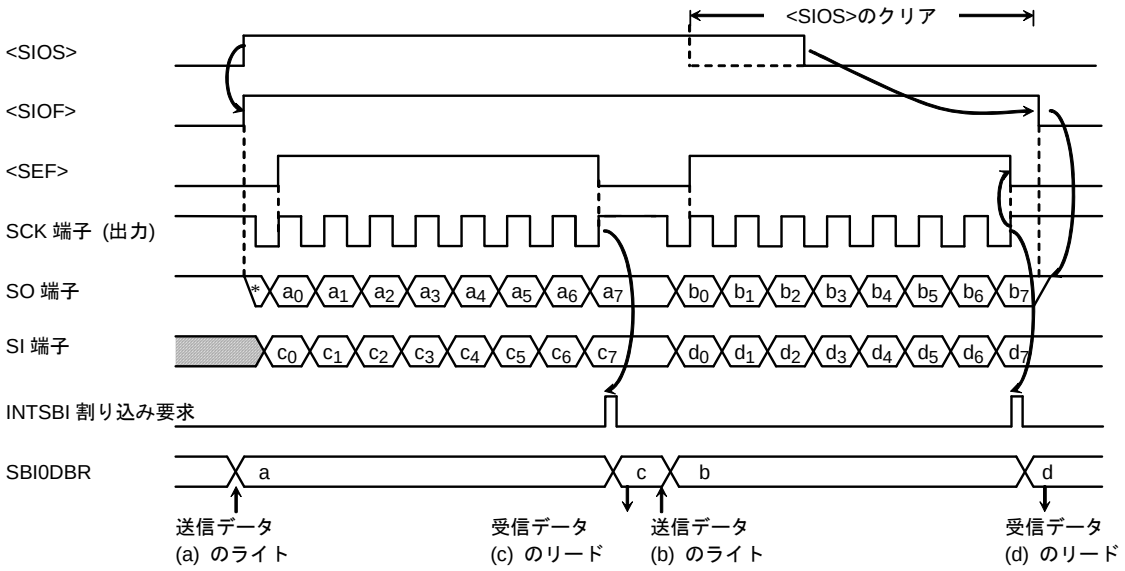


図 3.11.28 送受信モード (例: 内部クロック)

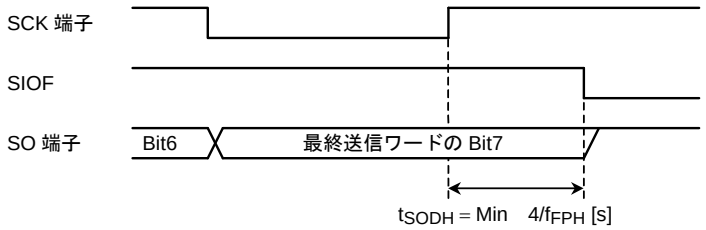


図 3.11.29 送受信終了時の送信データ保持時間 (送受信モード時)

Downloaded from Elcodis.com electronic components distributor

3.12 アナログ/デジタルコンバータ

8 チャネルのアナログ入力を持つ、10 ビット逐次比較方式アナログ/デジタルコンバータ (AD コンバータ) を内蔵しています。

図 3.12.1に、ADコンバータのブロック図を示します。

8 チャネルのアナログ入力端子 (AN0~AN7) は、入力専用ポート 5 と兼用で入力ポートとしても使用できます。

注) IDLE2, IDLE1, STOP モードにより電源電流を低減させる場合は、タイミングにより内部コンパレータがイネーブル状態のままスタンバイに入ることがありますので、AD コンバータの動作が停止していることを確認してから HALT 命令を実行してください。

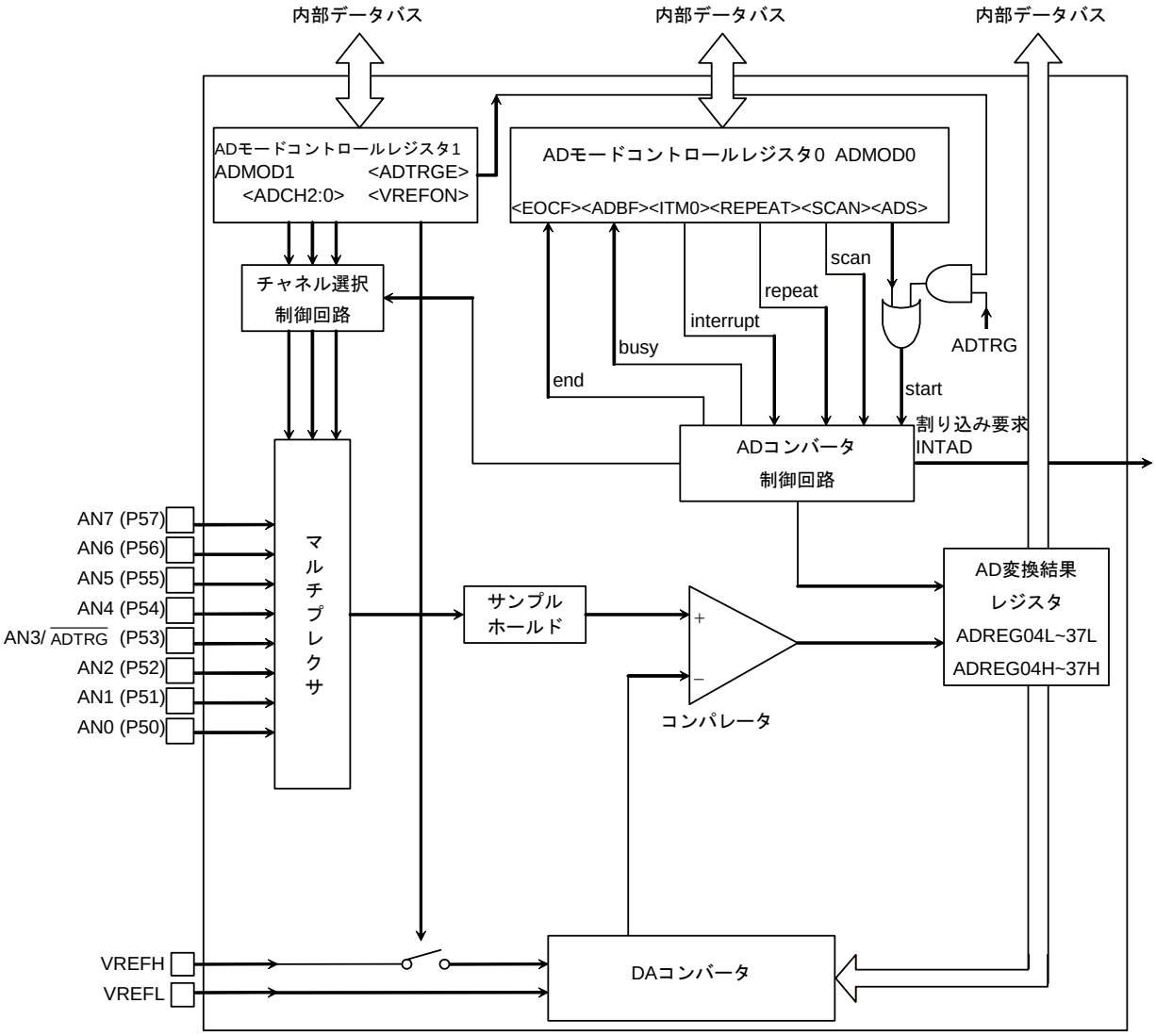


図 3.12.1 AD コンバータのブロック図

Downloaded from Elcodis.com electronic components distributor

3.12.1 コントロールレジスタ

AD コンバータは、AD モードコントロールレジスタ(ADMOD0, ADMOD1)により制御されています。また、AD 変換結果は、AD 変換結果上位/下位レジスタ ADREG04H/L, ADREG15H/L, ADREG26H/L, ADREG37H/L の 8 つのレジスタに格納されます。

図 3.12.2にADコンバータ関係のレジスタを示します。

AD モードコントロールレジスタ 0

ADMOD0 (02B0H)	7	6	5	4	3	2	1	0
Bit symbol	EOCF	ADBF	–	–	ITM0	REPEAT	SCAN	ADS
Read/Write	R		R/W					
リセット後	0	0	0	0	0	0	0	0
機能	AD 変換終了フラグ 0 : 変換中 1 : 終了	AD 変換ビジーフラグ 0 : 変換停止 1 : 変換中	“0” をライトしてください。	“0” をライトしてください。	チャネル固定リピート変換モード時の割り込み指定 0 : 1 回変換ごと 1 : 4 回変換ごと	リピートモード指定 0: シングル変換モード 1 : リピート変換モード	スキャンモード指定 0 : チャネル固定モード 1 : チャネルスキャンモード	AD 変換スタート 0 : Don’t care 1 : 変換開始 リードすると常に “0” がリードされます。

AD 変換スタート

0	Don’t care
1	AD 変換開始

注) リードすると常に “0” になります。

AD スキャンモード指定

0	AD 変換チャネル固定モード
1	AD 変換チャネルスキャンモード

AD リピートモード指定

0	AD シングル変換モード
1	AD リピート変換モード

チャネル固定リピート変換モード時の AD 変換割り込み指定

	チャネル固定リピート変換モード <SCAN> = “0”, <REPEAT> = “1”
0	1 回変換するごとに割り込み発生
1	4 回変換するごとに割り込み発生

AD 変換ビジーフラグ

0	AD 変換停止
1	AD 変換中

AD 変換終了フラグ

0	AD 変換前または変換中
1	AD 変換終了

図 3.12.2 AD コンバータ関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

AD モードコントロールレジスタ 1

ADMOD1 (02B1H)	7	6	5	4	3	2	1	0
Bit symbol	VREFON	I2AD			ADTRGE	ADCH2	ADCH1	ADCH0
Read/Write	R/W	R/W			R/W			
リセット後	0	0			0	0	0	0
機能	VREF 印加制御 0 : OFF 1 : ON	IDLE2 0 : 停止 1 : 動作			AD 外部トリガスタート制御 0 : 禁止 1 : 許可	アナログ入力チャネル選択		

アナログ入力チャネル選択

<ADCH2:0> \ <SCAN>	0 (チャネル固定)	1 (チャネルスキャン)
000	AN0	AN0
001	AN1	AN0 → AN1
010	AN2	AN0 → AN1 → AN2
011 (注)	AN3	AN0 → AN1 → AN2 → AN3
100	AN4	AN4
101	AN5	AN4 → AN5
110	AN6	AN4 → AN5 → AN6
111	AN7	AN4 → AN5 → AN6 → AN7

外部トリガ ($\overline{\text{ADTRG}}$ 入力) による AD 変換スタート制御

0	ディセーブル
1	イネーブル

IDLE2 制御

0	停止
1	動作

AD コンバータ用基準電圧印加制御

0	OFF
1	ON

変換スタート前 (ADMOD0<ADS> に "1" をライトする前) に、<VREFON> を "1" に設定してください。

注) AN3 端子は、$\overline{\text{ADTRG}}$ 入力端子と兼用になっています。このため <ADTRGE> = "1" で $\overline{\text{ADTRG}}$ を使用している場合は、<ADCH2:0> = "011" に設定しないでください。

図 3.12.3 AD コンバータ関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

AD 変換結果下位レジスタ 0/4

ADREG04L (02A0H)	7	6	5	4	3	2	1	0
Bit symbol	ADR01	ADR00						ADR0RF
Read/Write	R							R
リセット後	不定							0
機能	AD 変換結果下位 2 ビット格納							AD 変換結果格納フラグ 1: 変換結果あり

AD 変換結果上位レジスタ 0/4

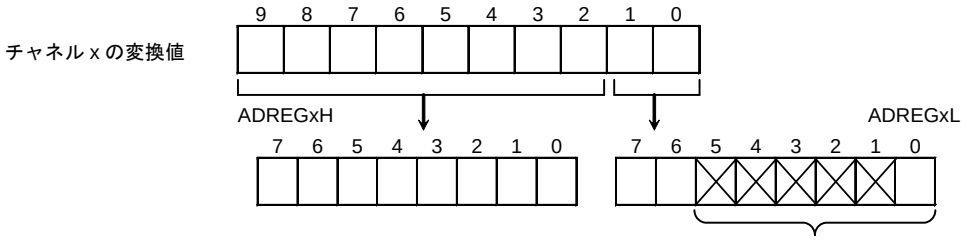
ADREG04H (02A1H)	7	6	5	4	3	2	1	0
Bit symbol	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
Read/Write	R							
リセット後	不定							
機能	AD 変換結果上位 8 ビット格納							

AD 変換結果下位レジスタ 1/5

ADREG15L (02A2H)	7	6	5	4	3	2	1	0
Bit symbol	ADR11	ADR10						ADR1RF
Read/Write	R							R
リセット後	不定							0
機能	AD 変換結果下位 2 ビット格納							AD 変換結果格納フラグ 1: 変換結果あり

AD 変換結果上位レジスタ 1/5

ADREG15H (02A3H)	7	6	5	4	3	2	1	0
Bit symbol	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
Read/Write	R							
リセット後	不定							
機能	AD 変換結果上位 8 ビット格納							



- ビット 5~1 をリードすると、常に “1” になります。
- ビット 0 は、AD 変換結果格納フラグ <ADRxRF> です。AD 変換値が格納されると、“1” にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、“0” にクリアされます。

図 3.12.4 AD コンバータ関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

AD 変換結果下位レジスタ 2/6

ADREG26L (02A4H)	7	6	5	4	3	2	1	0
Bit symbol	ADR21	ADR20						ADR2RF
Read/Write	R							R
リセット後	不定							0
機能	AD 変換結果下位 2 ビット格納							AD 変換結果格納フラグ 1: 変換結果あり

AD 変換結果上位レジスタ 2/6

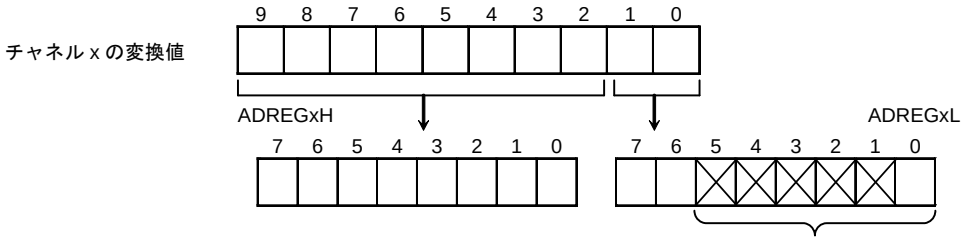
ADREG26H (02A5H)	7	6	5	4	3	2	1	0
Bit symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
Read/Write	R							
リセット後	不定							
機能	AD 変換結果上位 8 ビット格納							

AD 変換結果下位レジスタ 3/7

ADREG37L (02A6H)	7	6	5	4	3	2	1	0
Bit symbol	ADR31	ADR30						ADR3RF
Read/Write	R							R
リセット後	不定							0
機能	AD 変換結果下位 2 ビット格納							AD 変換結果格納フラグ 1: 変換結果あり

AD 変換結果上位レジスタ 3/7

ADREG37H (02A7H)	7	6	5	4	3	2	1	0
Bit symbol	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
Read/Write	R							
リセット後	不定							
機能	AD 変換結果上位 8 ビット格納							



- ビット 5~1 をリードすると、常に “1” になります。
- ビット 0 は、AD 変換結果格納フラグ <ADRxRF> です。AD 変換値が格納されると、“1” にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、“0” にクリアされます。

図 3.12.5 AD コンバータ関係のレジスタ

Downloaded from Elcodis.com electronic components distributor

3.12.2 動作説明

(1) アナログ基準電圧

アナログ基準電圧の “H” レベル側を VREFH 端子に、“L” レベル側を VREFL 端子に印加します。VREFH~VREFL 間の基準電圧をストリング抵抗により 1024 分割し、アナログ入力電圧と比較判定を行うことにより、AD 変換を行います。

ADMOD1<VREFON>に “0” をライトすることにより、VREFH~VREFL 間のスイッチを OFF できます。なお、OFF している状態から AD 変換スタートをさせる場合は、必ず <VREFON> に “1” をライトした後、内部基準電圧が安定するまでの 3 μs (システムクロック周波数に関係ありません) 待ち、ADMOD0<ADS> に “1” をライトしてください。

(2) アナログ入力チャネルの選択

アナログ入力チャネルの選択は、AD コンバータの動作モードによって異なります。

- アナログ入力チャネルを固定で使用する場合 (ADMOD0<SCAN> = “0”)

  ADMOD1<ADCH2:0> の設定により、アナログ入力 AN0~AN7 端子の中から 1 チャネルを選択します。

- アナログ入力チャネルをスキャンで使用する場合 (ADMOD0<SCAN> = “1”)

  ADMOD1<ADCH2:0> の設定により、8 種類のスキャンモードの中から 1 つのスキャンモードを選択します。

表 3.12.1に、動作モード別のアナログ入力チャネルの選択を示します。

リセット後、ADMOD0<SCAN> は “0” に、ADMOD1<ADCH2:0> は “000” に初期化されますので、AN0 端子のチャネル固定入力が選択されます。なお、アナログ入力チャネルとして使用しない端子は、通常の入力ポートとして使用できます。

表 3.12.1 アナログ入力チャネルの選択

<ADCH2:0>	チャネル固定 <SCAN> = “0”	チャネルスキャン <SCAN> = “1”
000	AN0	AN0
001	AN1	AN0 → AN1
010	AN2	AN0 → AN1 → AN2
011	AN3	AN0 → AN1 → AN2 → AN3
100	AN4	AN4
101	AN5	AN4 → AN5
110	AN6	AN4 → AN5 → AN6
111	AN7	AN4 → AN5 → AN6 → AN7

Downloaded from Elcodis.com electronic components distributor

(3) AD 変換開始

AD 変換は、ADMOD0<ADS> に “1” を設定するか、ADMOD1<ADTRGE> に “1” を設定し、$\overline{\text{ADTRG}}$ 端子より立ち下がりエッジを入力することにより開始されます。AD 変換が開始されると、AD 変換中を示す AD 変換ビジーフラグ ADMOD0<ADBF> が “1” にセットされます。

AD 変換中、<ADS> に “1” を設定すると再起動がかかります。その時点の AD 変換のデータが保証されているかどうかは、変換結果格納フラグ ADREGxxL<ADRxRF> を確認して判断してください。

また、AD 変換中に、$\overline{\text{ADTRG}}$ 端子に立ち下がりエッジを入力しても無視されます。

(4) AD 変換モードと AD 変換終了割り込み

AD 変換には、次の 4 つのモードが用意されています。

- チャネル固定シングル変換モード
- チャネルスキャンシングル変換モード
- チャネル固定リピート変換モード
- チャネルスキャンリピート変換モード

AD 変換モードの選択は、ADMOD0<REPEAT, SCAN> で行います。

AD 変換が終了すると、AD 変換終了割り込み INTAD の割り込み要求が発生します。また、AD 変換終了を示す ADMOD0<EOCF> が “1” にセットされます。

1. チャネル固定シングル変換モード

ADMOD0<REPEAT, SCAN> に “00” を設定すると、チャネル固定シングル変換モードになります。

このモードでは、選択した 1 チャネルの変換を 1 回だけ行います。変換が終了した後、ADMOD0<EOCF> が “1” にセット、ADMOD0<ADBF> が “0”にクリアされ、INTAD の割り込み要求が発生します。

2. チャネルスキャンシングル変換モード

ADMOD0<REPEAT, SCAN> に “01” を設定すると、チャネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャネルの変換をそれぞれ 1 回だけ行います。スキャン変換が終了した後、ADMOD0<EOCF> が “1” にセット、ADMOD0<ADBF> が “0” にクリアされ、INTAD の割り込み要求が発生します。

Downloaded from Elcodis.com electronic components distributor

3. チャネル固定リピート変換モード

ADMOD0<REPEAT, SCAN> に “10” を設定すると、チャネル固定リピート変換モードになります。

このモードでは、選択した 1 チャネルの変換を繰り返し行います。変換が終了した後、ADMOD<EOCF> が “1” にセットされます。ADMOD0<ADBF> は “0” にクリアされず “1” を保持します。INTAD の割り込み要求発生タイミングは、ADMOD0<ITM0> の設定により選択できます。

<ITM0> を “0” に設定すると、AD 変換が 1 回終了するごとに割り込み要求が発生します。

<ITM0> を “1” に設定すると、AD 変換が 4 回終了するごとに割り込み要求が発生します。

4. チャネルスキャンリピート変換モード

ADMOD0<REPEAT, SCAN> に “11” を設定すると、チャネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャネルの変換を繰り返し行います。1 回のスキャン変換が終了するごとに ADMOD0<EOCF> が “1” にセットされ、INTAD 割り込み要求が発生します。ADMOD0<ADBF> は “0” にクリアされず “1” を保持します。

リピート変換モード (3, 4 のモード) の動作を停止させたい場合は、ADMOD0<REPEAT> に “0” をライトしてください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADMOD0<ADBF> は “0” にクリアされます。

ADMOD1<I2AD> = “0” の場合の IDLE2, IDLE1, STOP モードのホルト状態へ移行すると、AD 変換中でも AD コンバータは直ちに動作を停止します。ホルト解除後、リピート変換モード (3, 4) では、AD 変換を最初から開始します。シングル変換モード (1, 2) では、変換動作を再開しません (停止したままです)。

表 3.12.2にAD変換モードと割り込み要求の関係を示します。

表 3.12.2 AD 変換モードと割り込み要求の関係

モード	割り込み要求の発生	ADMOD0		
		<ITM0>	<REPEAT>	<SCAN>
チャネル固定 シングル変換モード	変換終了後	X	0	0
チャネルスキャン シングル変換モード	スキャン変換終了後	X	0	1
チャネル固定 リピート変換モード	1 回変換するごと	0	1	0
	4 回変換するごと	1		
チャネルスキャン リピート変換モード	1 回のスキャン変換が 終了するごと	X	1	1

X: Don’t care

Downloaded from Elcodis.com electronic components distributor

(5) AD 変換時間

1 チャネル当たりの AD 変換時間は、84 ステート (6.2 μs @ f_{FPH} = 27 MHz) です。

(6) AD 変換結果の格納とリード

AD 変換結果は、AD 変換結果上位/下位レジスタ (ADREG04H/L~ADREG37H/L) に格納されます (ADREG04H/L~ ADREG37H/L は、リード専用のレジスタです)。

チャネル固定リピート変換モードでは、AD 変換結果は、ADREG04H/L から ADREG37H/L へと順次格納されます。それ以外のモードでは、チャネル AN0 と AN4, AN1 と AN5, AN2 と AN6, AN3 と AN7 の変換結果がそれぞれ ADREG04H/L, ADREG15H/L, ADREG26H/L, ADREG37H/L に格納されます。

表 3.12.3にアナログ入力チャネルと、AD変換結果レジスタの対応を示します。

表 3.12.3 アナログ入力チャネルと AD 変換結果レジスタの対応

アナログ入力チャネル (ポート 5)	AD 変換結果レジスタ	
	右記以外の変換モード	チャネル固定リピート変換モード (<ITM0>=1)
AN0	ADREG04H/L	ADREG04H/L → ADREG15H/L → ADREG26H/L → ADREG37H/L → ADREG04H/L
AN1	ADREG15H/L	
AN2	ADREG26H/L	
AN3	ADREG37H/L	
AN4	ADREG04H/L	
AN5	ADREG15H/L	
AN6	ADREG26H/L	
AN7	ADREG37H/L	

AD 変換結果格納フラグ <ADRxRF> は、AD 変換結果レジスタをリードしたかどうかを示しています。このフラグは、AD 変換結果レジスタに変換値が格納されると “1” にセットされ、どちらかの AD 変換結果レジスタ (ADREGxH、ADREGxL) をリードすると、“0” にクリアされます。

また、AD 変換結果のリードに伴い、AD 変換終了フラグ ADMOD0<EOCF> は “0” にクリアされます。

Downloaded from Elcodis.com electronic components distributor

設定例:

1. チャネル固定シングル変換モードの設定例

AN3 端子のアナログ入力電圧を AD 変換し、AD 割り込み (INTAD) 処理ルーチンで変換値を 0800H のメモリへライトする場合

メインルーチンでの設定

		7 6 5 4 3 2 1 0	
INTE0AD	←	X 1 0 0 X − − −	INTAD をイネーブルにし、レベルを “4” に設定します。
ADMOD1	←	1 − X X 0 0 1 1	アナログ入力チャネルを AN3 に設定します。
ADMOD0	←	X X 0 0 0 0 0 1	チャネル固定シングル変換モードで変換を開始します。

割り込みルーチンでの処理例

WA	←	ADREG37	汎用レジスタ WA (16 ビット) へ ADREG37L, ADREG37H の値をリードします。
WA		>>6	WA にリードした内容を右へ 6 回シフトし、上位ビットに “0” を入れます。
(0800H)	←	WA	アドレス 0800H へ WA の内容をライトします。

2. チャネルスキャンリピート変換モードの設定例

AN0~AN2 の 3 端子のアナログ入力電圧をチャネルスキャンリピート変換モードで AD 変換し続ける場合

INTE0AD	←	X 0 0 0 X − − −	INTAD を禁止します。
ADMOD1	←	1 − X X 0 0 1 0	アナログ入力チャネルを AN2 に設定します。
ADMOD0	←	X X 0 0 0 1 1 1	チャネルスキャンリピート変換モードで変換を開始します。

X: Don’t care、–: No change

Downloaded from Elcodis.com electronic components distributor

3.13 ウォッチドッグタイマ (暴走検出用タイマ)

暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因により CPU が誤動作 (暴走) を始めた場合にこれを検出し、正常な状態に戻すことを目的としています。暴走を検出すると、ノンマスカブル割り込みを発生し CPU に知らせます。

また、このウォッチドッグタイマアウトを内部リセットへ接続することにより、強制的にリセット動作を行うことができます。(外部の $\overline{\text{RESET}}$ 端子レベルは変化しません。)

3.13.1 構成

図 3.13.1にウォッチドッグタイマのブロック図を示します。

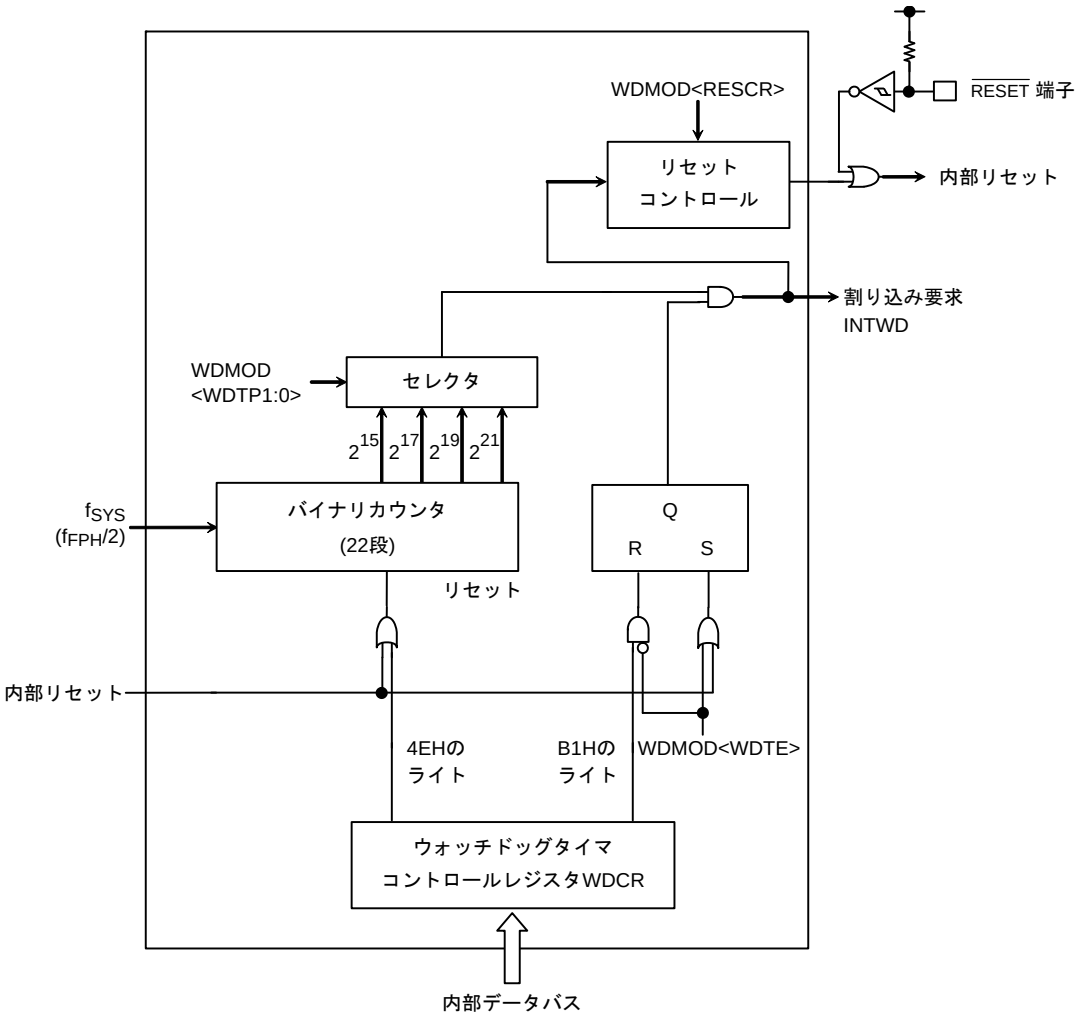


図 3.13.1 ウォッチドッグタイマのブロック図

注) 外乱ノイズなどの影響によりウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

Downloaded from Elcodis.com electronic components distributor

3.13.2 動作説明

ウォッチドッグタイマは、WDMOD<WDTP1:0> レジスタで設定された検出時間後に割り込み INTWD を発生させるタイマです。ソフトウエア（命令）でウォッチドッグタイマ用のバイナリカウンタを INTWD 割り込みが発生する前に “0”にクリアすることが必要です。もし、CPU がノイズなどの原因で誤動作（暴走）し、バイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWD 割り込みが発生します。CPU は INTWD 割り込みにより誤動作（暴走）が発生したことを知り、誤動作（暴走）対策プログラムにより正常な状態に戻すことができます。

ウォッチドッグタイマは、リセット解除後直ちに動作を開始します。

また、IDLE1 モードおよび STOP モード中のウォッチドッグタイマは停止しています。バス解放中（$\overline{BUSAK}$ = “L”）は、カウントを続けます。

IDLE2 モードでは、WDMOD<I2WDT> の設定に依存します。必要に応じて、IDLE2 モードに入る前に WDMOD<I2WDT> を設定してください。

ウォッチドッグタイマは、システムクロック f_{SYS} を入力クロックとする、22 段のバイナリカウンタで構成されています。バイナリカウンタの出力には 2^{15}, 2^{17}, 2^{19} および 2^{21} があります。

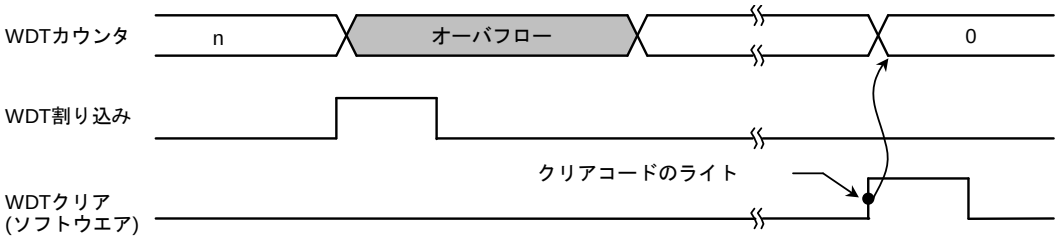


図 3.13.2 通常モード

また、オーバフロー時に、本LSIをリセットすることも選択可能です。この場合、図 3.13.3 で示すように 22~29 ステート（26.1~34.4 μs @ f_{OSCH} = 27 MHz, f_{FPH} = 1.7 MHz）の期間、リセットを行います。なお、この場合（リセットされた場合）、システムクロック f_{SYS}（1 周期 = 1 ステート）は、高速発振器のクロック f_{OSCH} をクロックギアで 16 分周したクロック f_{FPH} を元に、それを 2 分周して生成されたものが使われます。

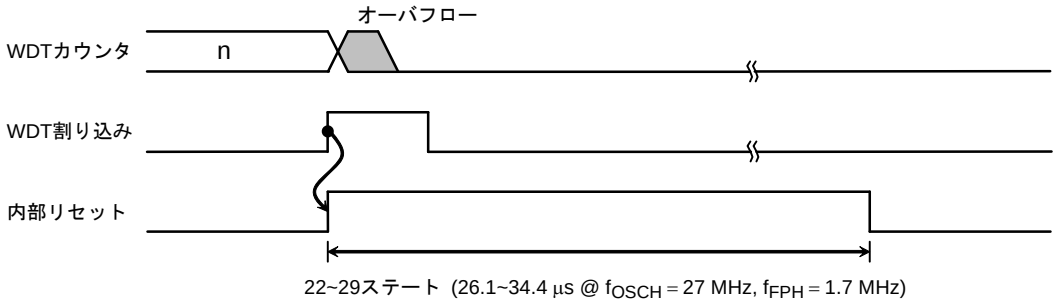


図 3.13.3 リセットモード

Downloaded from Elcodis.com electronic components distributor

3.13.3 コントロールレジスタ

ウォッチドッグタイマ (WDT) は、2 つのコントロールレジスタ (WDMOD, WDCR) によって制御されています。

(1) ウォッチドッグタイマ モードレジスタ WDMOD

1. ウォッチドッグタイマ検出時間の設定 <WDTP1: 0>

暴走検出のためのウォッチドッグ タイマ割り込み時間を設定する 2 ビットのレジスタです。リセット時、WDMOD<WDTP1:0> = “00” に初期化されます。

ウォッチドッグタイマの検出時間を 図 3.13.4に示します。

2. ウォッチドッグタイマのイネーブル/ディセーブル制御 <WDTE>

リセット時、WDMOD<WDTE> = “1” に初期化されますので、ウォッチドッグ タイマはイネーブルになっています。

ディセーブルにするには、このビットを “0” にクリアした後に、WDCR レジスタにディセーブルコード (B1H) をライトする必要があります。この二重設定のため、暴走によるウォッチドッグタイマのディセーブルが発生しにくくなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE> ビットを “1” にセットするだけでイネーブルとなります。

3. ウォッチドッグタイマアウトのリセット接続 <RESCR>

暴走検出により本 LSI 自体をリセットするか否かを設定するレジスタです。リセット時、WDMOD<RESCR> = “0” に初期化されますので、ウォッチドッグタイマアウト出力によるリセットは行われません。

(2) ウォッチドッグタイマコントロールレジスタ WDCR

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

- ディセーブル制御

WDMOD<WDTE> を “0” にクリアした後、この WDCR レジスタにディセーブルコード (B1H) をライトすると、ウォッチドッグタイマをディセーブルにすることができます。

WDCR	←	0	1	0	0	1	1	1	0	クリアコード (4EH) をライトします。
WDMOD	←	0	–	–	X	X	–	–	0	WDMOD<WDTE>を “0” にクリアします。
WDCR	←	1	0	1	1	0	0	0	1	ディセーブルコード (B1H) をライトします。

- イネーブル制御

WDMOD<WDTE> を “1” にする。

- ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード (4EH) ライトすると、バイナリカウンタはクリアされ、再カウントします。

WDCR	←	0	1	0	0	1	1	1	0	クリア コード (4EH) をライトします。

注 1) ディセーブル制御をする際には一旦クリアコード(4EH) をライトした後ディセーブル制御をしてください。(設定例を参照してください)

注 2) ウォッチドッグタイマの設定を変更する際は、ディセーブル状態にしてから設定を変更してください。

Downloaded from Elcodis.com electronic components distributor

WDMOD (0300H)

	7	6	5	4	3	2	1	0
Bit symbol	WDTE	WDTP1	WDTP0			I2WDT	RESCR	–
Read/Write	R/W	R/W				R/W		R/W
リセット後	1	0	0			0	0	0
機能	WDT 制御 1: 許可	WDT 検出時間の選択 00: $2^{15}/f_{SYS}$ 01: $2^{17}/f_{SYS}$ 10: $2^{19}/f_{SYS}$ 11: $2^{21}/f_{SYS}$				IDLE2 0: 停止 1: 動作	1: リセット端子に WDT 出力を内部接続	“0” をライトしてください。

ウォッチドッグタイマアウトコントロール

0	–
1	WDT アウトをリセットへ接続

IDLE2 の停止/動作

0	停止
1	動作

ウォッチドッグタイマの検出時間

@ fc = 27 MHz, fs = 32.768 kHz

SYSCR1 システムクロック選択 <SYSCK>	SYSCR1 クロックギア値 <GEAR2:0>	ウォッチドッグタイマ 検出時間 WDMOD<WDTP1:0>			
		00	01	10	11
1 (fs)	XXX	2.00 ms	8.00 ms	32.00 ms	128.00 ms
0 (fc)	000 (fc)	2.43 ms	9.71 ms	38.84 ms	155.34 ms
	001 (fc/2)	4.85 ms	19.42 ms	77.67 ms	310.69 ms
	010 (fc/4)	9.71 ms	38.84 ms	155.34 ms	621.38 ms
	011 (fc/8)	19.42 ms	77.67 ms	310.69 ms	1242.76 ms
	100 (fc/16)	38.84 ms	155.34 ms	621.38 ms	2485.51 ms

ウォッチドッグタイマの禁止/許可制御

0	停止
1	許可

図 3.13.4 ウォッチドッグタイマモードレジスタ

Downloaded from Elcodis.com electronic components distributor

WDCR
(0301H)

リード
モディファイ
ライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	–							
Read/Write	W							
リセット後	–							
機能	B1H: WDT ディセーブルコード 4EH: WDT クリアコード							

→ WDT のディセーブル&クリア

B1H	ディセーブルコード
4EH	クリアコード
上記以外	–

図 3.13.5 ウォッチドッグタイマコントロールレジスタ

Downloaded from Elcodis.com electronic components distributor

3.14 時計用タイマ

時計動作専用のタイマを内蔵しています。

低周波クロックに 32.768 kHz を使用することにより、0.0625 s ごと、0.125 s ごと、0.25 s ごと、0.50 s ごとに割り込みを発生することができ、時計機能を実現できます。

時計用タイマは、低周波発振を行っているすべてのモードで動作可能です。

また、時計用タイマ割り込みにより、各スタンバイモードからの復帰が可能です (STOP を除く)。

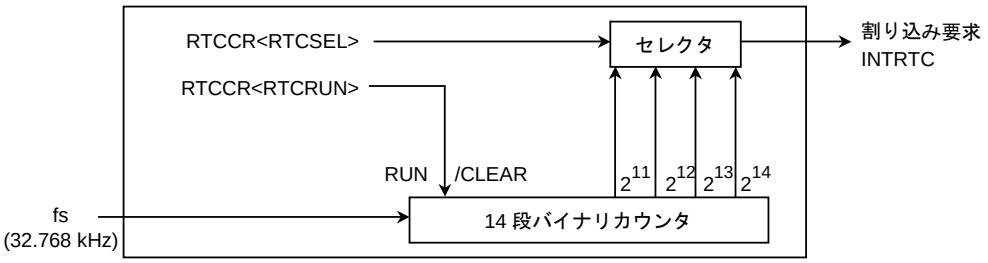


図 3.14.1 時計用タイマのブロック図

時計用タイマは、時計用タイマコントロールレジスタ (RTCCR) によって制御されます。

図 3.14.2に時計用タイマコントロールレジスタを示します。

RTCCR (0310H)

	7	6	5	4	3	2	1	0
Bit Symbol	–					RTCSEL1	RTCSEL0	RTCRUN
Read/Write	R/W					R/W		R/W
リセット後	0					0	0	0
機能	“0” をライトしてください。					00 : 2^{14}/fs 01 : 2^{13}/fs 10 : 2^{12}/fs 11 : 2^{11}/fs		0: 停止 & クリア 1: 動作

カウント動作

0	停止 & クリア
1	カウント

割り込み発生周期
(fs = 32.768 kHz)

00	0.50 s
11	0.25 s
10	0.125 s
11	0.0625 s

図 3.14.2 時計用タイマコントロールレジスタ

Downloaded from Elcodis.com electronic components distributor

4. 電気的特性

4.1 絶対最大定格

項目	記号	定格	単位
電源電圧	V_{CC}	−0.5~4.0	V
入力電圧	V_{IN}	−0.5~V_{CC} + 0.5	V
出力電流 (1 端子当り)	I_{OL}	2	mA
出力電流 (1 端子当り)	I_{OH}	−2	mA
出力電流 (合計)	ΣI_{OL}	80	mA
出力電流 (合計)	ΣI_{OH}	−80	mA
消費電力(Ta = 85°C)	P_D	600	mW
はんだ付け温度 (10 s)	T_{SOLDER}	260	°C
保存温度	T_{STG}	−65~150	°C
動作温度	T_{OPR}	−40~85	°C

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂 ・ 燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C　5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時) 245°C　5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)	フォーミングまでの半田付着率 95%を良品とする

Downloaded from Elcodis.com electronic components distributor

4.2 DC電気的特性 (1/2)

項目		記号	条件		Min	Typ.(注)	Max	単位
Power Supply Voltage (AVCC = DVCC, AVSS = DVSS = 0 V)		V_{CC}	fc = 4~27 MHz	fs = 30~34 kHz	2.7		3.6	V
			fc = 2~10 MHz		1.8			
Input Low Voltage	P00~P17 (AD0~AD15)	V_{IL}	$V_{CC} \geqq 2.7$ V		–0.3		0.6	V
			$V_{CC} < 2.7$ V				0.2 V_{CC}	
	P20~PA7 (P63 を除く)	V_{IL1}	$V_{CC} \geqq 2.7$ V				0.3 V_{CC}	
			$V_{CC} < 2.7$ V				0.2 V_{CC}	
	$\overline{RESET}$, $\overline{NMI}$, P63 (INT0)	V_{IL2}	$V_{CC} \geqq 2.7$ V				0.25 V_{CC}	
			$V_{CC} < 2.7$ V				0.15 V_{CC}	
	AM0~AM1	V_{IL3}	$V_{CC} \geqq 2.7$ V				0.3	
			$V_{CC} < 2.7$ V				0.3	
	X1	V_{IL4}	$V_{CC} \geqq 2.7$ V				0.2 V_{CC}	
			$V_{CC} < 2.7$ V				0.1 V_{CC}	
	P00~P17 (AD0~AD15)	V_{IH}	$V_{CC} \geqq 2.7$ V		2.0		$V_{CC} + 0.3$	V
			$V_{CC} < 2.7$ V		0.7 V_{CC}			
	P20~PA7 (P63 を除く)	V_{IH1}	$V_{CC} \geqq 2.7$ V		0.7 V_{CC}			
			$V_{CC} < 2.7$ V		0.8 V_{CC}			
	$\overline{RESET}$, $\overline{NMI}$, P63 (INT0)	V_{IH2}	$V_{CC} \geqq 2.7$ V		0.75 V_{CC}			
			$V_{CC} < 2.7$ V		0.85 V_{CC}			
	AM0~AM1	V_{IH3}	$V_{CC} \geqq 2.7$ V		$V_{CC} - 0.3$			
			$V_{CC} < 2.7$ V		$V_{CC} - 0.3$			
	X1	V_{IH4}	$V_{CC} \geqq 2.7$ V		0.8 V_{CC}			
			$V_{CC} < 2.7$ V		0.9 V_{CC}			
Output Low Voltage		V_{OL}	$I_{OL} = 1.6$mA	$V_{CC} \geqq 2.7$ V			0.45	V
			$I_{OL} = 0.4$mA	$V_{CC} < 2.7$ V			0.15 V_{CC}	
Output High Voltage		V_{OH}	$I_{OH} = -400\mu$A	$V_{CC} \geqq 2.7$ V	2.4			
			$I_{OH} = -200\mu$A	$V_{CC} < 2.7$ V	0.8 V_{CC}			

注) Typ.値は、特に指定のない限り Ta = 25°C, V_{CC} = 3.0 V の値です。

Downloaded from Elcodis.com electronic components distributor

4.2 DC電気的特性 (2/2)

項目	記号	条件	Min	Typ.(注 1)	Max	単位
Input Leakage Current	I_{LI}	$0.0 \leqq V_{IN} \leqq V_{CC}$		0.02	±5	μA
Output Leakage Current	I_{LO}	$0.2 \leqq V_{IN} \leqq V_{CC} - 0.2$		0.05	±10	
Power Down Voltage (@STOP, RAM Back up)	V_{STOP}	$V_{IL2} = 0.2\ V_{CC}$, $V_{IH2} = 0.8\ V_{CC}$	1.8		3.6	V
$\overline{RESET}$ Pull Up Resister	R_{RST}	$V_{CC} = 3\ V \pm 10\%$	100		400	kΩ
		$V_{CC} = 2\ V \pm 10\%$	200		1000	
Pin Capacitance	C_{IO}	fc = 1 MHz			10	pF
Schmitt Width $\overline{RESET}$, $\overline{NMI}$, INT0	V_{TH}	$V_{CC} \geqq 2.7\ V$	0.4	1.0		V
		$V_{CC} < 2.7\ V$	0.3	0.8		
Programmable Pull Up Resistor	R_{KH}	$V_{CC} = 3\ V \pm 10\%$	100		400	kΩ
		$V_{CC} = 2\ V \pm 10\%$	200		1000	
NORMAL(TMP91CW12A) (注 2)	I_{CC}	$V_{CC} = 3\ V \pm 10\%$ fc = 27 MHz		7.0	10.0	mA
NORMAL(TMP91CY22) (注 2)				10.0	13.0	
IDLE2				2.5	3.5	
IDLE1				1.0	1.8	
NORMAL (注 2)		$V_{CC} = 2\ V \pm 10\ \%$ fc = 10 MHz (Typ.値は $V_{CC} = 2.0\ V$)		1.7	2.5	mA
IDLE2				0.6	0.9	
IDLE1				0.25	0.4	
SLOW(注 2)		$V_{CC} = 3\ V \pm 10\%$ fs = 32.768 kHz		11.6	30	μA
IDLE2				5.2	19	
IDLE1		Ta≦70°C		3.0	8	
		Ta≦85°C			15	
SLOW(注 2)		$V_{CC} = 2\ V \pm 10\ \%$ fs = 32.768 kHz (Typ.値は $V_{CC} = 2.0\ V$)		7.7	20	μA
IDLE2				3.5	13	
IDLE1				2.0	10	
STOP		$V_{CC} = 1.8 \sim 3.3\ V$		0.1	10	μA

注 1) Typ.値は、特に指定のない限り Ta = 25°C, $V_{CC} = 3.0\ V$ の値です。

注2) I_{CC} NORMAL, SLOW の測定条件: すべて動作、出力端子は開放、入力端子はレベル固定。

Downloaded from Elcodis.com electronic components distributor

4.3 AC電気的特性

(1) V_{CC} = 3.0 V ± 10%

No.	項目	記号	計算式		f_{FPH} = 27 MHz		単位
			Min	Max	Min	Max	
1	f_{FPH} 周期 (= x)	t_{FPH}	37.0	31250	37.0		ns
2	A0-A15 有効 → ALE 立ち下がり	t_{AL}	0.5x – 6		12		ns
3	ALE 立ち下がり → A0-A15 保持	t_{LA}	0.5x – 16		2		ns
4	ALE High パルス幅	t_{LL}	x – 20		17		ns
5	ALE 立ち下がり → $\overline{RD}$ / $\overline{WR}$ 立ち下がり	t_{LC}	0.5x – 14		4		ns
6	$\overline{RD}$ 立ち上がり → ALE 立ち上がり	t_{CLR}	0.5x – 10		8		ns
7	$\overline{WR}$ 立ち上がり → ALE 立ち上がり	t_{CLW}	x – 10		27		ns
8	A0-A15 有効 → $\overline{RD}$ / $\overline{WR}$ 立ち下がり	t_{ACL}	x – 23		14		ns
9	A0-A23 有効 → $\overline{RD}$ / $\overline{WR}$ 立ち下がり	t_{ACH}	1.5x – 26		29		ns
10	$\overline{RD}$ 立ち上がり → A0-A23 保持	t_{CAR}	0.5x – 13		5		ns
11	$\overline{WR}$ 立ち上がり → A0-A23 保持	t_{CAW}	x – 13		24		ns
12	A0-A15 有効 → D0-D15 入力	t_{ADL}		3.0x – 38		73	ns
13	A0-A23 有効 → D0-D15 入力	t_{ADH}		3.5x – 41		88	ns
14	$\overline{RD}$ 立ち下がり → D0-D15 入力	t_{RD}		2.0x – 30		44	ns
15	$\overline{RD}$ Low パルス幅	t_{RR}	2.0x – 15		59		ns
16	$\overline{RD}$ 立ち上がり → D0-D15 保持	t_{HR}	0		0		ns
17	$\overline{RD}$ 立ち上がり → A0-A15 出力	t_{RAE}	x – 15		22		ns
18	$\overline{WR}$ Low パルス幅	t_{WW}	1.5x – 15		40		ns
19	D0-D15 有効 → $\overline{WR}$ 立ち上がり	t_{DW}	1.5x – 35		20		ns
20	$\overline{WR}$ 立ち上がり → D0-D15 保持	t_{WD}	x – 25		12		ns
21	A0-A23 有効→ $\overline{WAIT}$ 入力 〔(1+n) WAITモード〕	t_{AWH}		3.5x – 60		69	ns
22	A0-A15 有効 → $\overline{WAIT}$ 入力 〔(1+n) WAITモード〕	t_{AWL}		3.0x – 50		61	ns
23	$\overline{RD}$ / $\overline{WR}$ 立ち下がり→ $\overline{WAIT}$ 保持〔(1+n) WAITモード〕	t_{CW}	2.0x + 0		74		ns
24	A0-A23 有効 → PORT 入力	t_{APH}		3.5x – 89		40	ns
25	A0-A23 有効 → PORT 保持	t_{APH2}	3.5x		129		ns
26	A0-A23 有効 → PORT 有効	t_{AP}		3.5x + 80		209	ns

AC 測定条件

・出力レベル: High 0.7 × V_{CC} /Low 0.3 × V_{CC} , CL = 50 pF

・入力レベル: High 0.9 × V_{CC} /Low 0.1 × V_{CC}

注) 表中の「x」は、クロック f_{FPH} の周期を示します。f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期は、クロックギアの設定や、高速発振器/低速発振器の切り替えなどに依存します。

Downloaded from Elcodis.com electronic components distributor

(2) V_{CC} = 2.0 V ± 10%

No.	項目	記号	計算式		f_{FPH} = 10 MHz		単位
			Min	Max	Min	Max	
1	f_{FPH} 周期 (= x)	t_{FPH}	100	31250	100		ns
2	A0-A15 有効 → ALE 立ち下がり	t_{AL}	0.5x – 28		22		ns
3	ALE 立ち下がり → A0-A15 保持	t_{LA}	0.5x – 35		15		ns
4	ALE High パルス幅	t_{LL}	x – 40		60		ns
5	ALE 立ち下がり → $\overline{RD}$ / $\overline{WR}$ 立ち下がり	t_{LC}	0.5x – 28		22		ns
6	$\overline{RD}$ 立ち上がり → ALE 立ち上がり	t_{CLR}	0.5x – 20		30		ns
7	$\overline{WR}$ 立ち上がり → ALE 立ち上がり	t_{CLW}	x – 20		80		ns
8	A0-A15 有効 → $\overline{RD}$ / $\overline{WR}$ 立ち下がり	t_{ACL}	x – 75		25		ns
9	A0-A23 有効 → $\overline{RD}$ / $\overline{WR}$ 立ち下がり	t_{ACH}	1.5x – 70		80		ns
10	$\overline{RD}$ 立ち上がり → A0-A23 保持	t_{CAR}	0.5x – 30		20		ns
11	$\overline{WR}$ 立ち上がり → A0-A23 保持	t_{CAW}	x – 30		70		ns
12	A0-A15 有効 → D0-D15 入力	t_{ADL}		3.0x – 76		224	ns
13	A0-A23 有効 → D0-D15 入力	t_{ADH}		3.5x – 82		268	ns
14	$\overline{RD}$ 立ち下がり → D0-D15 入力	t_{RD}		2.0x – 60		140	ns
15	$\overline{RD}$ Low パルス幅	t_{RR}	2.0x – 30		170		ns
16	$\overline{RD}$ 立ち上がり → D0-D15 保持	t_{HR}	0		0		ns
17	$\overline{RD}$ 立ち上がり → A0-A15 出力	t_{RAE}	x – 30		70		ns
18	$\overline{WR}$ Low パルス幅	t_{WW}	1.5x – 30		120		ns
19	D0-D15 有効 → $\overline{WR}$ 立ち上がり	t_{DW}	1.5x – 70		80		ns
20	$\overline{WR}$ 立ち上がり → D0-D15 保持	t_{WD}	x – 50		50		ns
21	A0-A23 有効→ $\overline{WAIT}$ 入力 〔(1+n) WAITモード〕	t_{AWH}		3.5x – 120		230	ns
22	A0-A15 有効 → $\overline{WAIT}$ 入力 〔(1+n) WAITモード〕	t_{AWL}		3.0x – 100		200	ns
23	$\overline{RD}$ / $\overline{WR}$ 立ち下がり→ $\overline{WAIT}$ 保持〔(1+n) WAITモード〕	t_{CW}	2.0x + 0		200		ns
24	A0-A23 有効 → PORT 入力	t_{APH}		3.5x – 170		180	ns
25	A0-A23 有効 → PORT 保持	t_{APH2}	3.5x		350		ns
26	A0-A23 有効 → PORT 有効	t_{AP}		3.5x + 170		520	ns

AC 測定条件

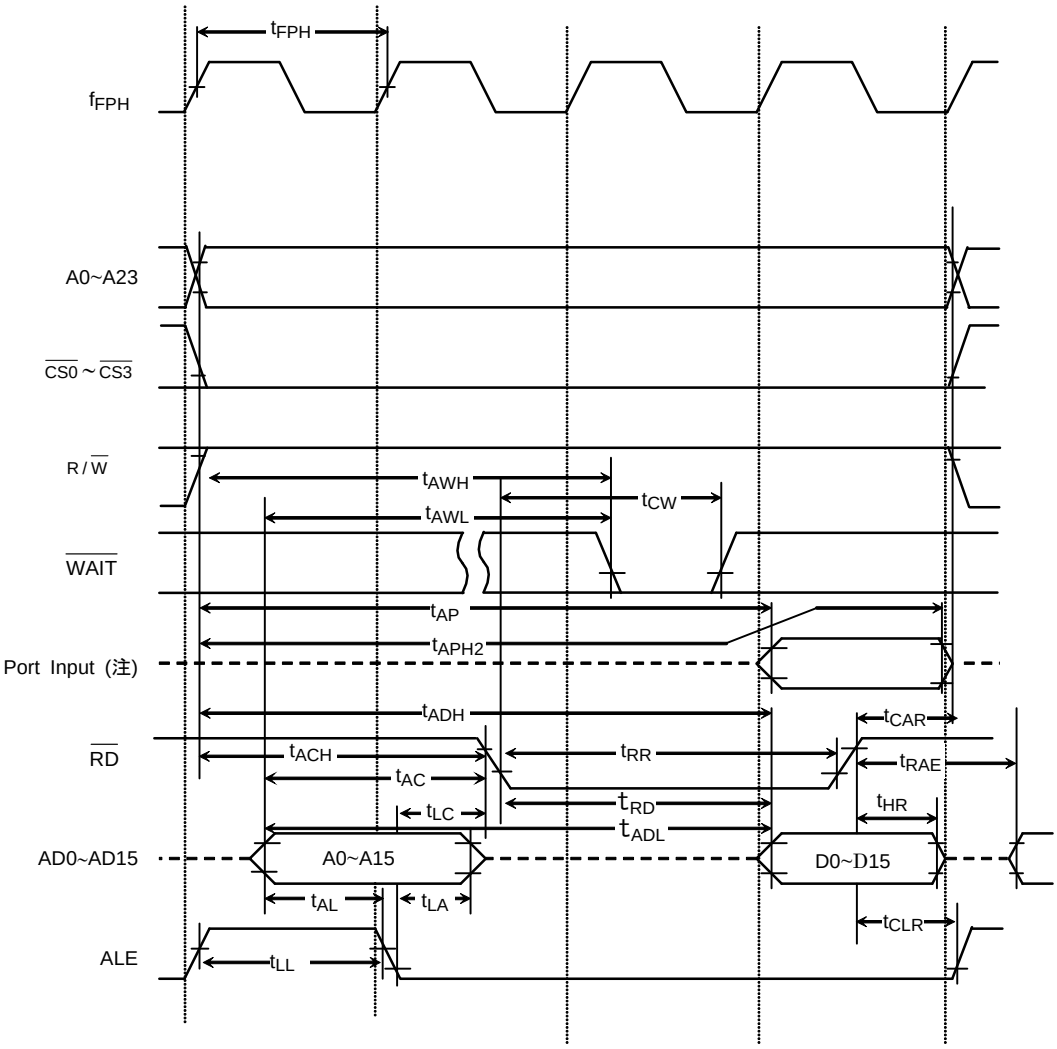
・出力レベル: High 0.7 × V_{CC} /Low 0.3 × V_{CC} , CL = 50 pF

・入力レベル: High 0.9 × V_{CC} /Low 0.1 × V_{CC}

注) 表中の「x」は、クロック f_{FPH} の周期を示します。f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期は、クロックギアの設定や、高速発振器/低速発振器の切り替えなどに依存します。

Downloaded from Elcodis.com electronic components distributor

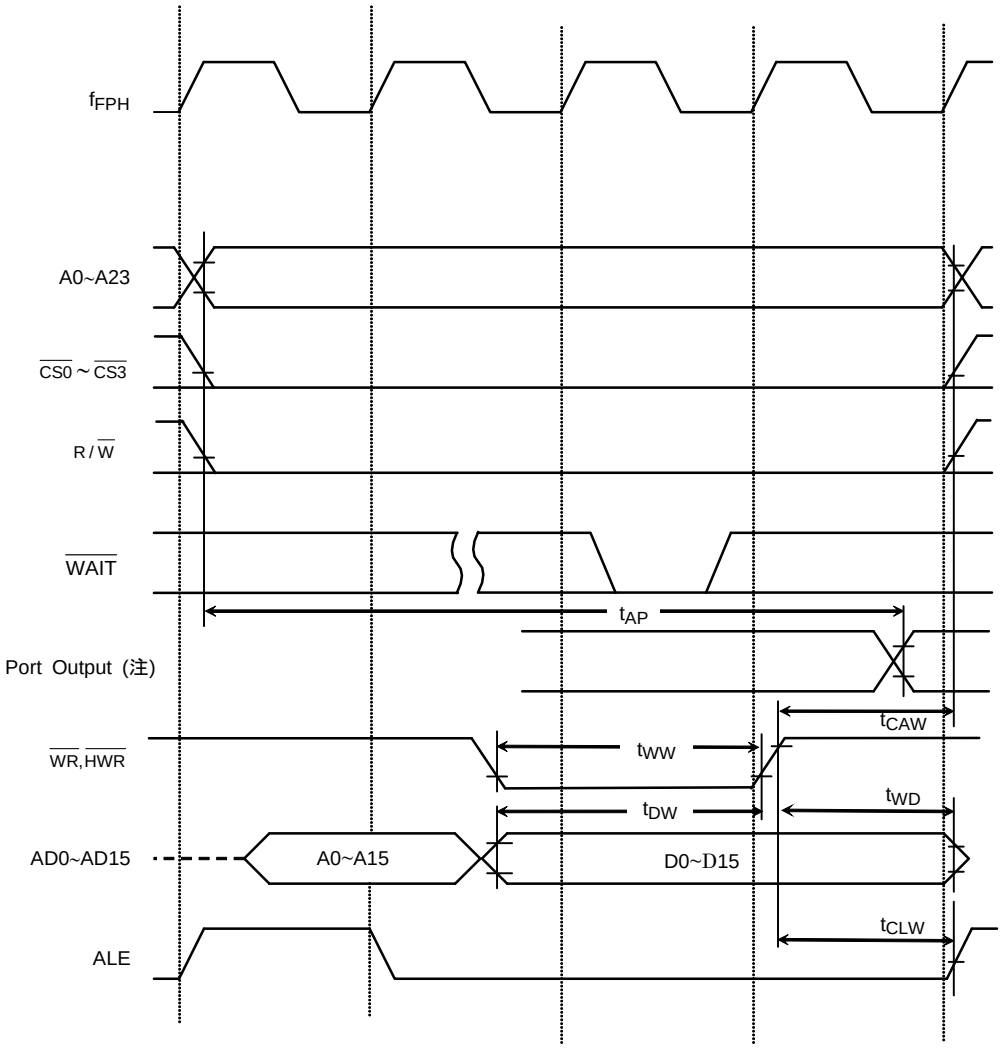
(3) リードサイクル



注) ポートのデータリードは内蔵エリアへのアクセスとなるため、外部端子の制御信号 $\overline{RD}$ 、$\overline{CS}$ 信号などはイネーブル出力されません。上記波形は内部信号の動きとして認識してください。また、上記ポート入出力タイミングおよび AC 特性は、代表的なタイミングを示しています。詳細は弊社営業担当までお問い合わせください。

Downloaded from Elcodis.com electronic components distributor

(4) ライトサイクル



注) ポートのデータライトは内蔵エリアへのアクセスとなるため、外部端子の制御信号 $\overline{WR}$ 、$\overline{CS}$ 信号などはイネーブル出力されません。上記波形は内部信号の動きとして認識してください。また、上記ポート入出力タイミングおよび AC 特性は、代表的なタイミングを示しています。詳細は弊社営業担当までお問い合わせください。

Downloaded from Elcodis.com electronic components distributor

4.4 AD 変換特性

AVCC = V_{CC}, AVSS = V_{SS}

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧 (+)	V_{REFH}	V_{CC} = 3 V ± 10%	V_{CC} − 0.2 V	V_{CC}	V_{CC}	V
		V_{CC} = 2 V ± 10%	V_{CC}	V_{CC}	V_{CC}	
アナログ基準電圧 (−)	V_{REFL}	V_{CC} = 3 V ± 10%	V_{SS}	V_{SS}	V_{SS} + 0.2 V	
		V_{CC} = 2 V ± 10%	V_{SS}	V_{SS}	V_{SS}	
アナログ入力電圧	V_{AIN}		V_{REFL}		V_{REFH}	
アナログ基準電圧電源電流 <VREFON> = 1	I_{REF} (V_{REFL} = 0V)	V_{CC} = 3 V ± 10%		0.94	1.20	mA
		V_{CC} = 2 V ± 10%		0.65	0.90	
<VREFON> = 0		V_{CC} = 1.8 ~ 3.3 V		0.02	5.0	μA
総合誤差 (量子誤差を含まず)	—	V_{CC} = 3 V ± 10%		±1.0	±4.0	LSB
		V_{CC} = 2V ± 10%		±1.0	±4.0	

注 1) 1LSB = (V_{REFH} − V_{REFL})/1024 [V]

注 2) 最低動作周波数について

AD コンバータの動作は、fc (高速発振器) 使用時のみ保証します (fs では保証しません) 。ただし、fc 使用時にクロックギアで選択されたクロックの周波数が 4MHz 以上で保証します。

注 3) AVCC 端子より流れる電源電流は、V_{CC} 端子の電源電流 (I_{CC}) に含みます。

4.5 シリアルチャネルタイミング–I/Oインタフェースモード

注) 表中の「x」は、クロック f_{FPH} の周期を示します。f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期は、クロックギアの設定や、高速発振器/低速発振器の切り替えなどに依存します。

(1) SCLK 入力モード

項目	記号	計算式		10 MHz		27 MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK 周期	t_{SCY}	16X		1.6		0.59		μs
Output Data → SCLK 立ち上がり /立ち下がり*	t_{OSS}	t_{SCY}/2 − 4X − 110 (V_{CC} = 3 V ± 10%)		290		38		ns
		t_{SCY}/2 − 4X − 180 (V_{CC} = 2 V ± 10%)		220		—		
SCLK 立ち上がり /立ち下がり* → Output Data 保持	t_{OHS}	t_{SCY}/2 + 2X + 0		1000		370		ns
SCLK 立ち上がり /立ち下がり* → Input Data 保持	t_{HSR}	3X + 10		310		121		ns
SCLK 立ち上がり /立ち下がり* → 有効 Data 入力	t_{SRD}		t_{SCY} − 0		1600		592	ns
有効 Data 入力 → SCLK 立ち上がり /立ち下がり*	t_{RDS}	0		0		0		ns

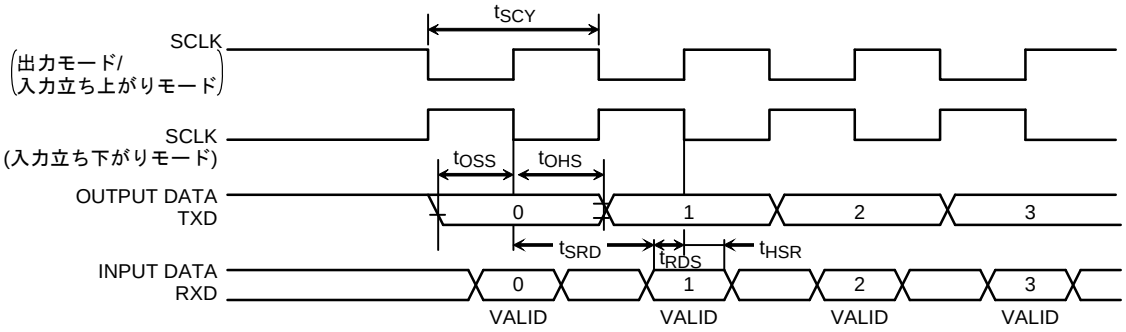
*) SCLK 立ち上がり/立ち下がり…SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

注) 27MHz, 10 MHz の値は t_{SCY} = 16X のときの値です。

Downloaded from Elcodis.com electronic components distributor

(2) SCLK 出力モード

項目	記号	計算式		10 MHz		27 MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK 周期	t_{SCY}	16X	8192X	1.6	819	0.59	303	μs
Output Data → SCLK 立ち上がり /立ち下がり*	t_{OSS}	$t_{SCY}/2 - 40$		760		256		ns
SCLK 立ち上がり /立ち下がり* → Output Data 保持	t_{OHS}	$t_{SCY}/2 - 40$		760		256		ns
SCLK 立ち上がり /立ち下がり* → Input Data 保持	t_{HSR}	0		0		0		ns
SCLK 立ち上がり /立ち下がり* → 有効 Data 入力	t_{SRD}		$t_{SCY} - 1X - 180$		1320		375	ns
有効 Data 入力 → SCLK 立ち上がり /立ち下がり*	t_{RDS}	1X + 180		280		217		ns



4.6 イベントカウンタ (TA0IN, TA4IN, TB0IN0, TB0IN1, TB1IN0, TB1IN1)

項目	記号	計算式		10 MHz		27 MHz		単位
		Min	Max	Min	Max	Min	Max	
クロック周期	t_{VCK}	8X + 100		900		396		ns
クロック低レベル パルス幅	t_{VCKL}	4X + 40		440		188		ns
クロック高レベル パルス幅	t_{VCKH}	4X + 40		440		188		ns

注) 表中の「x」は、クロック f_{FPH} の周期を示します。f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期は、クロックギアの設定や、高速発振器/低速発振器の切り替えなどに依存します。

Downloaded from Elcodis.com electronic components distributor

4.7 割り込み、キャプチャ

注) 表中の「x」は、クロック f_{FPH} の周期を示します。f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期は、クロックギアの設定や、高速発振器/低速発振器の切り替えなどに依存します。

(1) $\overline{NMI}$, INT0~INT4 割り込み

項目	記号	計算式		10 MHz		27 MHz		単位
		Min	Max	Min	Max	Min	Max	
$\overline{NMI}$,INT0~INT4 低レベル パルス幅	t_{INTAL}	4X + 40		440		188		ns
$\overline{NMI}$,INT0~INT4 高レベル パルス幅	t_{INTAH}	4X + 40		440		188		ns

(2) INT5~INT8 割り込み、キャプチャ

INT5~INT8 入力パルス幅はシステムクロック選択、およびプリスケーラ用クロック選択により異なります。下記に動作クロック別パルス幅を示します。

システム クロック選択 SYSCR1 <SYSCK>	プリスケーラ用 クロック選択 SYSCR0 <PRCK1:0>	t_{INTBL} (INT5~INT8 低レベルパルス幅)		t_{INTBH} (INT5~INT8 高レベルパルス幅)		単位
		計算式	f_{FPH} = 27 MHz	計算式	f_{FPH} = 27 MHz	
		Min	Min	Min	Min	
0 (fc)	00 (f_{FPH})	8X + 100	396	8X + 100	396	ns
	10 (fc/16)	128Xc + 0.1	4.8	128Xc + 0.1	4.8	μs
1 (fs)	00 (f_{FPH})	8X + 0.1	244.3	8X + 0.1	244.3	

注) Xc は、高速発振器測のクロック fc の周期を示します。

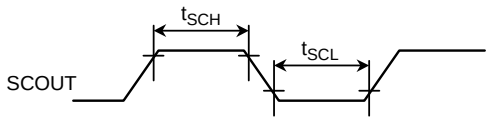
4.8 SCOUT端子 AC特性

項目	記号	計算式		10 MHz		27 MHz		条件	単位
		Min	Max	Min	Max	Min	Max		
高レベルパルス幅	t_{SCH}	0.5T – 13		37		5		V_{CC} ≧ 2.7 V	ns
		0.5T – 25		25		–		V_{CC} < 2.7 V	
低レベルパルス幅	t_{SCL}	0.5T – 13		37		5		V_{CC} ≧ 2.7 V	ns
		0.5T – 25		25		–		V_{CC} < 2.7 V	

注) 表中の「T」は、SCOUT 出力波形の周期を示します。

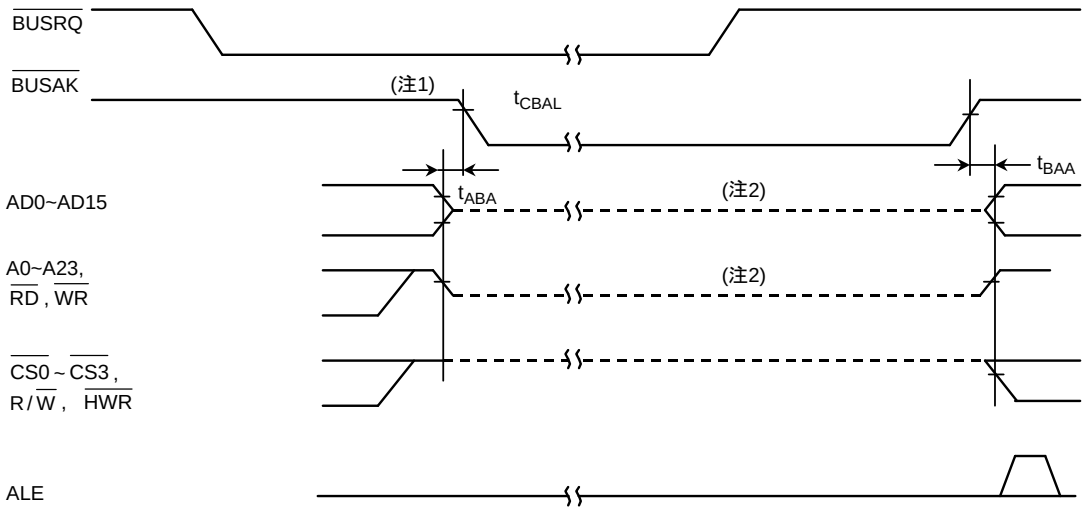
測定条件

- 出力レベル: High 0.7 V_{CC}/Low 0.3 V_{CC}, CL = 10 pF



Downloaded from Elcodis.com electronic components distributor

4.9 バスリクエスト/ バスアクノリッジ



項目	記号	計算式		f_{FPH} = 10 MHz		f_{FPH} = 27 MHz		条件	単位
		Min	Max	Min	Max	Min	Max		
$\overline{BUSAK}$ 立ち下がりまでのフローティング時間	t_{ABA}	0	80	0	80	0	80	V_{CC} ≧ 2.7 V	ns
		0	300	0	300	0	300	V_{CC} ＜ 2.7 V	
$\overline{BUSAK}$ 立ち上がりからのフローティング時間	t_{BAA}	0	80	0	80	0	80	V_{CC} ≧ 2.7 V	ns
		0	300	0	300	0	300	V_{CC} ＜ 2.7 V	

注 1) $\overline{BUSRQ}$ を “L” にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまで、バスは解放されません。

注 2) この破線は、出力バッファが OFF になっていることだけを示しています。信号レベルが中間電位になることを示すものではありません。バス解放直後は、外部の負荷容量により、バス解放直前の信号レベルをダイナミックに保持しています。そのため、外付け抵抗などでバス解放中の信号レベルを確定させるときは、バス解放直後、外部の負荷容量により、信号レベルの確定が遅れ (CR の時定数) ますので、そのことを考慮した設計が必要です。内蔵のプログラマブルプルアップ抵抗は、内部信号の状態に応じて、働き続けています。

Downloaded from Elcodis.com electronic components distributor

4.10 推奨発振回路

TMP91CW12AFG/TMP91CY22FG は、下記の発振子メーカにて評価されております。発振子の選択時に活用願います。

注) 発振端子の付加容量は接続する負荷容量 C1, C2 と実装基板上の浮遊容量の和になります。C1, C2 の定数を使用した場合でも実装基板により負荷容量が異なり発振器が誤動作する可能性があります。従って基板設計の際は発振回路周辺のパターンが最短距離になるようにしてください。最終的に実装基板での発振子評価を推奨します。

(1) 発振子接続回路例

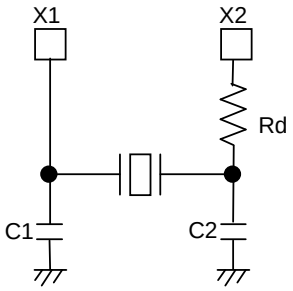


図 1 高周波発振器の接続図

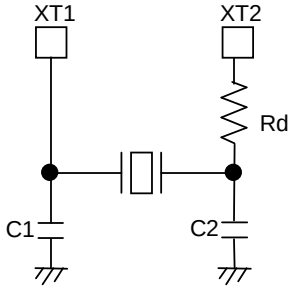


図 2 低周波発振器の接続図

(2) TMP91CW12AFG/TMP91CY22FG 推奨セラミック発振子

本製品は(株)村田製作所製セラミック発振子を推奨しております。

詳細につきましては、下記 URL の同社ホームページを参照してください。

http://www.murata.co.jp

Downloaded from Elcodis.com electronic components distributor

5. 特殊機能レジスター覧表

特殊機能レジスタ (SFR: Special function register) とは、入出力ポートおよび周辺部のコントロールレジスタで、000000H~000FFFH の 4 K バイトのアドレス空間に割り付けられています。

(1) 入出力ポート

(2) 入出力ポート制御

(3) 割り込み

(4) チップセレクト/ウェイトコントローラ

(5) クロックギア

(6) DFM

(7) 8 ビットタイマ

(8) 16 ビットタイマ

(9) UART/シリアルチャネル

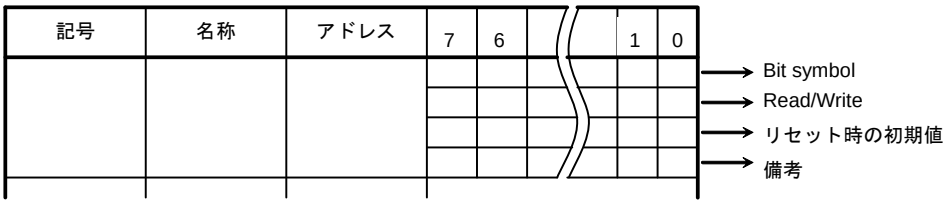
(10) I²C バス/シリアルチャネル

(11) AD コンバータ

(12) ウォッチドッグタイマ

(13) 時計用タイマ

表の構成



* 表中の "RMW 禁" は、リードモディファイライト形式の命令をそのレジスタに対して使用禁止であることを示します。

例) PxCR レジスタのビット 0 のみを "1" にしたい場合、通常は "SET 0, (PxCR)" ですが、このレジスタは "RMW 禁" のため、"LD" (転送) 命令にて 8 ビットに対してライトする必要があります。

記号の意味

R/W: リード/ライト可能

R: リードのみ可能

W: ライトのみ可能

W*: リード/ライト可能 (ただし、リードした場合、"1" が出ます)

RMW 禁: リードモディファイライトができません。(EX, ADD, ADC, BUS, SBC, INC, DEC, AND, OR, XOR, STCF, RES, SET, CHG, TSET, RLC, RRC, RL, RR, SLA, SRA, SLL, SRL, RLD, RRD 命令の使用不可)。

R/W*: 該当ポートのプルアップの制御の際には、リードモディファイライト命令は使用できません。

Downloaded from Elcodis.com electronic components distributor

表 5.1 SFR アドレスマップ

[1] ポート

アドレス	レジスタ名
0000H	P0
1H	P1
2H	P0CR
3H	
4H	P1CR
5H	P1FC
6H	P2
7H	P3
8H	P2CR
9H	P2FC
AH	P3CR
BH	P3FC
CH	P4
DH	P5
EH	P4CR
FH	P4FC

アドレス	レジスタ名
0010H	
1H	
2H	P6
3H	P7
4H	P6CR
5H	P6FC
6H	P7CR
7H	P7FC
8H	P8
9H	P9
AH	P8CR
BH	P8FC
CH	P9CR
DH	P9FC
EH	PA
FH	

アドレス	レジスタ名
0020H	PACR
1H	PAFC
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	ODE

[2] INTC

アドレス	レジスタ名
0080H	DMA0V
1H	DMA1V
2H	DMA2V
3H	DMA3V
4H	
5H	
6H	
7H	
8H	INTCLR
9H	DMAR
AH	DMAB
BH	
CH	IIMC
DH	
EH	
FH	

アドレス	レジスタ名
0090H	INTE0AD
1H	INTE12
2H	INTE34
3H	INTE56
4H	INTE78
5H	INTETA01
6H	INTETA23
7H	INTETA45
8H	INTETA67
9H	INTETB0
AH	INTETB1
BH	INTETB01V
CH	INTES0
DH	INTES1
EH	INTSBIRTC
FH	

アドレス	レジスタ名
00A0H	INTETC01
1H	INTETC23
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[3] CS/WAIT

アドレス	レジスタ名
00C0H	B0CS
1H	B1CS
2H	B2CS
3H	B3CS
4H	
5H	
6H	
7H	BEXCS
8H	MSAR0
9H	MAMR0
AH	MSAR1
BH	MAMR1
CH	MSAR2
DH	MAMR2
EH	MSAR3
FH	MAMR3

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

Downloaded from Elcodis.com electronic components distributor

表 5.2 SFR アドレスマップ

[4] CGEAR, DFM

アドレス	レジスタ名
00E0H	SYSCR0
1H	SYSCR1
2H	SYSCR2
3H	EMCCR0
4H	EMCCR1
5H	
6H	
7H	
8H	DFMCR0
9H	DFMCR1
AH	
BH	
CH	
DH	
EH	
FH	

アドレス	レジスタ名
00F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[5] TMRA

アドレス	レジスタ名
0100H	TA01RUN
1H	
2H	TA0REG
3H	TA1REG
4H	TA01MOD
5H	TA1FFCR
6H	
7H	
8H	TA23RUN
9H	
AH	TA2REG
BH	TA3REG
CH	TA23MOD
DH	TA3FFCR
EH	
FH	

アドレス	レジスタ名
0110H	TA45RUN
1H	
2H	TA4REG
3H	TA5REG
4H	TA45MOD
5H	TA5FFCR
6H	
7H	
8H	TA67RUN
9H	
AH	TA6REG
BH	TA7REG
CH	TA67MOD
DH	TA7FFCR
EH	
FH	

[6] TMRB

アドレス	レジスタ名
0180H	TB0RUN
1H	
2H	TB0MOD
3H	TB0FFCR
4H	
5H	
6H	
7H	
8H	TB0RG0L
9H	TB0RG0H
AH	TB0RG1L
BH	TB0RG1H
CH	TB0CP0L
DH	TB0CP0H
EH	TB0CP1L
FH	TB0CP1H

アドレス	レジスタ名
0190H	TB1RUN
1H	
2H	TB1MOD
3H	TB1FFCR
4H	
5H	
6H	
7H	
8H	TB1RG0L
9H	TB1RG0H
AH	TB1RG1L
BH	TB1RG1H
CH	TB1CP0L
DH	TB1CP0H
EH	TB1CP1L
FH	TB1CP1H

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

Downloaded from Elcodis.com electronic components distributor

表 5.3 SFR アドレスマップ

[7] UART/SIO

アドレス	レジスタ名
0200H	SC0BUF
1H	SC0CR
2H	SC0MOD0
3H	BR0CR
4H	BR0ADD
5H	SC0MOD1
6H	
7H	SIRCR
8H	SC1BUF
9H	SC1CR
AH	SC1MOD0
BH	BR1CR
CH	BR1ADD
DH	SC1MOD1
EH	
FH	

[8] I^2C バス/SIO

アドレス	レジスタ名
0240H	SBI0CR1
1H	SBI0DBR
2H	I2C0AR
3H	SBI0CR2/SBI0SR
4H	SBI0BR0
5H	SBI0BR1
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[9] 10 ビット ADC

アドレス	レジスタ名
02A0H	ADREG04L
1H	ADREG04H
2H	ADREG15L
3H	ADREG15H
4H	ADREG26L
5H	ADREG26H
6H	ADREG37L
7H	ADREG37H
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

アドレス	レジスタ名
02B0H	ADMOD0
1H	ADMOD1
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[10] WDT

アドレス	レジスタ名
0300H	WDMOD
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[11] 時計用タイマ

アドレス	レジスタ名
0310H	RTCCR
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

Downloaded from Elcodis.com electronic components distributor

(1) 入出力ポート

記号	名称	アドレス	7	6	5	4	3	2	1	0
P0	Port 0	00H	P07	P06	P05	P04	P03	P02	P01	P00
			R/W							
			外部端子データ (出力ラッチレジスタは不定となります。)							
P1	Port 1	01H	P17	P16	P15	P14	P13	P12	P11	P10
			R/W							
			外部端子データ (出力ラッチレジスタは“0”にクリアされます。)							
P2	Port 2	06H	P27	P26	P25	P24	P23	P22	P21	P20
			R/W							
			外部端子データ (出力ラッチレジスタは“1”にセットされます。)							
P3	Port 3	07H	P37	P36	P35	P34	P33	P32	P31	P30
			R/W*							
			外部端子データ (出力ラッチレジスタは“1”にセットされます。)						1	1
		(RMW 禁)	0(出力ラッチレジスタ) : プルアップレジスタ OFF 1(出力ラッチレジスタ) : プルアップレジスタ ON							
P4	Port 4	0CH					P43	P42	P41	P40
							R/W*			
							外部端子データ (出力ラッチレジスタは“1”にセットされます。)			
		(RMW 禁)					0(出力ラッチレジスタ): プルアップレジスタ OFF 1(出力ラッチレジスタ): プルアップレジスタ ON			
P5	Port 5	0DH	P57	P56	P55	P54	P53	P52	P51	P50
			R							
			外部端子データ							
P6	Port 6	12H		P66	P65	P64	P63	P62	P61	P60
				R/W						
				外部端子データ (出力ラッチレジスタは“1”にセットされます。)						
P7	Port 7	13H			P75	P74	P73	P72	P71	P70
					R/W					
					外部端子データ (出力ラッチレジスタは“1”にセットされます。)					
P8	Port 8	18H	P87	P86	P85	P84	P83	P82	P81	P80
			R/W							
			外部端子データ (出力ラッチレジスタは“1”にセットされます。)							
P9	Port 9	19H	P97	P96	P95	P94	P93	P92	P91	P90
			R/W							
			1	1	外部端子データ (出力ラッチレジスタは“1”にセットされます。)					
PA	Port A	1EH	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
			R/W							
			外部端子データ (出力ラッチレジスタは“1”にセットされます。)							

Downloaded from Elcodis.com electronic components distributor

(2) 入出力ポート制御 (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
P0CR	Port 0 control	02H (RMW 禁)	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C
			W							
			0	0	0	0	0	0	0	0
			0: 入力 1: 出力							
P1CR	Port 1 control	04H (RMW 禁)	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
			W							
			0	0	0	0	0	0	0	0
			0: 入力 1: 出力							
P1FC	Port 1 function	05H (RMW 禁)	P17F	P16F	P15F	P14F	P13F	P12F	P11F	P10F
			W							
			0	0	0	0	0	0	0	0
			P1FC/P1CR = 00: 入力ポート 01: 出力ポート 10: AD8~AD15 11: A8~A15							
P2CR	Port 2 control	08H (RMW 禁)	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
			W							
			0	0	0	0	0	0	0	0
			0: 入力 1: 出力							
P2FC	Port 2 function	09H (RMW 禁)	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
			W							
			0	0	0	0	0	0	0	0
			P2FC/P2CR = 00: 入力ポート 01: 出力ポート 10: A0~A7 11: A16~A23							
P3CR	Port 3 control	0AH (RMW 禁)	P37C	P36C	P35C	P34C	P33C	P32C		
			W							
			0	0	0	0	0	0		
			0: 入力 1: 出力							
P3FC	Port 3 function	0BH (RMW 禁)	–	P36F	P35F	P34F		P32F	P31F	P30F
			W					W		
			0	0	0	0		0	0	0
			“0”をライトしてください。	0: ポート 1: R/$\overline{W}$	0: ポート 1: $\overline{BUSAK}$	0: ポート 1: $\overline{BUSRQ}$		0: ポート 1: $\overline{HWR}$	0: ポート 1: $\overline{WR}$	0: ポート 1: $\overline{RD}$
P4CR	Port 4 control	0EH (RMW 禁)					P43C	P42C	P41C	P40C
							W			
							0	0	0	0
							0: 入力 1: 出力			
P4FC	Port 4 function	0FH (RMW 禁)					P43F	P42F	P41F	P40F
							W			
							0	0	0	0
							0: ポート 1: $\overline{CS3}$	0: ポート 1: $\overline{CS2}$	0: ポート 1: $\overline{CS1}$	0: ポート 1: $\overline{CS0}$
P6CR	Port 6 control	14H (RMW 禁)		P66C	P65C	P64C	P63C	P62C	P61C	P60C
				W						
				0	0	0	0	0	0	0
				0: 入力 1: 出力						
P6FC	Port 6 function	15H (RMW 禁)				P64F	P63F	P62F	P61F	P60F
						W				
						0	0	0	0	0
						0: ポート 1: SCOUT	0: ポート 1: INT0	0: ポート 1: SCL	0: ポート 1: SDA/SO	0: ポート 1:SCK 出力

注) P3<P30> = “0”, P3FC<P30F> = “1” に設定することにより、内蔵エリアのリード時も P30 端子より “L” レベルを出力します。出力ラッチレジスタ P30 = “1” のままの場合は、外部アドレスがアクセスされたときのみ $\overline{RD}$ が出力されます。

Downloaded from Elcodis.com electronic components distributor

入出力ポート制御 (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
P7CR	Port 7 control	16H (RMW 禁)			P75C	P74C	P73C	P72C	P71C	P70C
					W					
					0	0	0	0	0	0
					0: 入力 1: 出力					
P7FC	Port 7 function	17H (RMW 禁)			P75F	P74F		P72F	P71F	
					W			W		
					0	0		0	0	
					0: ポート 1: TA7OUT	0: ポート 1: TA5OUT		0: ポート 1: TA3OUT	0: ポート 1: TA1OUT	
P8CR	Port 8 control	1AH (RMW 禁)	P87C	P86C	P85C	P84C	P83C	P82C	P81C	P80C
			W							
			0	0	0	0	0	0	0	0
			0: 入力 1: 出力							
P8FC	Port 8 function	1BH (RMW 禁)	P87F	P86F	P85F	P84F	P83F	P82F	P81F	P80F
			W							
			0	0	0	0	0	0	0	0
			0: ポート 1:TB1OUT	0: ポート 1:TB1OUT	0: ポート 1: INT8 /TB1IN1 INT8 /TB1IN1	0: ポート 1: INT7 /TB1IN0	0: ポート 1:TB0OUT1	0: ポート 1:TB0OUT0	0: ポート 1: INT6 /TB0IN1	0: ポート 1: INT5 /TB0IN0
P9CR	Port 9 control	1CH (RMW 禁)	P97C	P96C	P95C	P94C	P93C	P92C	P91C	P90C
			W							
			1	1	0	0	0	0	0	0
			0: 入力 1: 出力							
P9FC	Port 9 function	1DH (RMW 禁)			P95F		P93F	P92F		P90F
					W		W			W
					0		0	0		0
					0: ポート 1: SCLK1		0: ポート 1: TXD1	0: ポート 1: SCLK0		0: ポート 1: TXD0
PACR	Port A control	20H (RMW 禁)	PA7C	PA6C	PA5C	PA4C	PA3C	PA2C	PA1C	PA0C
			W							
			0	0	0	0	0	0	0	0
			0: 入力 1: 出力							
PAFC	Port A function	21H (RMW 禁)	–	–	–	–	PA3F	PA2F	PA1F	PA0F
			W				W			
			0	0	0	0	0	0	0	0
			“0” をライトしてください。				0: ポート 1: INT4 入力	0: ポート 1: INT3 入力	0: ポート 1: INT2 入力	0: ポート 1: INT1 入力
ODE	Serial open-drain enable	2FH					ODE62	ODE61	ODE93	ODE90
							R/W			
							0	0	0	0
							1:P62ODE	1:P61ODE	1:P93ODE	1:P90ODE

注 1) 外部割り込み INT0

入力許可は P6FC<P63F> で制御します。レベル/エッジ選択，立ち上がり/立ち下がり選択は、IIMC<I0LE, I0EDGE> で制御します。

注 2) 外部割り込み INT1~INT4

入力許可は PAFC<PA3F:PA0F>で制御します。立ち上がり/立ち下がり選択は、IIMC<I4EDGE:I1EDGE> で制御します。

注 3) 外部割り込み INT5~INT8

入力許可は P8FC<P85F, P84F, P81F, P80F> で制御します。エッジの設定は、TMRB 部のレジスタ TB0MOD, TB1MOD で制御します。

Downloaded from Elcodis.com electronic components distributor

(3) 割り込み制御 (1/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE0AD	INT0 & INTAD enable	90H	INTAD				INT0			
			IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTAD	割り込み要求レベル			1: INT0	割り込み要求レベル		
INTE12	INT1 & INT2 enable	91H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT2	割り込み要求レベル			1: INT1	割り込み要求レベル		
INTE34	INT3 & INT4 enable	92H	INT4				INT3			
			I4C	I4M2	I4M1	I4M0	I3C	I3M2	I3M1	I3M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT4	割り込み要求レベル			1: INT3	割り込み要求レベル		
INTE56	INT5 & INT6 enable	93H	INT6				INT5			
			I6C	I6M2	I6M1	I6M0	I5C	I5M2	I5M1	I5M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT6	割り込み要求レベル			1: INT5	割り込み要求レベル		
INTE78	INT7 & INT8 enable	94H	INT8				INT7			
			I8C	I8M2	I8M1	I8M0	I7C	I7M2	I7M1	I7M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT8	割り込み要求レベル			1: INT7	割り込み要求レベル		
INTETA01	INTTA0 & INTTA1 enable	95H	INTTA1(TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA1	割り込み要求レベル			1: INTTA0	割り込み要求レベル		
INTETA23	INTTA2 & INTTA3 enable	96H	INTTA3 (TMRA3)				INTTA2 (TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA3	割り込み要求レベル			1: INTTA2	割り込み要求レベル		
INTETA45	INTTA4 & INTTA5 enable	97H	INTTA5 (TMRA5)				INTTA4 (TMRA4)			
			ITA5C	ITA5M2	ITA5M1	ITA5M0	ITA4C	ITA4M2	ITA4M1	ITA4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA5	割り込み要求レベル			1: INTTA4	割り込み要求レベル		
INTETA67	INTTA6 & INTTA7 enable	98H	INTTA7 (TMRA7)				INTTA6 (TMRA6)			
			ITA7C	ITA7M2	ITA7M1	ITA7M0	ITA6C	ITA6M2	ITA6M1	ITA6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA7	割り込み要求レベル			1: INTTA6	割り込み要求レベル		

Downloaded from Elcodis.com electronic components distributor

割り込み制御 (2/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTETB0	INTTB00 & INTTB01 enable	99H	INTTB01 (TMRB0)				INTTB00 (TMRB0)			
			ITB01C	ITB01M2	ITB01M1	ITB01M0	ITB00C	ITB00M2	ITB00M1	ITB00M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTB01	割り込み要求レベル			1:INTTB00	割り込み要求レベル		
INTETB1	INTTB10 & INTTB11 enable	9AH	INTTB11 (TMRB1)				INTTB10 (TMRB1)			
			ITB11C	ITB11M2	ITB11M1	ITB11M0	ITB10C	ITB10M2	ITB10M1	ITB10M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTB11	割り込み要求レベル			1: INTTB10	割り込み要求レベル		
INTETB01V	INTTBOF0 & INTTBOF1 enable (overflow)	9BH	INTTBOF1 (TMRB1 オーバフロー)				INTTBOF0 (TMRB0 オーバフロー)			
			ITF1C	ITF1M2	ITF1M1	ITF1M0	ITF0C	ITF0M2	ITF0M1	ITF0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTBOF1	割り込み要求レベル			1: INTTBOF0	割り込み要求レベル		
INTES0	INTRX0 & INTTX0 enable	9CH	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTX0	割り込み要求レベル			1: INTRX0	割り込み要求レベル		
INTES1	INTRX1 & INTTX1 enable	9DH	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTX1	割り込み要求レベル			1:INTRX1	割り込み要求レベル		
INTES2RTC	INTSBI & INTRTC enable	9EH	INTRTC				INTSBI			
			IRTCC	IRTCM2	IRTCM1	IRTCM0	ISBIC	ISBIM2	ISBIM1	ISBIM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTRTC	割り込み要求レベル			1: INTSBI	割り込み要求レベル		
INTETC01	INTTC0 & INTTC1 enable	A0H	INTTC1				INTTC0			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTC1	割り込み要求レベル			1:INTTC0	割り込み要求レベル		
INTETC23	INTTC2 & INTTC3 enable	A1H	INTTC3				INTTC2			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTC3	割り込み要求レベル			1:INTTC2	割り込み要求レベル		

Downloaded from Elcodis.com electronic components distributor

割り込み制御 (3/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA 0 request vector	80H			DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
					R/W					
					0	0	0	0	0	0
					DMA0 起動ベクタ					
DMA1V	DMA 1 request vector	81H			DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
					R/W					
					0	0	0	0	0	0
					DMA1 起動ベクタ					
DMA2V	DMA 2 request vector	82H			DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
					R/W					
					0	0	0	0	0	0
					DMA2 起動ベクタ					
DMA3V	DMA 3 request vector	83H			DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
					R/W					
					0	0	0	0	0	0
					DMA3 起動ベクタ					
INTCLR	Interrupt clear control	88H (RMW 禁)			CLRV5	CLRV4	CLRV3	CLRV2	CLRV1	CLRV0
					W					
					0	0	0	0	0	0
					割り込みベクタ					
DMAR	DMA software request register	89H (RMW 禁)					DMAR3	DMAR2	DMAR1	DMAR0
							R/W			
							0	0	0	0
							1: DMA のソフト要求			
DMAB	DMA burst request register	8AH					DMAB3	DMAB2	DMAB1	DMAB0
							R/W			
							0	0	0	0
							1 : DMA のバースト要求			
IIMC	Interrupt input mode control	8CH (RMW 禁)	–	I4EDGE	I3EDGE	I2EDGE	I1EDGE	I0EDGE	I0LE	NMIREE
			W							
			0	0	0	0	0	0	0	0
			“0” をライトしてください。	INT4 エッジ 0: 立ち上がり 1: 立ち下がり	INT3 エッジ 0: 立ち上がり 1: 立ち下がり	INT2 エッジ 0: 立ち上がり 1: 立ち下がり	INT1 エッジ 0: 立ち上がり 1: 立ち下がり	INT0 エッジ 0: 立ち上がり 1: 立ち下がり	INT0 0:エッジ 1:レベル	1: $\overline{\text{NMI}}$ 立ち上がりでも動作

Downloaded from Elcodis.com electronic components distributor

(4) チップセレクト/ウェイトコントローラ (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
B0CS	Block 0 CS/WAIT control register	C0H (RMW 禁)	B0E		B0OM1	B0OM0	B0BUS	B0W2	B0W1	B0W0
			W		W					
			0		0	0	0	0	0	0
			0: 禁止 1: 許可		00: ROM/SRAM 01: 10: Reserved 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	000: 2 ウェイト 001: 1 ウェイト 010: (1 + N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
B1CS	Block 1 CS/WAIT control register	C1H (RMW 禁)	B1E		B1OM1	B1OM0	B1BUS	B1W2	B1W1	B1W0
			W		W					
			0		0	0	0	0	0	0
			0: 禁止 1: 許可		00: ROM/SRAM 01: 10: Reserved 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	000: 2 ウェイト 001: 1 ウェイト 010: (1 + N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
B2CS	Block 2 CS/WAIT control register	C2H (RMW 禁)	B2E	B2M	B2OM1	B2OM0	B2BUS	B2W2	B2W1	B2W0
			W							
			1	0	0	0	0	0	0	0
			0: 禁止 1: 許可	0: 16 M 空間 1: エリア設定	00: ROM/SRAM 01: 10: Reserved 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	000: 2 ウェイト 001: 1 ウェイト 010: (1 + N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
B3CS	Block 3 CS/WAIT control register	C3H (RMW 禁)	B3E		B3OM1	B3OM0	B3BUS	B3W2	B3W1	B3W0
			W		W					
			0		0	0	0	0	0	0
			0: 禁止 1: 許可		00: ROM/SRAM 01: 10: Reserved 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	000: 2 ウェイト 001: 1 ウェイト 010: (1 + N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
BEXCS	External CS/WAIT control register	C7H (RMW 禁)					BEXBUS	BEXW2	BEXW1	BEXW0
							W			
							0	0	0	0
							データバス幅選択 0: 16 ビット 1: 8 ビット	000: 2 ウェイト 001: 1 ウェイト 010: (1 + N) ウェイト 011: 0 ウェイト	100: Reserved 101: 3 ウェイト 110: 4 ウェイト 111: 8 ウェイト	
MSAR0	Memory start address register 0	C8H	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR0	Memory address mask register 0	C9H	V20	V19	V18	V17	V16	V15	V14~V9	V8
			R/W							
			1	1	1	1	1	1	1	1
			CS0 空間サイズ設定　0: アドレス比較対照							
MSAR1	Memory start address register 1	CAH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR1	Memory address mask register 1	CBH	V21	V20	V19	V18	V17	V16	V15~V9	V8
			R/W							
			1	1	1	1	1	1	1	1
			CS1 空間サイズ設定　0: アドレス比較対照							

Downloaded from Elcodis.com electronic components distributor

チップセレクト/ウェイトコントローラ (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
MSAR2	Memory start address register 2	CCH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR2	Memory address mask register 2	CDH	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			CS2 空間サイズ設定　0: アドレス比較対照							
MSAR3	Memory start address register 3	CEH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR3	Memory address mask register 3	CFH	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			CS3 空間サイズ設定　0: アドレス比較対照							

Downloaded from Elcodis.com electronic components distributor

(5) クロック制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
SYSCR0	System clock control register 0	E0H	XEN	XTEN	RXEN	RXTEN	RSYSCK	WUEF	PRCK1	PRCK0
			R/W							
			1	0	1	0	0	0	0	0
			高速 発振回路 0: 停止 1: 発振	低速 発振回路 0: 停止 1: 発振	STOP モード 解除後の 高速発振 回路 0: 停止 1: 発振	STOP モード 解除後の 低速発振 回路 0: 停止 1: 発振	STOP モード 解除後の クロック 0: 高速 1: 低速	発信回路用 ウォーム アップ タイマ (WUP) 0 ライト: Don't care 1 ライト: WUP スタート 0 リード: WUP 終了 1 リード: WUP 中	プリスケーラクロック 選択 00: f_{FPH} 01: 設定しないでください 10: fc/16 11: 設定しないでください	
SYSCR1	System clock control register 1	E1H					SYSCK	GEAR2	GEAR1	GEAR0
							R/W			
							0	1	0	0
							クロック 選択 0: 高速 1: 低速	高速クロックのギア選択 000: 高速クロック 001: 高速クロック /2 010: 高速クロック /4 011: 高速クロック /8 100: 高速クロック /16 その他 : 設定しないでください		
SYSCR2	System clock control register 2	E2H		SCOSEL	WUPTM1	WUPTM0	HALTM1	HALTM0		DRVE
				R/W						R/W
				0	1	0	1	1		0
				SCOUT の 選択 0: fs 1: f_{FPH}	発振器用 WUP 時間選択 00:設定しないでください 01: 2^8/入力周波数 10: 2^{14}/入力周波数 11: 2^{16}/入力周波数		00:設定しないでください 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード			1:STOP モード中も端子をドライブします
EMCCR0	EMC control register 0	E3H	PROTECT	ー	ー	ー	ALEEN	EXTIN	DRVOSCH	DRVOSCL
			R	R/W						
			0	0	1	0	0	0	1	1
			プロテク トフラグ 0: OFF 1: ON	"0" をライトしてください。	"1" をライトしてください。	"0" をライトしてください。	0: ALE 出力禁止 1: ALE 出力許可	1: fc 外部 クロック	高周波 発振回路 ドライブ 能力 1:NORMAL 0: WEAK	低周波 発振回路 ドライブ 能力 1: NORMAL 0: WEAK
EMCCR1	EMC control register 1	E4H	"1FH" をライトでプロテクト OFF "1FH" 以外をライトでプロテクト ON							

注) EMCCR1

プロテクト ON 設定により、下記に示す特定の SFR へのライト動作ができなくなります。

(ライト動作ができなくなる SFR)

1. CS/WAIT コントローラ

   B0CS, B1CS, B2CS, B3CS, BEXCS,

   MSAR0, MSAR1, MSAR2, MSAR3,

   MAMR0, MAMR1, MAMR2, MAMR3

2. クロックギア (EMCCR1 のみはライト可能です)

   SYSCR0, SYSCR1, SYSCR2, EMCCR0

3. DFM

   DFMCR0

Downloaded from Elcodis.com electronic components distributor

(6) DFM 制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
DFMCR0	DFM control register 0	E8H	ACT1	ACT0	DLUPFG	DLUPTM				
			R/W		R	R/W				
			0	0	0	0				
			DFM / LUP / f_{FPH} 選択 00 STOP STOP f_{OSCH} 01 RUN RUN f_{OSCH} 10 RUN STOP f_{DFM} 11 RUN STOP f_{OSCH}		ロックアップ (LUP) フラグ 0: LUP 終了 1: LUP 中	ロックアップ時間選択 0: $2^{12}/f_{OSCH}$ 1: $2^{10}/f_{OSCH}$				
DFMCR1	DFM control register 1	E9H	–	–	–	–	–	–	–	–
			R/W							
			0	0	0	1	0	0	1	1
			入力周波数 4~6.75MHz(@3V±10%)では 0BH をライトしてください。 入力周波数 2~2.5MHz(@2V±10%)では 1BH をライトしてください。							

Downloaded from Elcodis.com electronic components distributor

(7) 8 ビットタイマ制御 (1/2)

(7–1) TMRA01

記号	名称	アドレス	7	6	5	4	3	2	1	0
TA01RUN	Timer RUN	100H	TA0RDE				I2TA01	TA01PRUN	TA1RUN	TA0RUN
			R/W				R/W			
			0				0	0	0	0
			ダブルバッファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	TMRA01 プリスケーラ	アップカウンタ (UC1)	アップカウンタ (UC0)
								0: 停止 & クリア 1: 動作 (カウントアップ)		
TA0REG	8-bit timer register 0	102H (RMW 禁)	–							
			W							
			不定							
TA1REG	8-bit timer register 1	103H (RMW 禁)	–							
			W							
			不定							
TA01MOD	8-bit timer source CLK & mode	104H	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0
			R/W							
			0	0	0	0	0	0	0	0
			00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		00: Reserved 01: 2^6 PWM 周期 10: 2^7 11: 2^8		00: TA0TRG 01: φT1 10: φT16 11: φT256		00: TA0IN 端子入力 01: φT1 10: φT4 11: φT16	
TA1FFCR	8-bit timer flip-flop control	105H (RMW 禁)					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS
							R/W			
							1	1	0	0
							00: TA1FF 反転 01: TA1FF セット 10: TA1FF クリア 11: Don't care		1: TA1FF 反転許可	0: TMRA0 1: TMRA1 による反転

(7–2) TMRA23

記号	名称	アドレス	7	6	5	4	3	2	1	0
TA23RUN	Timer RUN	108H	TA2RDE				I2TA23	TA23PRUN	TA3RUN	TA2RUN
			R/W				R/W			
			0				0	0	0	0
			ダブルバッファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	TMRA23 プリスケーラ	アップカウンタ (UC3)	アップカウンタ (UC2)
								0: 停止 & クリア 1: 動作 (カウントアップ)		
TA2REG	8-bit timer register 0	10AH (RMW 禁)	–							
			W							
			不定							
TA3REG	8-bit timer register 1	10BH (RMW 禁)	–							
			W							
			不定							
TA23MOD	8-bit timer source CLK & mode	10CH	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0
			R/W							
			0	0	0	0	0	0	0	0
			00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		00: Reserved 01: 2^6 PWM 周期 10: 2^7 11: 2^8		00: TA2TRG 01: φT1 10: φT16 11: φT256		00: Reserved 01: φT1 10: φT4 11: φT16	
TA3FFCR	8-bit timer flip-flop control	10DH (RMW 禁)					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS
							R/W		R/W	
							1	1	0	0
							00: TA3FF 反転 01: TA3FF セット 10: TA3FF クリア 11: Don't care		1: TA3FF 反転許可	0: TMRA2 1: TMRA3 による反転

Downloaded from Elcodis.com electronic components distributor

8 ビットタイマ制御 (2/2)

(7-3) TMRA45

記号	名称	アドレス	7	6	5	4	3	2	1	0
TA45RUN	Timer RUN	110H	TA4RDE				I2TA45	TA45PRUN	TA5RUN	TA4RUN
			R/W				R/W			
			0				0	0	0	0
			ダブルバッファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	TMRA45 プリスケーラ	アップカウンタ (UC5)	アップカウンタ (UC4)
								0: 停止 & クリア 1: 動作 (カウントアップ)		
TA4REG	8-bit timer register 0	112H (RMW 禁)	–							
			W							
			不定							
TA5REG	8-bit timer register 1	113H (RMW 禁)	–							
			W							
			不定							
TA45MOD	8-bit timer source CLK & mode	114H	TA45M1	TA45M0	PWM41	PWM40	TA5CLK1	TA5CLK0	TA4CLK1	TA4CLK0
			R/W							
			0	0	0	0	0	0	0	0
			00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		00: Reserved 01: 2^6 PWM 周期 10: 2^7 11: 2^8		00: TA4TRG 01: ϕT1 10: ϕT16 11: ϕT256		00: TA4IN 端子入力 01: ϕT1 10: ϕT4 11: ϕT16	
TA5FFCR	8-bit timer flip-flop control	115H (RMW 禁)					TA5FFC1	TA5FFC0	TA5FFIE	TA5FFIS
							R/W		R/W	
							1	1	0	0
							00: TA5FF 反転 01: TA5FF セット 10: TA5FF クリア 11: Don't care		1: TA5FF 反転許可	0: TMRA4 1: TMRA5 による反転

(7-4) TMRA67

記号	名称	アドレス	7	6	5	4	3	2	1	0
TA67RUN	Timer RUN	118H	TA6RDE				I2TA67	TA67PRUN	TA7RUN	TA6RUN
			R/W				R/W			
			0				0	0	0	0
			ダブルバッファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	TMRA67 プリスケーラ	アップカウンタ (UC7)	アップカウンタ (UC6)
								0: 停止 & クリア 1: 動作 (カウントアップ)		
TA6REG	8-bit timer register 0	11AH (RMW 禁)	–							
			W							
			不定							
TA7REG	8-bit timer register 1	11BH (RMW 禁)	–							
			W							
			不定							
TA67MOD	8-bit timer source CLK & mode	11CH	TA67M1	TA67M0	PWM61	PWM60	TA7CLK1	TA7CLK0	TA6CLK1	TA6CLK0
			R/W							
			0	0	0	0	0	0	0	0
			00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		00: Reserved 01: 2^6 PWM 周期 10: 2^7 11: 2^8		00: TA6TRG 01: ϕT1 10: ϕT16 11: ϕT256		00: Reserved 01: ϕT1 10: ϕT4 11: ϕT16	
TA7FFCR	8-bit timer flip-flop control	11DH (RMW 禁)					TA7FFC1	TA7FFC0	TA7FFIE	TA7FFIS
							R/W		R/W	
							1	1	0	0
							00: TA7FF 反転 01: TA7FF セット 10: TA7FF クリア 11: Don't care		1: TA7FF 反転許可	0: TMRA6 1: TMRA7 による反転

Downloaded from Elcodis.com electronic components distributor

(8) 16 ビットタイマ制御 (1/2)

(8-1) TMRB0

記号	名称	アドレス	7	6	5	4	3	2	1	0
TB0RUN	Timer control	180H	TB0RDE	–			I2TB0	TB0PRUN		TB0RUN
			R/W				R/W			R/W
			0	0			0	0		0
			ダブルバッファ 0: 禁止 1: 許可	“0” をライトしてください。			IDLE2 0: 停止 1: 動作	TMRB0 プリスケーラ		アップカウンタ (UC10)
								0: 停止 & クリア 1: 動作 (カウントアップ)		
TB0MOD	16-bit timer source CLK & mode	182H (RMW 禁)	TB0CT1	TB0ET1	TB0CP0I	TB0CPM1	TB0CPM0	TB0CLE	TB0CLK1	TB0CLK0
			R/W		W*	R/W				
			0	0	1	0	0	0	0	0
			TB0FF1 反転トリガ 0:トリガ禁止 1:トリガ許可		0: ソフトウエアキャプチャ 1: 不定	キャプチャタイミング (TB0IN0, TB0IN1) 00: 禁止 01: ↑, ↑ 10: ↑, ↓ 11: ↑, ↓ (TA1OUT)		アップカウンタのクリア制御 0: 禁止 1: 許可	ソースクロック 00: TB0IN0 入力 01: φT1 10: φT4 11: φT16	
			UC10 値を TB0CP1H/L へキャプチャする時	UC10 と TB0RG1H/L との一致時						
TB0FFCR	16-bit timer flip-flop control	183H (RMW 禁)	TB0FF1C1	TB0FF1C0	TB0C1T1	TB0C0T1	TB0E1T1	TB0E0T1	TB0FF0C1	TB0FF0C0
			W*		R/W				W*	
			1	1	0	0	0	0	1	1
			TB0FF1 の制御 00: 反転 01: セット 10: クリア 11: Don’t care * 読み出すと常に “11” になります。		TB0FF0 反転制御 0: 反転禁止 1: 反転許可				TB0FF0 の制御 00: 反転 01: セット 10: クリア 11: Don’t care * 読み出すと常に “11” になります。	
					TB0CP1H/L への UC10 値をキャプチャする時	TB0CP0H/L への UC10 値をキャプチャする時	UC10 と TB0RG1H/L との一致時	UC10 と TB0RG0H/L との一致時		
TB0RG0L	16-bit timer register 0L	188H (RMW 禁)	–							
			W							
			不定							
TB0RG0H	16-bit timer register 0H	189H (RMW 禁)	–							
			W							
			不定							
TB0RG1L	16-bit timer register 1L	18AH (RMW 禁)	–							
			W							
			不定							
TB0RG1H	16 bit timer register 1H	18BH (RMW 禁)	–							
			W							
			不定							
TB0CP0L	Capture register 0L	18CH	–							
			R							
			不定							
TB0CP0H	Capture register 0H	18DH	–							
			R							
			不定							
TB0CP1L	Capture register 1L	18EH	–							
			R							
			不定							
TB0CP1H	Capture register 1H	18FH	–							
			R							
			不定							

Downloaded from Elcodis.com electronic components distributor

16 ビットタイマ制御 (2/2)

(8-2) TMRB1

記号	名称	アドレス	7	6	5	4	3	2	1	0
TB1RUN	Timer control	190H	TB1RDE	–			I2TB1	TB1PRUN		TB1RUN
			R/W				R/W			R/W
			0	0			0	0		0
			ダブルバッファ 0: 禁止 1: 許可	“0” をライトしてください。			IDLE2 0: 停止 1: 動作	TMRB1 プリスケーラ		アップカウンタ (UC12)
								0: 停止 & クリア 1: 動作 (カウントアップ)		
TB1MOD	16-bit timer source CLK & mode	192H (RMW 禁)	TB1CT1	TB1ET1	TB1CP0I	TB1CPM1	TB1CPM0	TB1CLE	TB1CLK1	TB1CLK0
			R/W		W*	R/W				
			0	0	1	0	0	0	0	0
			TB1FF1 反転トリガ 0: トリガ禁止 1: トリガ許可		0: ソフトウエアキャプチャ 1: 不定	キャプチャタイミング (TB1IN0, TB1IN1) 00: 禁止 01: ↑, ↑ 10: ↑, ↓ 11: ↑, ↓ (TA1OUT)		アップカウンタのクリア制御 0: 禁止 1: 許可	ソースクロック 00: TB1IN0 入力 01: φT1 10: φT4 11: φT16	
			UC12 値を TB1CP1H/L へキャプチャ	UC12 と TB1RG1H/L との一致時						
TB1FFCR	16-bit timer flip-flop control	193H (RMW 禁)	TB1FF1C1	TB1FF1C0	TB1C1T1	TB1C0T1	TB1E1T1	TB1E0T1	TB1FF0C1	TB1FF0C0
			W*		R/W				W*	
			1	1	0	0	0	0	1	1
			TB1FF1 の制御 00: 反転 01: セット 10: クリア 11: Don’t care * 読み出すと常に “11” になります。		TB1FF0 反転制御 0: 反転禁止 1: 反転許可				TB1FF0 の制御 00: 反転 01: セット 10: クリア 11: Don’t care * 読み出すと常に “11” になります。	
					TB1CP0H/L への UC12 値をキャプチャする時	TB1CP0H/L への UC12 値をキャプチャする時	UC12 と TB1RG1H/L との一致時	UC12 と TB1RG0H/L との一致時		
TB1RG0L	16-bit timer register 0L	198H (RMW 禁)	–							
			W							
			不定							
TB1RG0H	16-bit timer register 0H	199H (RMW 禁)	–							
			W							
			不定							
TB1RG1L	16-bit timer register 1L	19AH (RMW 禁)	–							
			W							
			不定							
TB1RG1H	16-bit timer register 1H	19BH (RMW 禁)	–							
			W							
			不定							
TB1CP0L	Capture register 0L	19CH	–							
			R							
			不定							
TB1CP0H	Capture register 0H	19DH	–							
			R							
			不定							
TB1CP1L	Capture register 1L	19EH	–							
			R							
			不定							
TB1CP1H	Capture register 1H	19FH	–							
			R							
			不定							

Downloaded from Elcodis.com electronic components distributor

(9) UART/シリアルチャネル (1/2)

(9-1) UART/SIO Channel0

記号	名称	アドレス	7	6	5	4	3	2	1	0
SC0BUF	Serial channel 0 buffer	200H (RMW 禁)	RB7/TB7	RB6/TB6	RB5/TB5	RB4/TB4	RB3/TB3	RB2/TB2	RB1/TB1	RB0/TB0
			R (Receiving)/W (Transmission)							
			不定							
SC0CR	Serial channel 0 control	201H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (読み出すと 0 にクリアされます。)			R/W	
			不定	0	0	0	0	0	0	0
			受信データビット 8	パリティ 0: 奇数 1: 偶数	パリティ付加 0:禁止 1:許可	オーバランエラーフラグ 0:未検出 1:検出	パリティエラーフラグ 0:未検出 1:検出	フレーミングエラーフラグ 0:未検出 1:検出	エッジ選択 0: SCLK0↑ 1: SCLK0↓	入力クロック選択 0:ボーレートジェネレータ 1: SCLK0 端子入力
SC0MOD0	Serial channel 0 mode0	202H	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			0	0	0	0	0	0	0	0
			送信データビット 8	ハンドシェイク機能制御 0:CTS 禁止 1:CTS 許可	受信制御 0:受信禁止 1:受信許可	ウェイクアップ機能 0:禁止 1:許可	シリアル転送モード 00:I/O インタフェース 01: UART 7 ビット 10: UART 8 ビット 11: UART 9 ビット		シリアル転送クロック 00: TA0TRG 01: ボーレートジェネレータ 10: 内部クロック f_{SYS} 11: 外部クロック SCLK0 入力	
BR0CR	Baud rate control	203H	–	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
			R/W							
			0	0	0	0	0	0	0	0
			“0” をライトしてください。	1:(16-K)/16 分周許可	00: φT0 01: φT2 10: φT8 11: φT32		ボーレートジェネレータの分周値”N”の設定 (0~F)			
BR0ADD	Serial channel 0 K setting register	204H					BR0K3	BR0K2	BR0K1	BR0K0
							R/W			
							0	0	0	0
							N+(16－K)/16 分周の K 値の設定(1~F)			
SC0MOD1	Serial channel 0 mode1	205H	I2S0	FDPX0						
			R/W							
			0	0						
			IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						

(9-2) IrDA 対応

記号	名称	アドレス	7	6	5	4	3	2	1	0
SIRCR	IrDA control register	207H	PLSEL	RXCEL	TXEN	RXEN	SIRWD3	SIRWD1	SIRWD1	SIRWD0
			R/W							
			0	0	0	0	0	0	0	0
			送信パルス幅選択 0: 3/16 1: 1/16	受信データ論理 0:“H”パルス 1: “L”パルス	送信動作 0: 禁止 1: 許可	受信動作 0: 禁止 1: 許可	SIRRxD の有効パルス幅の設定 “2x × (設定値 + 1)” + 100ns 以上のパルス幅を有効とする 設定可: 1~14 設定不可: 0, 15			

Downloaded from Elcodis.com electronic components distributor

UART/シリアルチャネル (2/2)

(9-3) UART/SIO Channel1

記号	名称	アドレス	7	6	5	4	3	2	1	0
SC1BUF	Serial channel 1 buffer	208H (RMW 禁)	RB7/TB7	RB6/TB6	RB5/TB5	RB4/TB4	RB3/TB3	RB2/TB2	RB1/TB1	RB0/TB0
			R (Receiving)/W (Transmission)							
			不定							
SC1CR	Serial channel 1 control	209H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (読み出すと 0 にクリアされます。)			R/W	
			不定	0	0	0	0	0	0	0
			受信データビット 8	パリティ 0: 奇数 1: 偶数	パリティ付加 0:禁止 1:許可	オーバランエラーフラグ 0:未検出 1:検出	パリティエラーフラグ 0:未検出 1:検出	フレーミングエラーフラグ 0:未検出 1:検出	エッジ選択 0: SCLK1↑ 1: SCLK1↓	入力クロック選択 0:ボーレートジェネレータ 1: SCLK1 端子入力
SC1MOD0	Serial channel 1 mode	20AH	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			0	0	0	0	0	0	0	0
			送信データビット 8	ハンドシェイク機能制御 0:CTS 禁止 1:CTS 許可	受信制御 0:受信禁止 1:受信許可	ウェイクアップ機能 0:禁止 1:許可	シリアル転送モード 00:I/O インタフェース 01: UART 7 ビット 10: UART 8 ビット 11: UART 9 ビット		シリアル転送クロック 00: TA0TRG 01: ボーレートジェネレータ 10: 内部クロック f_{SYS} 11: 外部クロック SCLK1 入力	
BR1CR	Baud rate control	20BH	–	BR1ADDE	BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0
			R/W							
			0	0	0	0	0	0	0	0
			“0”をライトしてください。	1: (16-K)/16 分周許可	00: φT0 01: φT2 10: φT8 11: φT32		ボーレートジェネレータの分周値”N”の設定 (0~F)			
BR1ADD	Serial channel 1 K setting register	20CH					BR1K3	BR1K2	BR1K1	BR1K0
							R/W			
							0	0	0	0
							N+(16－K)/16 分周の K 値の設定(1~F)			
SC1MOD1	Serial channel 1 mode 1	20DH	I2S1	FDPX1						
			R/W							
			0	0						
			IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						

Downloaded from Elcodis.com electronic components distributor

(10) I²C バス/シリアルチャネル制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
SBI0CR1	Serial bus interface control register 1	240H (I²C バスモード) (RMW 禁)	BC2	BC1	BC0	ACK		SCK2	SCK1	SCK0 /SWRMON
			W			R/W		W		R/W
			0	0	0	0		0	0	0/1
			転送ビット数の選択 000: 8 001: 1 010: 2 011: 3 100: 4 101: 5 110: 6 111: 7			アクノリッジモード 0: 禁止 1: 許可		シリアルクロック周波数の選択 (ライト時) 000: 5 001: 6 010: 7 011: 8 100: 9 101: 10 110: 11 111: Reserved		
		240H (SIO モード) (RMW 禁)	SIOS	SIOINH	SIOM1	SIOM0		SCK2	SCK1	SCK0
			W					W		
			0	0	0	0		0	0	0
			転送制御 0: 終了 1: 開始	転送の強制停止 0: 継続 1: 停止	転送モード選択 00: 8 ビット送信 01: Reserved 10: 8 ビット送受信 11: 8 ビット受信			シリアルクロック周波数の選択 (ライト時) 000: 4 001: 5 010: 6 011: 7 100: 8 101: 9 110: 10 111: 外部 SCK 入力		
SBI0DBR	SBI buffer register	241H (RMW 禁)	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
			R (Receiving)/W (Transmission)							
			不定							
I2C0AR	I²C bus address register	242H (RMW 禁)	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
			W							
			0	0	0	0	0	0	0	0
			スレーブアドレスの設定							アドレス認識 0: する 1: しない
リード時 SBI0SR	Serial bus interface status register	243H (I²C バスモード) (RMW 禁)	MST	TRX	BB	PIN	AL/SBIM1	AAS/SBIM0	AD0/ SWRST1	LRB/ SWRST0
			R/W							
			0	0	0	1	0	0	0	0
			0: スレーブ 1: マスタ	0: 受信 1: 送信	バス状態モニタ 0: フリー 1: ビジー	INTSBI 要求モニタ 0 :要求中 1: 解除	アービトレーションロスト検出モニタ 1: 検出	スレーブアドレス一致検出 1: 検出	ジェネラルコール検出モニタ 1: 検出	最終ビット検出モニタ 0: “0” 1: “1”
ライト時 SBI0CR2	Serial bus interface control register 2				スタート/ストップコンディションの発生		SBI の動作モード選択 00: ポートモード 01: SIO モード 10: I²C バスモード 11: (Reserved)		ソフトウエアリセットの発生最初に “10”、次に “01” をライトすると、ソフトリセットが発生します。	
リード時 SBI0SR	Serial bus interface control register	243H (SIO モード) (RMW 禁)					SIOF/SBIM1	SEF/SBIM0	–	–
							R/W		W	
							0	0	0	0
							転送状態モニタ 0: 終了 1: 転送中	シフト動作モニタ 0: 終了 1: シフト中		
ライト時 SBI0CR2	Serial bus interface control register 2						SBI の動作モード選択 00: ポートモード 01: SIO モード 10: I²C バスモード 11: (Reserved)		“0” をライトしてください。	“0” をライトしてください。
SBI0BR0	Serial bus Interface baud rate register 0	244H (RMW 禁)	–	I2SBI0						
			W	R/W						
			0	0						
			“0” をライトしてください。	IDLE2 0: 停止 1: 動作						
SBI0BR1	Serial bus interface baud rate register 1	245H (RMW 禁)	P4EN	–						
			W							
			0	0						
			クロック制御 0: 停止 1: 動作	“0” をライトしてください。						

Downloaded from Elcodis.com electronic components distributor

(11) AD コンバータ制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
ADMOD0	AD mode register 0	2B0H	EOCF	ADBF	–	–	ITM0	REPEAT	SCAN	ADS
			R		R/W					
			0	0	0	0	0	0	0	0
			AD 変換終了フラグ 0: 変換中 1: 終了	AD 変換ビジーフラグ 0:変換停止 1: 変換中	“0” をライトしてください。	“0” をライトしてください。	リピート指定(固定リピート時) 0: 1 回ごと 1: 4 回ごと	リピートモード指定 0: シングル 1: リピート	スキャンモード指定 0: 固定 1: スキャン	AD 変換 0:Don't care 1: 開始
ADMOD1	AD mode register 1	2B1H	VREFON	I2AD			ADTRGE	ADCH2	ADCH1	ADCH0
			R/W				R/W			
			0	0			0	0	0	0
			VREF 0: OFF 1: ON	IDLE2 0: 停止 1: 動作			AD 外部トリガスタート 0:禁止 1:許可	入力チャネル選択 000: AN0 AN0 001: AN1 AN0 →AN1 010: AN2 AN0 → AN1 → AN2 011: AN3 AN0 → AN1 → AN2 → AN3 100: AN4 AN4 101: AN5 AN4 → AN5 110: AN6 AN4 → AN5 → AN6 111: AN7 AN4 → AN5 → AN6 → AN7		
ADREG04L	AD result register 0/4 low	2A0H	ADR01	ADR00						ADR0RF
			R							R
			不定							0
ADREG04H	AD result register 0/4 high	2A1H	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
			R							
			不定							
ADREG15L	AD result register 1/5 low	2A2H	ADR11	ADR10						ADR1RF
			R							R
			不定							0
ADREG15H	AD result register 1/5 high	2A3H	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
			R							
			不定							
ADREG26L	AD result register 2/6 low	2A4H	ADR21	ADR20						ADR2RF
			R							R
			不定							0
ADREG26H	AD result register 2/6 high	2A5H	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
			R							
			不定							
ADREG37L	AD result register 3/7 low	2A6H	ADR31	ADR30						ADR3RF
			R							R
			不定							0
ADREG37H	AD result register 3/7 high	2A7H	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
			R							
			不定							

Downloaded from Elcodis.com electronic components distributor

(12) ウォッチドッグタイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0
WDMOD	WDT mode register	300H	WDTE	WDTP1	WDTP0			I2WDT	RESCR	–
			R/W					R/W		
			1	0	0			0	0	0
			1: WDT 許可	00: $2^{15}/f_{SYS}$ 01: $2^{17}/f_{SYS}$ 10: $2^{19}/f_{SYS}$ 11: $2^{21}/f_{SYS}$				IDLE2 0: 停止 1: 動作	1: RESET 端子へ内部接続	“0”をライトしてください。
WDCR	WD control	301H (RMW 禁)	–							
			W							
			–							
			B1H: WDT 許可　4EH: WDT クリア							

(13) 時計用タイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0
RTCCR	時計用タイマ control register	310H	–					RTCSEL1	RTCSEL0	RTCRUN
			R/W					R/W		
			0					0	0	0
			“0” をライトしてください。					00: $2^{14}/fs$ 01: $2^{13}/fs$ 10: $2^{12}/fs$ 11: $2^{11}/fs$		0: 停止 & クリア 1: 動作

Downloaded from Elcodis.com electronic components distributor

6. ポート部等価回路図

- 回路図の見方

基本的に、標準 CMOS ロジック IC「74HC××」シリーズと同じゲート記号を使って書かれています。

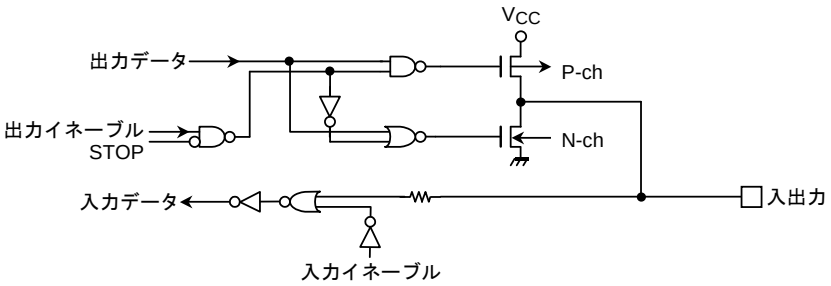
信号名の中で、特殊なものについては、下記に示します。

STOP：この信号は、HALT モード設定レジスタを「STOP」モード (SYSCR2<HALTM1:0> = 0, 1) にして、CPU が「HALT」命令を実行したとき、アクティブ “1” になります。

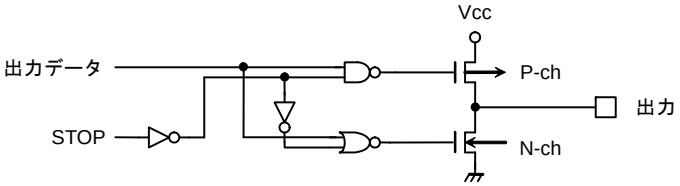
ただし、ドライブイネーブルビット SYSCR2<DRVE> が “1” にセットされているときは、STOP は “0” のままです。

- 入力保護抵抗は、数十Ω ~ 数百Ω 程度です。

■ P0 (AD0~AD7), P1 (AD8~AD15, A8~A15), P2 (A16~A23, A0~A7), P60, P64~P66, P70~P75, P80~P87, P91~P92, P94~P95, PA0~PA7

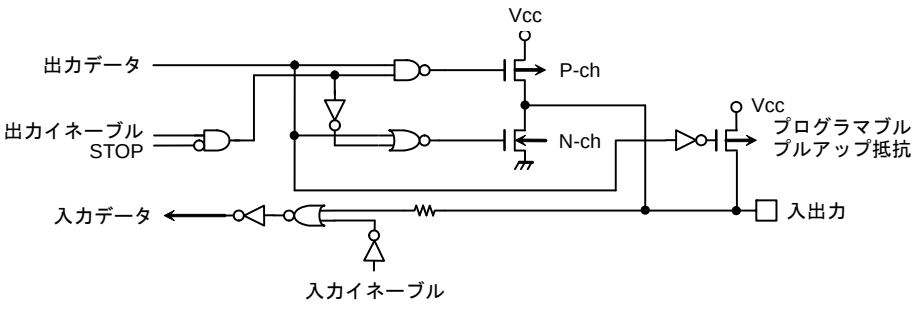


■ P30 ($\overline{RD}$), P31 ($\overline{WR}$)

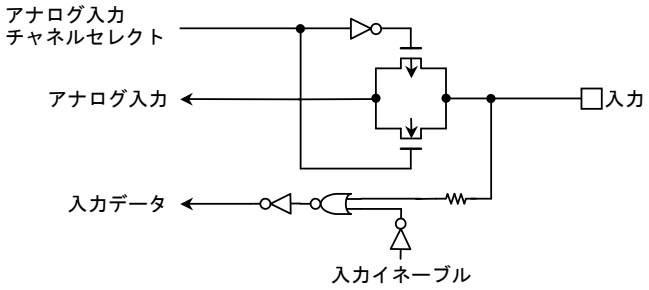


Downloaded from Elcodis.com electronic components distributor

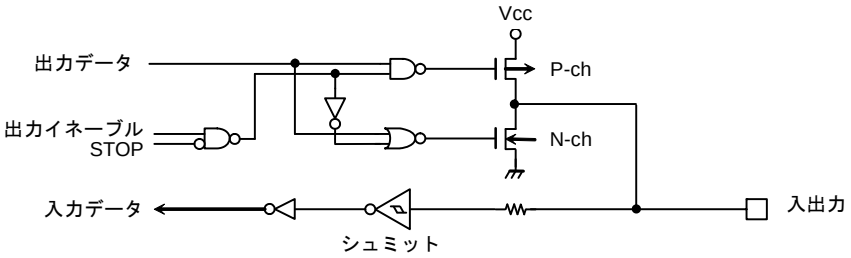
■ P32~P37, P40~P43



■ P5 (AN0~AN7)

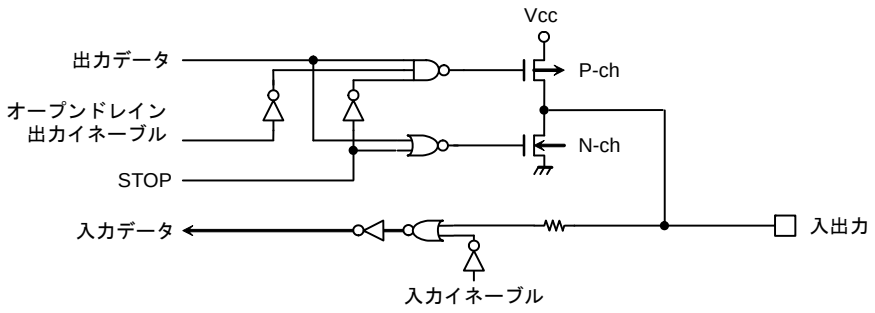


■ P63 (INT0)

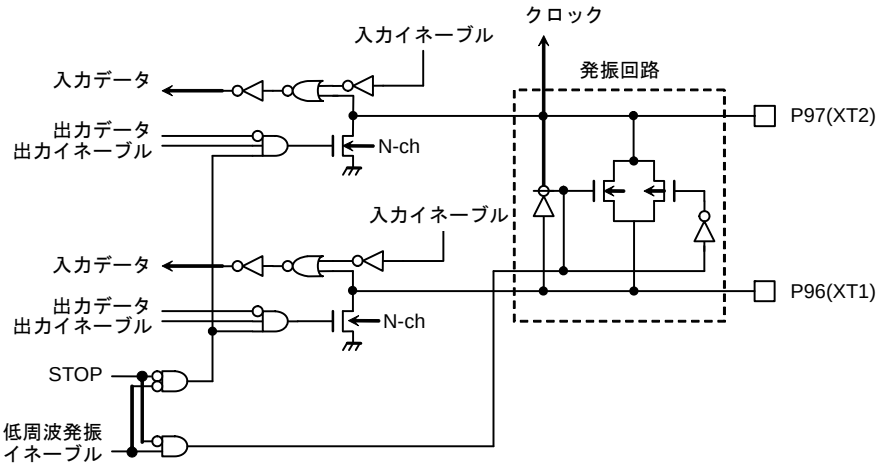


Downloaded from Elcodis.com electronic components distributor

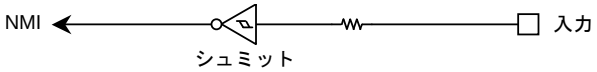
■ P61 (SO/SDA), P62 (SI/SCL), P90 (TXD0), P93 (TXD1)



■ P96 (XT1), P97 (XT2)

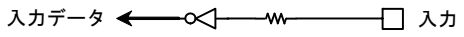


■ $\overline{\text{NMI}}$

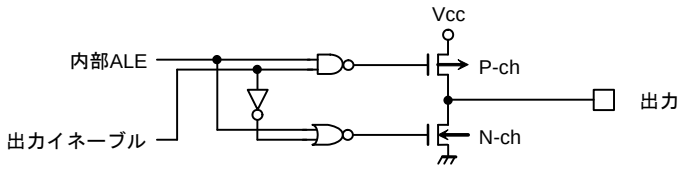


Downloaded from Elcodis.com electronic components distributor

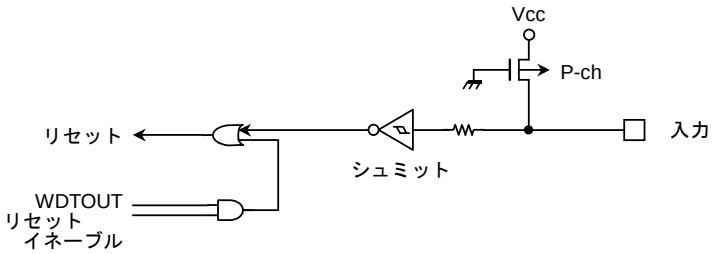
■ AM0~AM1



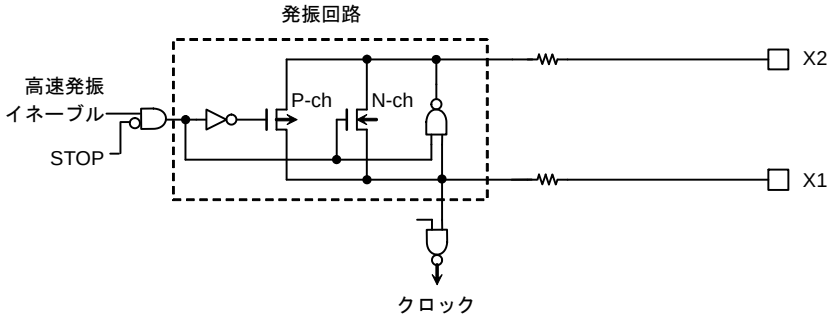
■ ALE



■ $\overline{\text{RESET}}$

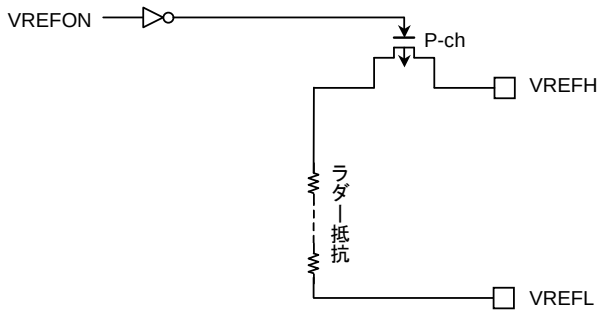


■ X1, X2



Downloaded from Elcodis.com electronic components distributor

■ VREFH, VREFL



Downloaded from Elcodis.com electronic components distributor

7. 使用上の注意、制限事項

(1) 特別な表記, 言葉の説明

a. 内蔵 I/O レジスタの説明: レジスタシンボル <ビットシンボル>

例) TRUN<T0RUN> … レジスタ TRUN のビット T0RUN

b. リードモディファイライト命令

CPU が、1 つの命令でメモリに対してデータをリードした後に、そのデータを操作し同じメモリ番地にデータをライトする命令。

例 1) SET 3, (TRUN) … TRUN レジスタのビット 3 をセットする。

例 2) INC 1, (100H) … アドレス 100H のデータを + 1 する。

- TLCS-900 におけるリードモディファイライト命令

交換命令

```
EX   (mem), R
```

算術演算

```
ADD  (mem), R/#      ADC  (mem), R/#
SUB  (mem), R/#      SBC  (mem), R/#
INC  #3, (mem)       DEC  #3, (mem)
```

論理演算

```
AND  (mem), R/#      OR   (mem), R/#
XOR  (mem), R/#
```

ビット操作

```
STCF #3/A, (mem)     RES  #3, (mem)
SET  #3, (mem)       CHG  #3, (mem)
TSET #3, (mem)
```

ローテート、シフト

```
RLC  (mem)           RRC  (mem)
RL   (mem)           RR   (mem)
SLA  (mem)           SRA  (mem)
SLL  (mem)           SRL  (mem)
RLD  (mem)           RRD  (mem)
```

c. f_{OSCH}, fc, fs, f_{FPH}, f_{SYS}, 1 ステート

X1/X2 端子より入力されるクロック周波数を f_{OSCH}、DFMCR0<ACT1:0> で選択されたクロックを fc、XT1/XT2 端子より入力されるクロック周波数を fs、SYSCR1<SYSCK> で選択されたクロックを f_{FPH}, f_{FPH} を 2 分周したクロック周波数をシステムクロック f_{SYS} と呼びます。また、この f_{SYS} の 1 周期を 1 ステートと呼びます。

Downloaded from Elcodis.com electronic components distributor

(2) 使用上の注意, 制限事項

a. AM0~AM1 端子

本端子は DVcc 端子に接続し、動作中にレベル変動のないようにしてください。

b. EMU0~EMU1 端子

EMU0~EMU1 端子は "開放" して使用してください。

c. アドレス空間の予約領域

本製品では、予約領域はありません。

d. スタンバイモード (IDLE1)

IDLE1 モード (発振器のみ動作) に設定し、HALT 命令を実行した場合、内蔵の時計用タイマは動作イネーブル状態ですので、必要に応じて時計用タイマの制御レジスタ RTCCR<RTCRUN> を "0" にして止めてください。

e. ウォームアップタイマ

外部発振器を用いるシステムで STOP モードの解除を割り込みなどで行う際には、ウォームアップタイマが動作するため、システムクロックが出力されるまでウォームアップ時間を要します。

f. プログラマブルプルアップ/プルダウン抵抗

このプルアップ/プルダウン抵抗は、ポートを入力ポートとして使用するときのみプログラマブルに付加/付加なしを選択できます。出力ポートとして使用するときは、プログラマブルに選択することはできません。

付加/付加なしの選択は該当ポートのデータレジスタ (例: P6 レジスタ) で制御しますが、その際にはリードモディファイライト命令は使用できませんので転送命令を使用してください。

g. バス解放機能

バス解放時の端子状態などについて、3.6「ポート機能」の中で注意事項として掲載してありますので参照してください。

h. ウォッチドッグタイマ

リセット後、ウォッチドッグタイマは動作イネーブル状態となっているため、ウォッチドッグタイマを使用しない場合は、動作禁止に設定してください。また、バス解放機能使用した場合、解放要求中もウォッチドッグタイマなどの I/O ブロックは動作していますので注意が必要です。

i. AD コンバータ

VREFH~VREFL 端子間のラダー抵抗をプログラマブルに接続、切り離しする機能がありますので、STOP モードなど消費電力を下げる場合は、HALT 命令を実行する前にプログラムで切り離してください。

j. CPU (マイクロ DMA)

CPU 内にある転送元レジスタ (DMASn) などのコントロールレジスタへのデータ書き込み、読み出しは、"LDC cr, r", "LDC r, cr" 命令のみでしか行えません。

k. 未定義の内蔵 I/O レジスタの扱い

定義されていない内蔵 I/O レジスタのビットは、リードを行うと不定値が出力されます。そのため、プログラムを作成するときは、このビット状態に依存しないものにしてください。

l. 「POP SR」命令

「POP SR」命令の実行は、DI 状態で行ってください。

Downloaded from Elcodis.com electronic components distributor

m. 割り込み要求によるホルト状態からの解除

通常は、割り込みによってホルト状態を解除することができますが、HALT モードが IDLE1、STOP モードに設定されている状態 (IDLE2 は対象外) で、CPU が HALT モードに移行しようとしている期間（f_{FPH} 約 5 クロックの間）に、HALT モードを解除可能な割り込み（$\overline{NMI}$, INT0~INT4, INTRTC) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます) 。

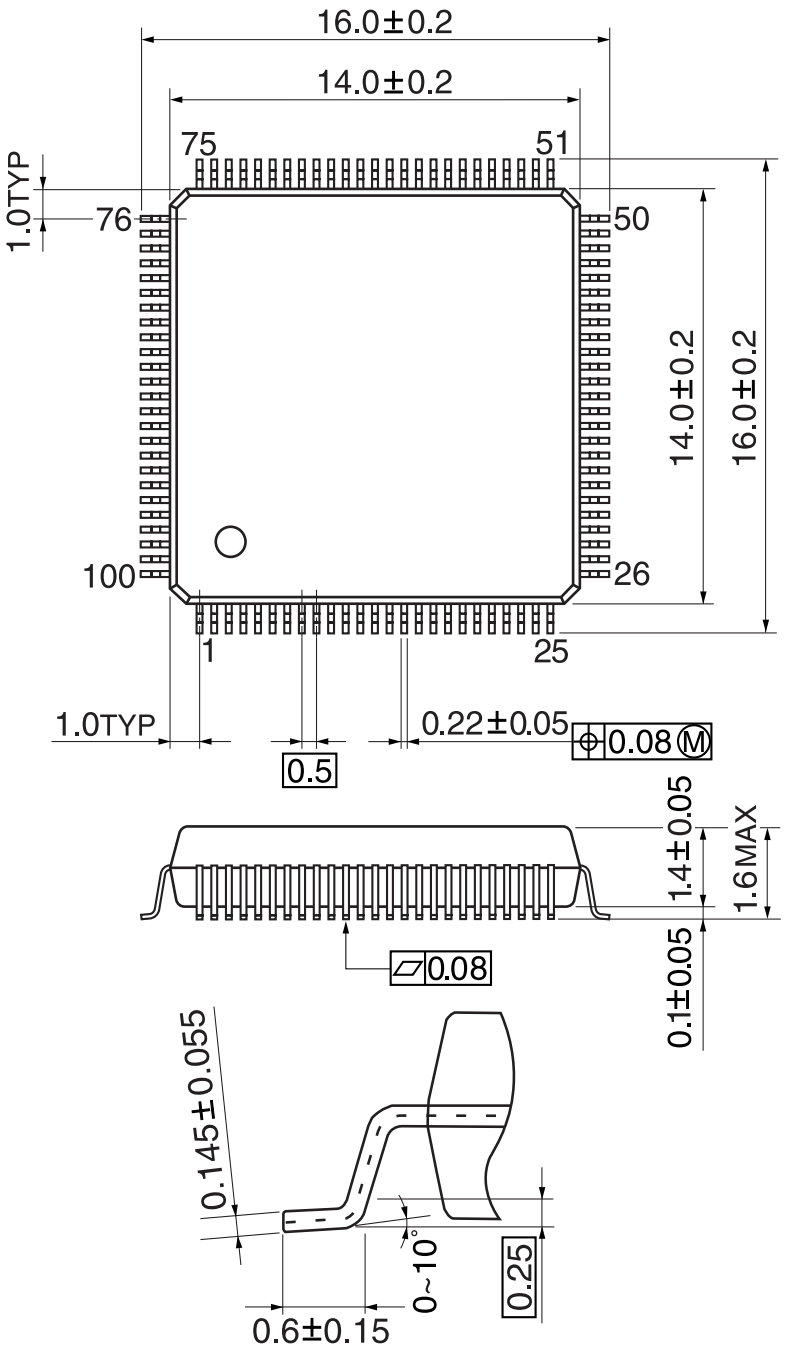
HALT モードへ完全に移行された後に、再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

Downloaded from Elcodis.com electronic components distributor

8. 外形寸法図

LQFP100-P-1414-0.50F

Unit: mm



Downloaded from Elcodis.com electronic components distributor

Downloaded from Elcodis.com electronic components distributor